南京凌鸥创芯电子有限公司

LKS32MC09x User Manual

目录

表格目录 ..... **I**

图片目录 ..... **I**

1 文档约定 **1**

1.1 寄存器读写权限 1

1.2 缩略词汇表 1

2 系统概况 **2**

2.1 简述 2

2.2 特性 2

2.2.1 存储 *2*

2.2.2 时钟 *2*

2.2.3 外设 *2*

2.2.4 模拟模块 *3*

2.3 系统框图 4

3 地址空间 **5**

4 内核 **7**

4.1 ARM®CORTEXTM-M0 核心 7

4.2 NVIC 控制器 7

4.3 异常和中断 8

4.4 SYSTICK 定时器 9

4.4.1 SYST_CSR 控制和状态寄存器 *9*

4.4.2 SYST_RVR 重载值寄存器 *9*

4.4.3 SYST_CVR 当前值寄存器 *11*

5 模拟电路 **12**

5.1 简述 12

5.1.1 电源管理系统 *13*

5.1.2 时钟系统 *13*

5.1.3 基准电压源 *14*

5.1.4 ADC 模块 *14*

5.1.5 运算放大器 *14*

5.1.6 比较器 16
5.1.7 温度传感器 17
5.1.8 DAC 模块 19
5.2 寄存器 20
5.2.1 地址分配 20
5.2.2 SYS_AFE_ADC ADC 原始数据寄存器 21
5.2.3 SYS_AFE_INFO 芯片版本信息寄存器 21
5.2.4 SYS_AFE_DBG AFE 调试寄存器 22
5.2.5 SYS_AFE_REG0 模拟配置寄存器 0 22
5.2.6 SYS_AFE_REG1 模拟配置寄存器 1 24
5.2.7 SYS_AFE_REG2 模拟配置寄存器 2 26
5.2.8 SYS_AFE_REG3 模拟配置寄存器 3 27
5.2.9 SYS_AFE_REG4 模拟配置寄存器 4 29
5.2.10 SYS_AFE_REG5 模拟配置寄存器 5 29
5.2.11 SYS_AFE_REG7 模拟配置寄存器 7 30
5.2.12 SYS_AFE_DAC_CTRL DAC 控制寄存器 31
5.2.13 SYS_AFE_DAC0 DAC0 数字量寄存器 32
5.2.14 SYS_AFE_DAC0 DAC1 数字量寄存器 32
5.2.15 SYS_AFE_DAC0_AMC DAC0 增益校正寄存器 33
5.2.16 SYS_AFE_DAC0_DC DAC0 直流偏置寄存器 33
6 系统时钟复位 34
6.1 时钟 34
6.1.1 时钟源 34
6.2 复位 36
6.2.1 复位源 36
6.2.1.1 硬件复位 36
6.2.1.1.1 硬件复位架构 36
6.2.1.1.2 硬件复位记录 37
6.2.1.2 软件复位 37
6.2.2 复位作用域 37

6.3 寄存器 38
6.3.1 地址分配 38
6.3.2 SYS_CLK_CFG 时钟控制寄存器 38
6.3.3 SYS_IO_CFG IO 控制寄存器 39
6.3.4 SYS_DBG_CFG Debug 控制寄存器 40
6.3.5 SYS_CLK_DIV0 外设时钟分频寄存器 0 42
6.3.6 SYS_CLK_DIV2 外设时钟分频寄存器 2 42
6.3.7 SYS_CLK_FEN 外设时钟门控寄存器 43
6.3.8 SYS_SFT_RST 软复位寄存器 45
6.3.9 SYS_PROTECT 写保护寄存器 47
6.3.10 SYS_IF 系统中断标志寄存器 47
6.3.11 SYS_RAM_LOCK RAM 锁定寄存器 48
6.3.12 SYS_FLSE 擦除保护寄存器 49
6.3.13 SYS_FLSP 编程保护寄存器 49
7 非易失性存储体 51
7.1 概述 51
7.2 功能特点 51
7.2.1 功能描述 52
7.2.1.1 复位操作 52
7.2.1.2 休眠操作 52
7.2.1.3 读取操作 53
7.2.1.4 FLASH 编程操作 53
7.2.1.5 FLASH 擦除操作 55
7.2.1.6 FLASH 预取操作 56
7.2.1.7 非易失性存储体保护 57
7.2.1.8 FLASH 在线升级(IAP) 58
7.2.1.8.1 开启中断的在线升级 58
7.2.1.8.2 关闭中断的在线升级 58
7.2.1.8.3 在线升级函数的位置 58
7.3 寄存器 59

7.3.1 地址分配 59
7.3.2 FLASH_CFG 配置寄存器（推荐先读回，按或/与方式修改） 59
7.3.3 FLASH_ADDR 地址寄存器 60
7.3.4 FLASH_WDATA 写数据寄存器 61
7.3.5 FLASH_RDATA 读数据寄存器 61
7.3.6 FLASH_ERASE 擦除控制寄存器 62
7.3.7 FLASH_PROTECT 保护状态寄存器 62
7.3.8 FLASH_READY 62
7.3.9 FLASH_SIZE 容量寄存器 63
7.3.10 FLASH_NCFG 配置寄存器（推荐先读回，按或/与方式修改） 63
7.3.11 FLASH_NADDR 地址寄存器 65
7.3.12 FLASH_NWDATA 写数据寄存器 65
7.3.13 FLASH_NRDATA 读数据寄存器 65
7.3.14 FLASH_NERASE 擦除控制寄存器 66
7.3.15 FLASH_NKEY 密钥寄存器 66
7.3.16 FLASH_EPSM Main 区域 Sector 擦除保护寄存器 67
7.3.17 FLASH_EPSN NVR 区域 Sector 擦除保护寄存器 68
7.3.18 FLASH_LIB_ADDR 库代码区域寄存器 69
8 SPI 70
8.1 概述 70
8.2 主要特性 70
8.3 功能描述 70
8.3.1 功能框图 70
8.3.2 功能说明 71
8.3.2.1 全双工模式 71
8.3.2.2 半双工模式 73
8.3.2.3 片选信号 74
8.3.2.4 通讯格式 75
8.3.2.5 数据格式及长度 76
8.3.2.6 DMA 传输 76

8.3.2.7 MCU 传输 77
8.3.2.8 外部事件传输 77
8.3.2.9 中断处理 78
8.3.2.10 波特率设置 78
8.4 寄存器 79
8.4.1 地址分配 79
8.4.2 SPI0_CFG SPI 控制寄存器 79
8.4.3 SPI0_IE SPI 中断寄存器 80
8.4.4 SPI0_BAUD SPI 波特率寄存器 81
8.4.5 SPI0_TXDATA SPI 数据发送寄存器 81
8.4.6 SPI0_RXDATA SPI 数据接收寄存器 82
8.4.7 SPI0_SIZE SPI 数据传输长度寄存器 82
9 I2C 84
9.1 概述 84
9.2 主要特性 84
9.3 功能描述 84
9.3.1 功能框图 84
9.3.2 功能说明 85
9.3.2.1 模式选择 85
9.3.2.2 从模式 87
9.3.2.2.1 从模式传输 87
9.3.2.2.2 从模式发送 88
9.3.2.2.3 从模式单字节接收 88
9.3.2.3 从模式 DMA 传输 89
9.3.2.3.1 从模式 DMA 发送 89
9.3.2.3.2 从模式 DMA 接收 90
9.3.2.4 主模式 90
9.3.2.4.1 主模式单字节传输 91
9.3.2.4.2 主模式单字节发送 91
9.3.2.4.3 主模式单字节接收 91

9.3.2.4.4 主模式 DMA 传输 92
9.3.2.4.5 主模式 DMA 发送 92
9.3.2.4.6 主模式 DMA 接收 93
9.3.2.5 DMA 传输 94
9.3.2.6 I2C 总线异常处理 95
9.3.2.7 中断处理 95
9.3.2.8 通讯速度设置 96
9.4 寄存器 96
9.4.1 地址分配 96
9.4.2 I2C0_ADDR 地址寄存器 97
9.4.3 I2C0_CFG 系统控制寄存器 97
9.4.4 I2C0_SCR 状态控制寄存器 98
9.4.5 I2C0_DATA 数据寄存器 99
9.4.6 I2C0_MSCR 主模式寄存器 100
9.4.7 I2C0_BCR I2C 传输控制寄存器 100
9.4.8 I2C0_BSIZE I2C 传输长度寄存器 101
10 CMP 102
10.1 概述 102
10.2 寄存器 102
10.2.1 地址分配 102
10.2.2 CMP_IE 中断使能寄存器 102
10.2.3 CMP_IF 中断标志寄存器 103
10.2.4 CMP_TCLK 分频时钟控制寄存器 103
10.2.5 CMP_CFG 控制寄存器 105
10.2.6 CMP_BLCWIN 开窗控制寄存器 107
10.2.7 CMP_DATA 输出数据寄存器 108
11 HALL 109
11.1 综述 109
11.2 实现说明 109
11.2.1 信号来源 109

11.2.2 工作时钟 109
11.2.3 信号滤波 109
11.2.4 捕获 110
11.2.5 中断 110
11.2.6 数据流程 111
11.3 寄存器 111
11.3.1 地址分配 111
11.3.2 HALL0_CFG HALL 模块配置寄存器 111
11.3.3 HALL0_INFO HALL 模块信息寄存器 112
11.3.4 HALL0_WIDTH HALL 宽度计数值寄存器 113
11.3.5 HALL0_TH HALL 模块计数器门限值寄存器 114
11.3.6 HALL0_CNT HALL 计数寄存器 114
12 ADC 115
12.1 概述 115
12.1.1 功能框图 115
12.1.2 ADC 触发方式 116
12.1.3 ADC 通道选择 117
12.1.4 ADC 中断 118
12.1.5 ADC 输出数制 119
12.1.6 ADC 量程 120
12.1.7 ADC 校正 120
12.1.8 ADC 阈值监测(模拟看门狗) 121
12.1.9 过采样 121
12.2 ADC0 寄存器 122
12.2.1 地址分配 122
12.2.2 采样数据寄存器 123
12.2.2.1 ADC0_DAT0 123
12.2.2.2 ADC0_DAT1 124
12.2.2.3 ADC0_DAT2 124
12.2.2.4 ADC0_DAT3 125

12.2.2.5 ADC0_DAT4 125
12.2.2.6 ADC0_DAT5 125
12.2.2.7 ADC0_DAT6 126
12.2.2.8 ADC0_DAT7 126
12.2.2.9 ADC0_DAT8 126
12.2.2.10 ADC0_DAT9 127
12.2.2.11 ADC0_DAT10 127
12.2.2.12 ADC0_DAT11 128
12.2.3 信号来源寄存器 128
12.2.3.1 ADC0_CHN0 128
12.2.3.2 ADC0_CHN1 128
12.2.3.3 ADC0_CHN2 129
12.2.3.4 ADC 通道信号选择 129
12.2.4 采样通道数寄存器 130
12.2.4.1 ADC0_CHNT 130
12.2.5 配置寄存器 131
12.2.5.1 ADC0_GAIN 131
12.2.5.2 ADC0_CFG 131
12.2.5.3 ADC0_TRIG 133
12.2.6 软件触发寄存器 134
12.2.6.1 ADC0_SWT 134
12.2.7 校正寄存器 135
12.2.7.1 ADC0_DC0 135
12.2.7.2 ADC0_AMC0 136
12.2.7.3 ADC0_DC1 136
12.2.7.4 ADC0_AMC1 136
12.2.8 中断寄存器 137
12.2.8.1 ADC0_IE 137
12.2.8.2 ADC0_IF 137
12.2.9 模拟看门狗 138

12.2.9.1 ADC0_LTH 138
12.2.9.2 ADC0_HTH 139
12.2.9.3 ADC0_GEN 139
12.3 ADC1 寄存器 140
12.3.1 地址分配 140
12.3.2 采样数据寄存器 141
12.3.2.1 ADC1_DAT0 141
12.3.2.2 ADC1_DAT1 141
12.3.2.3 ADC1_DAT2 141
12.3.2.4 ADC1_DAT3 142
12.3.2.5 ADC1_DAT4 142
12.3.2.6 ADC1_DAT5 143
12.3.2.7 ADC1_DAT6 143
12.3.2.8 ADC1_DAT7 143
12.3.3 信号来源寄存器 144
12.3.3.1 ADC1_CHN0 144
12.3.3.2 ADC1_CHN1 144
12.3.3.3 ADC 通道信号选择 145
12.3.4 采样通道数寄存器 145
12.3.4.1 ADC1_CHNT 145
12.3.5 配置寄存器 146
12.3.5.1 ADC1_GAIN 146
12.3.5.2 ADC1_CFG 146
12.3.5.3 ADC1_TRIG 147
12.3.6 软件触发寄存器 148
12.3.6.1 ADC1_SWT 148
12.3.7 校正寄存器 148
12.3.7.1 ADC1_DC0 149
12.3.7.2 ADC1_AMC0 150
12.3.7.3 ADC1_DC1 150

12.3.7.4 ADC1_AMC1 150
12.3.8 中断寄存器 151
12.3.8.1 ADC1_IE 151
12.3.8.2 ADC1_IF 151
12.3.9 模拟看门狗 152
12.3.9.1 ADC1_LTH 152
12.3.9.2 ADC1_HTH 153
12.3.9.3 ADC1_GEN 153
12.4 应用指南 154
12.4.1 ADC 采样触发模式 154
12.4.1.1 单段触发模式 155
12.4.1.2 两段触发模式 155
12.4.2 中断 156
12.4.2.1 单段触发采样完成中断 156
12.4.2.2 两段触发采样完成中断 156
12.4.3 配置修改 156
12.4.4 选择对应的模拟通道 156
13 TIMER 通用定时器 157
13.1 概述 157
13.1.1 功能框图 157
13.1.1.1 寄存器模块 157
13.1.1.2 IO 滤波模块 157
13.1.1.3 通用定时器模块 157
13.1.1.4 编码器模块 157
13.1.1.5 时钟分频模块 158
13.1.2 功能特点 158
13.2 特性 158
13.2.1 时钟分频 158
13.2.2 中断标志清零 158
13.2.3 滤波 158

13.2.4 模式 159
13.2.4.1 计数器 159
13.2.4.2 捕获模式 159
13.2.4.3 比较模式(边沿对齐 PWM) 160
13.2.4.4 单次触发 161
13.2.4.5 中心模式(互补 PWM) 162
13.2.5 外部事件 163
13.2.5.1.1 外部启动信号 163
13.2.5.1.2 外部时钟信号 164
13.2.5.1.3 外部重置信号 165
13.2.5.1.4 外部门控信号 167
13.2.6 ADC 触发 167
13.2.7 编码器 167
13.2.7.1 正交编码信号 167
13.2.7.2 符号加脉冲信号 168
13.2.7.3 CCW/CW 双脉冲信号 169
13.3 寄存器 170
13.3.1 地址分配 170
13.3.2 TIMER0 寄存器 170
13.3.2.1 TIMER0_CFG0 TIMER0 通道 0 配置寄存器 171
13.3.2.2 TIMER0_CFG1 TIMER0 通道 1 配置寄存器 172
13.3.2.3 TIMER0_CFG2 TIMER0 配置寄存器 2 173
13.3.2.4 TIMER0_TH TIMER0 门限寄存器 175
13.3.2.5 TIMER0_CNT TIMER0 计数寄存器 175
13.3.2.6 TIMER0_CMP0 TIMER0 通道 0 比较捕获寄存器 176
13.3.2.7 TIMER0_CMP1 TIMER0 通道 1 比较捕获寄存器 176
13.3.2.8 TIMER0_EVT TIMER0 外部事件选择寄存器 177
13.3.2.9 TIMER0_FLT TIMER0 滤波控制寄存器 179
13.3.2.10 TIMER0_IE TIMER0 中断使能寄存器 180
13.3.2.11 TIMER0_IF TIMER0 中断标志寄存器 180

13.3.2.12 TIMER0_IO TIMER0 IO 控制寄存器 181
13.3.3 TIMER1 寄存器 182
13.3.3.1 TIMER1_CFG0 TIMER1 通道 0 配置寄存器 183
13.3.3.2 TIMER1_CFG1 TIMER1 通道 1 配置寄存器 184
13.3.3.3 TIMER1_CFG2 TIMER1 配置寄存器 2 185
13.3.3.4 TIMER1_TH TIMER1 门限寄存器 187
13.3.3.5 TIMER1_CNT TIMER1 计数寄存器 188
13.3.3.6 TIMER1_CMP0 TIMER1 通道 0 比较捕获寄存器 188
13.3.3.7 TIMER1_CMP1 TIMER1 通道 1 比较捕获寄存器 188
13.3.3.8 TIMER1_EVT TIMER1 外部事件选择寄存器 189
13.3.3.9 TIMER1_FLT TIMER1 滤波控制寄存器 191
13.3.3.10 TIMER1_IE TIMER1 中断使能寄存器 192
13.3.3.11 TIMER1_IF TIMER1 中断标志寄存器 192
13.3.3.12 TIMER1_IO TIMER1 IO 控制寄存器 193
13.3.4 TIMER2 寄存器 194
13.3.4.1 TIMER2_CFG0 TIMER2 通道 0 配置寄存器 195
13.3.4.2 TIMER2_CFG1 TIMER2 通道 1 配置寄存器 196
13.3.4.3 TIMER2_CFG2 TIMER2 配置寄存器 2 197
13.3.4.4 TIMER2_TH TIMER2 门限寄存器 199
13.3.4.5 TIMER2_CNT TIMER2 计数寄存器 199
13.3.4.6 TIMER2_CMP0 TIMER2 通道 0 比较捕获寄存器 200
13.3.4.7 TIMER2_CMP1 TIMER2 通道 1 比较捕获寄存器 200
13.3.4.8 TIMER2_EVT TIMER2 外部事件选择寄存器 201
13.3.4.9 TIMER2_FLT TIMER2 滤波控制寄存器 203
13.3.4.10 TIMER2_IE TIMER2 中断使能寄存器 204
13.3.4.11 TIMER2_IF TIMER2 中断标志寄存器 204
13.3.5 QEP0 寄存器 205
13.3.5.1 QEP0_CFG QEP0 配置寄存器 206
13.3.5.2 QEP0_TH QEP0 计数门限寄存器 207
13.3.5.3 QEP0_CNT QEP0 计数值寄存器 207

13.3.5.4 QEP0_IE QEP0 中断使能寄存器 207
13.3.5.5 QEP0_IF QEP0 中断标志寄存器 208
14 MCPWM 209
14.1 概述 209
14.1.1 Base Counter 模块 210
14.1.2 FAIL 信号处理 211
14.1.3 MCPWM 特殊输出状态 213
14.1.4 IO DRIVER 模块 213
14.1.4.1 MCPWM 波形输出-中心对齐模式 213
14.1.4.2 MCPWM 波形控制-中心对齐推挽模式 214
14.1.4.3 MCPWM 波形输出-边沿对齐模式 215
14.1.4.4 MCPWM 波形控制-边沿对齐推挽模式 216
14.1.4.5 MCPWM IO 死区控制 216
14.1.4.6 MCPWM IO 极性设置 217
14.1.4.7 MCPWM IO 自动保护 217
14.1.5 ADC Trigger TIMER 模块 217
14.1.6 中断 218
14.2 寄存器 218
14.2.1 地址分配 218
14.2.2 MCPWM0_TH00 220
14.2.3 MCPWM0_TH01 221
14.2.4 MCPWM0_TH10 221
14.2.5 MCPWM0_TH11 221
14.2.6 MCPWM0_TH20 222
14.2.7 MCPWM0_TH21 222
14.2.8 MCPWM0_TH30 223
14.2.9 MCPWM0_TH31 223
14.2.10 MCPWM0_TMR0 223
14.2.11 MCPWM0_TMR1 224
14.2.12 MCPWM0_TMR2 224

14.2.13 MCPWM0_TMR3 225
14.2.14 MCPWM0_TH0 225
14.2.15 MCPWM0_CNT0 226
14.2.16 MCPWM0_UPDATE 226
14.2.17 MCPWM0_FCNT 227
14.2.18 MCPWM0_EVT0 228
14.2.19 MCPWM0_DTH00 229
14.2.20 MCPWM0_DTH01 229
14.2.21 MCPWM0_FLT 229
14.2.22 MCPWM0_SDCFG 230
14.2.23 MCPWM0_AUEN 230
14.2.24 MCPWM0_TCLK 232
14.2.25 MCPWM0_IE0 233
14.2.26 MCPWM0_IF0 234
14.2.27 MCPWM0_EIE 235
14.2.28 MCPWM0_EIF 235
14.2.29 MCPWM0_RE 236
14.2.30 MCPWM0_PP 236
14.2.31 MCPWM0_IO01 237
14.2.32 MCPWM0_IO23 238
14.2.33 MCPWM0_CH_FAIL 239
14.2.34 MCPWM0_CH_DEF 240
14.2.35 MCPWM0_CH_MSK 241
14.2.36 MCPWM0_PRT 242
14.2.37 MCPWM0_SWAP 242
14.2.38 MCPWM0_SW_FAIL 242
15 GPIO 244
15.1 概述 244
15.1.1 功能框图 244
15.1.2 产品特点 244

15.2 寄存器 245
15.2.1 地址分配 245
15.2.2 GPIOx_PIE 247
15.2.3 GPIOx_POE 247
15.2.4 GPIOx_PDI 248
15.2.5 GPIOx_PDO 248
15.2.6 GPIOx_PUE 249
15.2.7 GPIOx_PODE 250
15.2.8 GPIOx_PFLT 250
15.2.9 GPIOx_F3210 251
15.2.10 GPIOx_F7654 252
15.2.11 GPIOx_FBA98 252
15.2.12 GPIOx_FFEDC 253
15.2.13 GPIOx_BSRR 253
15.2.14 GPIOx_BRR 254
15.2.15 外部事件 255
15.2.15.1 EXTI_CR0 255
15.2.15.2 EXTI_CR1 256
15.2.15.3 EXTI_IE 258
15.2.15.4 EXTI_IF 259
15.2.15.5 EXTI_CLKO 259
15.2.15.6 PWM_SWAP 260
15.3 实现说明 261
15.3.1 上拉实现 261
15.3.2 滤波实现 261
15.3.3 外部中断实现 261
15.3.4 外部唤醒实现 262
15.4 应用指南 262
15.4.1 外部中断 262
15.4.2 使用 GPIO 的模拟功能 262

16 CRC 263
16.1 概述 263
16.2 基本原理 263
16.3 基本概念 263
16.3.1 对应关系 263
16.3.2 生成多项式 264
16.3.3 校验码位数 264
16.3.4 生成步骤 264
16.4 寄存器 265
16.4.1 地址分配 265
16.4.2 寄存器描述 266
16.4.2.1 CRC0_DR CRC 信息码寄存器 266
16.4.2.2 CRC0_CR CRC 控制寄存器 266
16.4.2.3 CRC0_INIT CRC 初始码寄存器 267
16.4.2.4 CRC0_POL CRC 生成码寄存器 268
17 UART 269
17.1 概述 269
17.2 功能说明 269
17.2.1 发送 269
17.2.2 接收 270
17.2.3 UART 帧格式 270
17.2.4 波特率配置 271
17.2.5 波特率自适应 272
17.2.6 LIN 模式 272
17.2.7 单线半双工 273
17.2.8 收发端口互换(TX/RX 互换) 273
17.2.9 多机通讯 273
17.2.10 校验位 275
17.3 寄存器 275
17.3.1 地址分配 275

17.3.2 UARTx_CTRL UARTx 控制寄存器 (x = 0,1,2) 276
17.3.3 UARTx_DIVH UARTx 波特率设置高字节寄存器 (x = 0,1,2) 277
17.3.4 UARTx_DIVL UARTx 波特率设置低字节寄存器 (x = 0,1,2) 277
17.3.5 UARTx_BUFF UARTx 收发缓冲寄存器 (x = 0,1,2) 277
17.3.6 UARTx_ADR UARTx 地址匹配寄存器 (x = 0,1,2) 278
17.3.7 UARTx_STT UARTx 状态寄存器 (x = 0,1,2) 278
17.3.8 UARTx_RE UARTx DMA 请求使能寄存器 (x = 0,1,2) 279
17.3.9 UARTx_IE UARTx 中断使能寄存器 (x = 0,1,2) 279
17.3.10 UARTx_IF UARTx 中断标志寄存器 (x = 0,1,2) 280
17.3.11 UARTx_IOC UARTx IO 控制寄存器 (x = 0,1,2) 282
18 DMA 283
18.1 概述 283
18.2 请求 287
18.3 优先级 288
18.4 仲裁 289
18.5 中断 289
18.6 寄存器 289
18.6.1 地址分配 289
18.6.2 DMA 通道配置寄存器 290
18.6.2.1 DMA_CCRx (where x =0,1,2,3) 290
18.6.2.2 DMA_RENx (where x = 0,1,2,3) 291
18.6.2.3 DMA_CTMSx (where x = 0,1,2,3) 292
18.6.2.4 DMA_SADRx (where x = 0,1,2,3) 293
18.6.2.5 DMA_DADRx (where x = 0,1,2,3) 294
18.6.3 DMA_CTRL DMA 控制寄存器 295
18.6.4 DMA_IE DMA 中断使能寄存器 295
18.6.5 DMA_IF DMA 中断标志寄存器 295
19 DSP 数字信号协处理器 297
19.1 概述 297
19.1.1 除法器的重入 297

19.2 寄存器 299
19.2.1 地址分配 299
*19.2.2 **DSP 除法相关寄存器** 300*
19.2.2.1 DSP0_DID 300
19.2.2.2 DSP0_DIS 300
19.2.2.3 DSP0_QUO 301
19.2.2.4 DSP0_REM 301
19.2.2.5 DSP0_DID1 301
19.2.2.6 DSP0_DIS1 302
19.2.2.7 DSP0_QUO1 302
19.2.3 开方相关寄存器 303
19.2.3.1 DSP0_RAD 303
19.2.3.2 DSP0_SQRT 303
20 IWDG 独立看门狗 305
20.1 概述 305
20.2 寄存器 306
20.2.1 地址分配 306
20.2.2 IWDG_PSW 独立看门狗密码寄存器 307
20.2.3 IWDG_CFG 独立看门狗配置寄存器 307
20.2.4 IWDG_CLR 独立看门狗清零寄存器 307
20.2.5 IWDG_WTH 独立看门狗定时唤醒门限寄存器 308
20.2.6 IWDG_RTH 独立看门狗超时复位门限寄存器 308
20.2.7 IWDG_CNT 独立看门狗当前计数值寄存器 309
21 PMU 功耗管理模块 310
21.1 外设时钟门控 310
21.2 外设时钟分频 310
21.3 低功耗模式 310
21.4 SLEEP MODE 休眠模式 310
21.4.1 模式进入 310
21.4.2 模式退出 311

21.5 DEEP SLEEP MODE 深度休眠模式 311
21.5.1 模式进入 *311*
21.5.2 模式退出 *311*
21.6 寄存器 312
21.6.1 地址分配 *312*
21.6.2 AON_PWR_CFG 功耗管理配置寄存器 *312*
21.6.3 AON_EVT_RCD 事件记录寄存器 *313*
21.6.4 AON_IO_WAKE_POL IO 唤醒极性寄存器 *313*
21.6.5 AON_IO_WAKE_EN IO 唤醒使能寄存器 *314*
21.6.6 AON_BKP_REG0 后备寄存器 0 ..... *315*
21.6.7 AON_BKP_REG1 后备寄存器 1 ..... *315*
22 SIF 模块 **316**
22.1 简述 316
22.2 主要特性 316
22.3 功能描述 316
22.3.1 功能框图 *316*
22.3.2 功能说明 *317*
22.3.2.1 SIF 格式说明 317
22.3.2.2 Tosc 时基 317
22.3.2.3 同步时间配置 318
22.3.2.4 结束时间配置 318
22.3.2.5 DMA 传输 318
22.4 寄存器 318
22.4.1 地址分配 *318*
22.4.2 SIF0_CFG 配置寄存器 *318*
22.4.3 SIF0_TOSC 时基寄存器 *319*
22.4.4 SIF0_TSTH1 同步时间寄存器 *320*
22.4.5 SIF0_TDTH1 结束时间寄存器 *320*
22.4.6 SIF0_IRQ 中断寄存器 *321*
22.4.7 SIF0_WDATA 数据寄存器 *322*

23 CL0 可配置逻辑 323
23.1 概述 323
23.2 主要特性 323
23.3 功能描述 323
23.3.1 功能框图 323
23.3.2 功能描述 324
23.3.2.1 配置流程 324
23.3.2.2 输入多路复选器 325
23.3.2.3 输出配置 326
23.3.2.4 LUT 配置 327
23.4 寄存器 327
23.4.1 地址分配 327
23.4.2 CL0_EN0 CL0 使能寄存器 327
23.4.3 CL0_IE0 CL0 中断使能寄存器 328
23.4.4 CL0_IF0 CL0 中断标志寄存器 329
23.4.5 CL0_OUT0 CL0 输出寄存器 329
23.4.6 CL0_MX0 CL0 输入多路复选寄存器 330
23.4.7 CL0_FN0 CL0 功能选择寄存器 331
23.4.8 CL0_CF0 CL0 配置寄存器 331
24 EEPROM 控制器 334
24.1 概述 334
24.2 功能描述 334
24.2.1 单字节写 334
24.2.2 单字节读 335
24.2.3 管脚互换 336
24.2.4 软件等待 336
24.2.5 DMA 搬运 337
24.3 寄存器 337
24.3.1 地址分配 337
24.3.2 EEPROM_CFG EEPROM 控制器配置寄存器 338

24.3.3 EEPROM_RDATA EEPROM 数据寄存器.....339

25 版本历史.....340

表格目录

表 3-1 系统地址空间分配.....5
表 4-1 中断号分布.....8
表 4-2 中断号分布.....9
表 4-3 SYST_CSR 控制和状态寄存器.....9
表 4-4 SYST_RVR 重载值寄存器.....10
表 4-5 SYST_CVR 当前值寄存器.....11
表 5-1 系统控制寄存器.....20
表 5-2 SYS_AFE_ADC ADC 原始数据寄存器.....21
表 5-3 SYS_AFE_INFO 芯片版本信息寄存器.....21
表 5-4 SYS_AFE_DBG AFE 调试寄存器.....22
表 5-5 SYS_AFE_REG0 模拟配置寄存器 0.....22
表 5-6 SYS_AFE_REG1 模拟配置寄存器 1.....24
表 5-7 SYS_AFE_REG2 模拟配置寄存器 2.....26
表 5-8 SYS_AFE_REG3 模拟配置寄存器 3.....27
表 5-9 SYS_AFE_REG4 模拟配置寄存器 4.....29
表 5-10 SYS_AFE_REG5 模拟配置寄存器 5.....29
表 5-11 SYS_AFE_REG7 模拟配置寄存器 7.....30
表 5-12 SYS_AFE_DAC_CTRL DAC 控制寄存器.....31
表 5-13 SYS_AFE_DAC0 DAC0 数字量寄存器.....32
表 5-14 SYS_AFE_DAC1 DAC1 数字量寄存器.....32
表 5-15 SYS_AFE_DAC0_AMC DAC0 增益校正寄存器.....33
表 5-16 SYS_AFE_DAC0_DC DAC0 直流偏置寄存器.....33
表 5-22 SYS_AFE_DAC1_AMC DAC1 增益校正寄存器.....**错误!未定义书签。**
表 5-23 SYS_AFE_DAC1_DC DAC1 直流偏置寄存器.....**错误!未定义书签。**
表 6-1 系统时钟源.....34
表 6-2 PLL 作为 MCLK 时钟时的分频配置.....34
表 6-3 系统复位源.....36
表 6-4 复位作用域.....37
表 6-5 系统控制寄存器.....38

表 6-6 SYS_CLK_CFG 时钟控制寄存器 38
表 6-7 SYS_IO_CFG IO 控制寄存器 39
表 6-8 SYS_DBG_CFG Debug 控制寄存器 41
表 6-9 SYS_CLK_DIV0 外设时钟分频寄存器 0 42
表 6-9 SYS_CLK_DIV1 外设时钟分频寄存器 1 42
表 6-10 SYS_CLK_DIV2 外设时钟分频寄存器 2 43
表 6-11 SYS_CLK_FEN 外设时钟门控寄存器 43
表 6-12 SYS_SFT_RST 软复位寄存器 45
表 6-13 SYS_PROTECT 写保护寄存器 47
表 6-14 SYS_IF 系统中断标志寄存器 48
表 6-15 SYS_RAM_LOCK RAM 锁定寄存器 48
表 6-16 擦除保护寄存器 SYS_FLSE 49
表 6-17 编程保护寄存器 SYS_FLSE 49
表 7-1 FLASH 访问空间分配表 53
表 7-2 FLASH Sector 地址分配表 55
表 7-3 IAP VTOR 寄存器描述 58
表 7-4 FLASH 控制器模块寄存器列表 59
表 7-5 FLASH_CFG 配置寄存器 59
表 7-6 FLASH_ADDR 地址寄存器 60
表 7-7 FLASH_WDATA 写数据寄存器 61
表 7-8 FLASH_RDATA 读数据寄存器 61
表 7-9 FLASH_ERASE 擦除控制寄存器 62
表 7-10 FLASH_PROTECT 保护状态寄存器 62
表 7-11 FLASH_READY 工作状态寄存器 63
表 7-12 FLASH_SIZE 容量寄存器 63
表 7-13 FLASH_NCFG 配置寄存器 64
表 7-14 FLASH_NADDR 地址寄存器 65
表 7-15 FLASH_NWDATA 写数据寄存器 65
表 7-16 FLASH_NRDATA 读数据寄存器 66
表 7-17 FLASH_NERASE 擦除控制寄存器 66

表 7-18 FLASH_NKEY 密钥寄存器 66
表 7-19 FLASH_EPSM FLASH Main 区域 Sector 擦除保护寄存器 67
表 7-20 FLASH_EPSN FLASH NVR 区域 Sector 擦除保护寄存器 68
表 7-21 FLASH_LIB_ADDR 库代码区域寄存器 69
表 8-1 SPI 模块控制寄存器列表 79
表 8-2 系统控制寄存器 SPI_CFG 79
表 8-3 SPI_IE 中断寄存器 80
表 8-4 SPI_BAUD 控制寄存器 81
表 8-5 SPI_TXDATA 数据发送寄存器 82
表 8-6 SPI_RXDATA 数据接收寄存器 82
表 8-7 SPI_SIZE 数据传输长度寄存器 82
表 9-1 I2C 寄存器地址分配表 96
表 9-2 地址寄存器 I2C0_ADDR 97
表 9-3 系统控制寄存器 I2C_CFG 97
表 9-4 状态控制寄存器 I2C_SCR 98
表 9-5 数据寄存器 I2C_DATA 99
表 9-6 主模式寄存器 I2C_MSCR 100
表 9-7 DMA 传输控制寄存器 I2C_BCR 100
表 9-8 DMA 传输长度寄存器 I2C_BSIZE 101
表 10-1 比较器寄存器列表 102
表 10-2 CMP_IE 比较器中断使能寄存器 102
表 10-3 CMP_IF 比较器中断标志寄存器 103
表 10-4 CMP_TCLK 比较器分频时钟控制寄存器 103
表 10-5 CMP_CFG 比较器控制寄存器 105
表 10-6 CMP_ BLCWIN 比较器开窗控制寄存器 107
表 10-7 CMP_ DATA 比较器输出数据寄存器 108
表 11-1 HALL 模块寄存器地址分配 111
表 11-2 HALL_CFG HALL 模块配置寄存器 111
表 11-3 HALL_INFO HALL 模块信息寄存器 113
表 11-4 HALL_WIDTH HALL 宽度计数值寄存器 113

表 11-5 HALL_TH HALL 模块计数器门限值寄存器.....114
表 11-6 HALL_CNT HALL 计数寄存器.....114
表 12-1 ADC0 通道选择与寄存器配置对应关系.....118
表 13-1 TIMER0 影子寄存器对应关系.....163
表 13-2 编码器正交编码工作模式.....168
表 13-3 编码器符号加脉冲工作模式.....168
表 13-4 编码器 CCW/CW 双脉冲工作模式.....169
表 13-5 TIMER0 寄存器地址分配.....170
表 13-6 TIMER0 通道 0 配置寄存器 TIMER0_CFG0.....171
表 13-7 TIMER0 通道 1 配置寄存器 TIMER0_CFG.....172
表 13-8 TIMER0 配置寄存器 2 TIMER0_CFG2.....173
表 13-9 TIMER0 门限寄存器 TIMER0_TH.....175
表 13-10 TIMER0 计数寄存器 TIMER0_CNT.....175
表 13-11 TIMER0 通道 0 比较捕获寄存器 TIMER0_CMP0.....176
表 13-12 TIMER0 通道 1 比较捕获寄存器 TIMER0_CMP1.....176
表 13-13 TIMER0 外部事件选择寄存器 TIMER0_EVT.....177
表 13-14 TIMER0 滤波控制寄存器 TIMER0_FLT.....179
表 13-15 TIMER0 中断使能寄存器 TIMER0_IE.....180
表 13-16 TIMER0 中断标志寄存器 TIMER0_IF.....180
表 13-17 TIMER0 IO 控制寄存器 TIMER0_IO.....181
表 13-18 TIMER1 寄存器地址分配.....183
表 13-19 TIMER1 通道 0 配置寄存器 TIMER1_CFG0.....183
表 13-20 TIMER1 通道 1 配置寄存器 TIMER1_CFG.....184
表 13-21 TIMER1 配置寄存器 2 TIMER1_CFG2.....185
表 13-22 TIMER1 门限寄存器 TIMER1_TH.....187
表 13-23 TIMER1 计数寄存器 TIMER1_CNT.....188
表 13-24 TIMER1 通道 0 比较捕获寄存器 TIMER1_CMP0.....188
表 13-25 TIMER1 通道 1 比较捕获寄存器 TIMER1_CMP1.....189
表 13-26 TIMER1 外部事件选择寄存器 TIMER1_EVT.....189
表 13-27 TIMER1 滤波控制寄存器 TIMER1_FLT.....191

表 13-28 TIMER1 中断使能寄存器 TIMER1_IE.....192
表 13-29 TIMER1 中断标志寄存器 TIMER1_IF.....192
表 13-30 TIMER1 IO 控制寄存器 TIMER1_IO.....193
表 13-31 TIMER2 寄存器地址分配.....195
表 13-32 TIMER2 通道 0 配置寄存器 TIMER2_CFG0.....195
表 13-33 TIMER2 通道 1 配置寄存器 TIMER2_CFG.....196
表 13-34 TIMER2 配置寄存器 2 TIMER2_CFG2.....197
表 13-35 TIMER2 门限寄存器 TIMER2_TH.....199
表 13-36 TIMER2 计数寄存器 TIMER2_CNT.....199
表 13-37 TIMER2 通道 0 比较捕获寄存器 TIMER2_CMP0.....200
表 13-38 TIMER2 通道 1 比较捕获寄存器 TIMER2_CMP1.....200
表 13-39 TIMER2 外部事件选择寄存器 TIMER2_EVT.....201
表 13-40 TIMER2 滤波控制寄存器 TIMER2_FLT.....203
表 13-41 TIMER2 中断使能寄存器 TIMER2_IE.....204
表 13-42 TIMER2 中断标志寄存器 TIMER2_IF.....204
表 13-44 QEP0 寄存器地址分配.....205
表 13-45 QEP0 配置寄存器 QEP0_CFG.....206
表 13-46 QEP0 计数门限寄存器 QEP0_TH.....207
表 13-47 QEP0 计数值寄存器 QEP0_CNT.....207
表 13-48 QEP0 中断使能寄存器 QEP0_IE.....208
表 13-49 QEP0 中断标志寄存器 QEP0_IF.....208
表 14-1 MCPWM 计数器阈值与事件对应表.....218
表 14-2 MCPWM 模块寄存器列表.....218
表 14-3 受 MCPWM0_PRT 保护的寄存器.....219
表 14-4 存在影子寄存器的寄存器.....220
表 14-5 MCPWM0_TH00 配置寄存器.....220
表 14-6 MCPWM0_TH01 配置寄存器.....221
表 14-7 MCPWM0_TH10 配置寄存器.....221
表 14-8 MCPWM0_TH11 配置寄存器.....222
表 14-9 MCPWM0_TH20 配置寄存器.....222

表 14-10 MCPWM0_TH21 配置寄存器.....222
表 14-11 MCPWM0_TH30 配置寄存器.....223
表 14-12 MCPWM0_TH31 配置寄存器.....223
表 14-13 MCPWM0_TMR0 配置寄存器.....224
表 14-14 MCPWM0_TMR1 配置寄存器.....224
表 14-15 MCPWM0_TMR2 配置寄存器.....224
表 14-16 MCPWM0_TMR3 配置寄存器.....225
表 14-17 MCPWM0_TH0 时基 0 寄存器.....225
表 14-18 MCPWM0_CNT0 寄存器.....226
表 14-19 MCPWM0_UPDATE MCPWM 手动更新寄存器.....226
表 14-20 MCPWM0_FCNT 寄存器.....228
表 14-21 MCPWM0_EVT0 MCPWM 时基 0 外部触发寄存器.....228
表 14-22 MCPWM0_DTH00 配置寄存器.....229
表 14-23 MCPWM0_DTH01 配置寄存器.....229
表 14-24 MCPWM0_FLT MCPWM 滤波时钟分频寄存器.....229
表 14-25 MCPWM0_SDCFG 配置寄存器.....230
表 14-26 MCPWM0_AUEN MCPWM 自动更新使能寄存器.....231
表 14-27 MCPWM0_TCLK 配置寄存器.....232
表 14-28 MCPWM0_IE0 MCPWM 时基 0 中断控制寄存器.....233
表 14-29 MCPWM0_IF0 MCPWM 时基 0 中断标志寄存器.....234
表 14-30 MCPWM0_EIE 配置寄存器.....235
表 14-31 MCPWM0_EIF 配置寄存器.....235
表 14-32 MCPWM0_RE 配置寄存器.....236
表 14-33 MCPWM0_PP 配置寄存器.....237
表 14-34 MCPWM0_IO01 配置寄存器.....237
表 14-35 MCPWM0_IO23 配置寄存器.....238
表 14-36 MCPWM0_CH_FAIL 配置寄存器.....239
表 14-37 MCPWM0_CH_DEF 短路保护通道输出值寄存器.....240
表 14-38 MCPWM0_CH_MSK 通道屏蔽位寄存器.....241
表 14-39 MCPWM0_PRT 寄存器.....242

表 14-40 MCPWM0_SW_FAIL MCPWM 软件 FAIL 调试寄存器 242
表 15-1 GPIO 第二功能 245
表 15-2 GPIOx 寄存器列表 245
表 15-3 GPIO 中断/唤醒/配置锁定模块寄存器列表 246
表 15-4 GPIOx 输入使能寄存器 GPIOx_PIE 247
表 15-5 GPIOx 输出使能寄存器 GPIOx_POE 247
表 15-6 GPIOx 输入数据寄存器 GPIOx_PDI 248
表 15-7 GPIOx 输出数据寄存器 GPIOx_PDO 249
表 15-8 GPIOx 上拉使能寄存器 GPIOx_PUE 249
表 15-9 GPIOx 开漏使能寄存器 GPIOx_PODE 250
表 15-10 GPIOx 配置锁定寄存器 GPIOx_PFLT 251
表 15-11 GPIOx 功能选择寄存器 GPIOx_F3210 251
表 15-12 GPIOx 功能选择寄存器 GPIOx_F7654 252
表 15-13 GPIOx 功能选择寄存器 GPIOx_FBA98 252
表 15-14 GPIOx 功能选择寄存器 GPIOx_FFEDC 253
表 15-15 GPIOx 位操作寄存器 GPIOx_BSRR 253
表 15-16 GPIOx 位清零寄存器 GPIOx_BRR 254
表 15-17 EXTI_CR0 外部触发配置寄存器 0 255
表 15-18 EXTI_CR1 外部触发配置寄存器 1 256
表 15-19 GPIO 中断/DMA 请求事件资源分布表 258
表 15-20 EXTI_IE GPIO 中断使能寄存器 258
表 15-21 EXTI_IF 外部中断标志寄存器 259
表 15-22 EXTI_CLKO GPIO 输出时钟信号选择寄存器 259
表 15-23 PWM_SWAP 寄存器 260
表 15-24 MCPWM 默认输出表 260
表 15-25 PWM_SWAP=1 时 MCPWM 输出映射表表 261
表 15-26 GPIO 上拉资源分布表 261
表 15-27 GPIO 滤波资源分布表 261
表 15-28 GPIO 中断资源分布表 262
表 15-29 GPIO 唤醒资源分布表 262

表 16-1 CRC 寄存器列表 265
表 16-2 CRC0_DR CRC 数据寄存器 266
表 16-3 CRC0_CR CRC 控制寄存器 266
表 16-4 CRC0_INIT CRC 初始码寄存器 267
表 16-5 CRC0_POL CRC 生成码寄存器 268
表 17-1 UART 波特率配置示例 271
表 17-2 UART 帧格式 275
表 17-3 UART 地址分配列表 276
表 17-4 UART 控制寄存器 UARTx_CTRL 276
表 17-5 UART 波特率设置高字节寄存器 UARTx_DIVH 277
表 17-6 UART 波特率设置低字节寄存器 UART_DIVL 277
表 17-7 UART 收发缓冲寄存器 UART_BUFF 277
表 17-8 UART 地址匹配寄存器 UART_ADR 278
表 17-9 UART 状态寄存器 UART_STT 278
表 17-10 UART DMA 请求使能寄存器 UART_RE 279
表 17-11 UART 中断使能寄存器 UART_IE 280
表 17-12 UART 中断使能寄存器 UART_IF 280
表 17-13 UARTIO 控制寄存器 UART_IOC 282
表 18-1 DMA 请求 287
表 18-2 DMA 寄存器列表 289
表 18-3 DMA 通道配置寄存器 DMA_CCRx 290
表 18-4 DMA 请求使能寄存器 DMA_ RENx 291
表 18-5 DMA 传输次数寄存器 DMA_CTMS0 292
表 18-6 DMA 控制寄存器 DMA_CTRL 295
表 18-7 DMA 中断使能寄存器 DMA_IE 295
表 18-8 DMA 中断标志寄存器 DMA_IF 295
表 19-1 除法特殊操作数情况表 297
表 19-2 协处理器寄存器列表 299
表 19-3 DSP 除法被除数寄存器 300
表 19-4 DSP 除法除数寄存器 300

表 19-5 DSP 除法商寄存器.....301
表 19-6 DSP 除法余数寄存器.....301
表 19-7 DSP 除法被除数寄存器.....302
表 19-8 DSP 除法除数寄存器.....302
表 19-9 DSP 除法商寄存器.....302
表 19-10 协处理器被开方数寄存器.....303
表 19-11 协处理器平方根寄存器.....303
表 20-1 独立看门狗寄存器.....306
表 20-2 IWDG_PSW 独立看门狗密码寄存器.....307
表 20-3 IWDG_CFG 独立看门狗配置寄存器.....307
表 20-4 IWDG_CLR 看门狗清零寄存器.....308
表 20-5 IWDG_WTH 独立看门狗超时复位门限寄存器.....308
表 20-6 IWDG_RTH 独立看门狗超时复位门限寄存器.....309
表 20-7 IWDG_CNT 独立看门狗当前计数值寄存器.....309
表 21-1 低功耗模式汇总.....310
表 21-2 功耗管理模块地址空间.....312
表 21-3 AON_PWR_CFG 功耗管理配置寄存器.....312
表 21-4 AON_EVT_RCD 事件记录寄存器.....313
表 21-5 AON_IO_WAKE_POL IO 唤醒源极性配置寄存器.....313
表 21-6 AON_IO_WAKE_EN IO 唤醒源使能寄存器.....314
表 21-7 AON_BKP_REG0 后备寄存器 0.....315
表 21-8 AON_BKP_REG1 后备寄存器 1.....315
表 22-1 SIF 模块控制寄存器列表.....318
表 22-2 地址寄存器 SIF0_CFG.....318
表 22-3 SIF0_TOSCL SIF 时基低字节寄存器.....319
表 22-4 同步时间寄存器 SIF0_TSTH1.....320
表 22-5 结束时间寄存器 SIF0_TDTH1.....320
表 22-6 中断寄存器 SIF0_IRQ.....321
表 22-7 数据寄存器 SIF0_WDATA.....322
表 23-1 CLUnA 输入选择.....325

表 23-2 CLUnB 输入选择 325
表 23-3 CLU 时钟/外部信号的时序 326
表 23-4 LUT 真值表 327
表 23-5 CL0 模块寄存器地址分配 327
表 23-6 CL0_EN0 CL0 使能寄存器 327
表 23-7 CL0_IE0 CL0 中断使能寄存器 328
表 23-8 CL0_IF0 CL0 中断标志寄存器 329
表 23-9 CL0_OUT0 CL0 输出寄存器 330
表 23-10 CL0_MX0 CL0 输入多路复选寄存器 330
表 23-11 CL0_FN0 CL0 功能选择寄存器 331
表 23-12 CL0_CF0 CL0 配置寄存器 331
表 25-1 文档版本历史 340

图片目录

图 2-1 LKS32MC09x 系统框图 4
图 5-1 模拟电路功能框图 13
图 5-2 放大器框图 15
图 5-3 BEMFx_MID 信号 17
图 6-2 复位架构 36
图 7-1 非易失性存储体空间划分框图及型号 51
图 7-2 FLASH 控制状态转换图 52
图 7-3 FLASH 间接读取操作流程图 53
图 7-4 FLASH 模块编程操作流程图 54
图 7-5 FLASH 模块编程操作流程图 55
图 7-6 FLASH 模块擦除操作流程图 56
图 8-1 SPI 模块结构框图 71
图 8-2a SPI 接口全双工主模式互连框图 72
图 8-3 SPI 接口半双工模式互连框图 74
图 8-4 SPI 模块 Slave 模式片选信号选择 75
图 8-5 SPI 模块 Master 模式片选信号选择 75
图 8-6 SPI 模块中断选信号产生图 78
图 9-1I2C 模块顶层功能框图 85
图 9-2 基本 I2C 传输时序图 86
图 9-3 从模式传输示意图 88
图 9-4 从模式下多字节发送示意图 90
图 9-5 从模式下多字节接收示意图 90
图 9-6 主模式下单字节传输示意图 91
图 9-7 主模式下多字节发送示意图 93
图 9-8 主模式下多字节接收示意图 94
图 10-1 比较器滤波时钟产生 105
图 10-2 比较器控制及中断产生逻辑 106
图 10-3 CMP 与 MCPWM 的联动 106
图 10-4 比较器开窗功能图示 107

图 11-1 7/5 滤波模块框图.....110
图 11-2 数据流程框图.....111
图 12-1 ADC 采集模块功能框图.....116
图 13-1 TIMER 模块顶层功能框图.....157
图 13-2 TIMER 滤波示意图.....159
图 13-3 TIMER 通用计数器.....159
图 13-4 TIMER 捕获模式.....160
图 13-5 TIMER 比较模式.....161
图 13-6 RTE=0 时 TIMER 单次触发.....161
图 13-7 RTE=1 时 TIMER 单次触发.....162
图 13-8 TIMER 中心计数模式.....163
图 13-9 TIMER 外部事件触发启动.....164
图 13-10 TIMER 外部事件触发单次（单周期）计数.....164
图 13-11 TIMER 使用外部时钟计数.....165
图 13-12 TIMER 外部信号重置功能.....166
图 13-13 TIMER 外部信号门控功能.....167
图 13-14 编码器只在 T1 时刻计数的正交编码信号计数情况.....168
图 13-15 编码器在 T1 或 T2 时刻计数的正交编码信号计数情况.....168
图 13-16 编码器在 T1 上升下降沿都计数的符号加脉冲信号计数情况.....169
图 13-17 编码器在仅 T1 上升沿计数的符号加脉冲信号计数情况.....169
图 13-18 编码器仅在 T1/T2 上升沿计数的 CCW/CW 双脉冲信号计数情况.....170
图 13-19 编码器在 T1/T2 上升下降沿计数的 CCW/CW 双脉冲信号计数情况.....170
图 14-1 MCPWM 模块框图.....209
图 14-2 Base Counter t0/t1 时序.....210
图 14-3 MCPWM 更新机制.....211
图 14-4 MCPWM_CH_FAIL 逻辑示意图.....212
图 14-5 MCPWM Fail 信号滤波时钟生成逻辑.....212
图 14-6 IO Driver 模块数据流程图.....213
图 14-7MCPWM 时序 TH<n>0 和 TH<n>1-中心对齐模式.....214
图 14-8 MCPWM 时序 TH<n>0 和 TH<n>1-中心对齐推挽模式.....215

图 14-9MCPWM 时序边沿对齐模式.....215
图 14-10MCPWM 时序 TH<n>0 和 TH<n>1 边沿对齐推挽模式.....216
图 14-11MCPWM IO 控制示意图.....217
图 15-1 GPIO 功能框图.....244
图 17-1 UART 帧格式.....271
图 17-2 LIN 的帧结构.....272
图 17-3 UART 多机通讯互联拓扑.....273
图 17-4 UART 多机通讯示例.....275
图 18-1 multi-layer AHB 总线架构.....283
图 18-2 RMODE=0 DMA 传输情况.....284
图 18-3 RMODE=1 DMA 传输情况.....284
图 18-4 DMA 地址递增控制.....285
图 18-5 CIRC=1 且 RMODE=1 DMA 传输情况.....286
图 18-6 CIRC=1 且 RMODE=0 DMA 传输情况.....286
图 18-7 DMA 通道优先级.....288
图 20-1 IWDG 递减计数事件发生示例.....305
图 22-1 SIF 模块结构框图.....316
图 22-2 SIF 模块同步（SYNC）波形.....317
图 22-3 SIF 模块数据（DATA）波形.....317
图 22-4 SIF 发送 0x13 字节波形示例.....317
图 23-1 CL 模块顶层功能框图.....324
图 23-2 独立 CLU 模块功能框图.....324

1 文档约定

1.1 寄存器读写权限

RW	读/写，软件可以读写这些位。
RO	只读，软件只能读取这些位。
WO	只写，软件只能写入该位。读取该位时将返回默认值。
RW1C(Read and Write 1 to Clear)	可读，写 1 清零。

1.2 缩略词汇表

字:32 位数据/指令。

半字:16 位数据/指令。

字节:8 位数据。

双字:64 位数据。

ADC:Analog-Digital Converter，模数转换器

DAC:Digital-Analog Converter，数模转换器

BGP:Bandgap，带隙基准

WDT:Watch dog，看门狗

LSI:Low Speed Internal Clock，即 32kHZ RC 时钟

HSI:High Speed Internal Clock，即 8MHz RC 时钟

PLL:Phase Lock Loop Clock，即 96MHz 锁相环时钟，通常用作系统高速时钟

POR:Power-On Reset，即上电复位，芯片系统上电时产生的复位信号

NVR:Non-Volatile Register，flash 中区别于 main 区域之外的一块存储区域

IAP（在应用中编程）:IAP 是指可以在用户程序运行期间对微控制器的 Flash 进行重新编程。

ICP（在线编程）:ICP 是指可以在器件安装于用户应用电路板上时使用 JTAG 协议、 SWD 协议或自举程序对微控制器的 Flash 进行编程。

CW:Clock wise，顺时针

CCW:Counter clock wise，逆时针

Option bytes: 选项字节，保存在 Flash 中的 MCU 配置字节

2 系统概况

2.1 简述

LKS32MC09x 系列 MCU 是凌鸥紧凑主线型 MCU，配备 96MHz Cortex-M0 内核，以及必要的模拟和外设资源。

2.2 特性

- 96MHz 32 位 Cortex-M0 内核，单周期硬件乘法
- 4 通道 DMA
- 10uA 低功耗休眠模式
- -40~105℃工业级工作温度范围
- 2.5V~5.5V 单电源供电，内部集成数字供电 LDO
- 超强抗静电和群脉冲能力

2.2.1 存储

- 64/128kB Flash，数据防盗功能
- 8kB RAM

2.2.2 时钟

- 内置 8MHz 高精度 RC 时钟，-40~105°全温度范围精度±1%
- 内置 32kHz 低速时钟，供低功耗模式使用
- 内部 PLL 可提供最高 96MHz 时钟

2.2.3 外设

- 三路 UART
- 一路 SPI
- 一路 I2C
- 两路 16bit TIMER，1 路 32bit TIMER，支持捕捉和边沿对齐 PWM，TIMER0 支持中心对齐 PWM

- 电机控制专用 PWM 模块，支持 2 组各 6 路 PWM 输出，死区可配置
- Hall 信号专用接口，支持测速、去抖
- 硬件看门狗
- 最多支持 48 路 GPIO

2.2.4 模拟模块

- 集成 2 路 12bit SAR ADC，2Msps 采样及转换速率，共 16 个外部通道
- 集成 4 路 OPA，可设置为差分 PGA 模式，最多支持 4 路差分输入
- 集成两路比较器
- 集成 1 路 12bit DAC 数模转换器，作为内部比较器输入
- 内置 1.2V 0.8%精度电压基准源
- 内置 1 路低功耗 LDO 和电源监测电路
- 集成高精度、低温飘高频 RC 时钟

2.3 系统框图

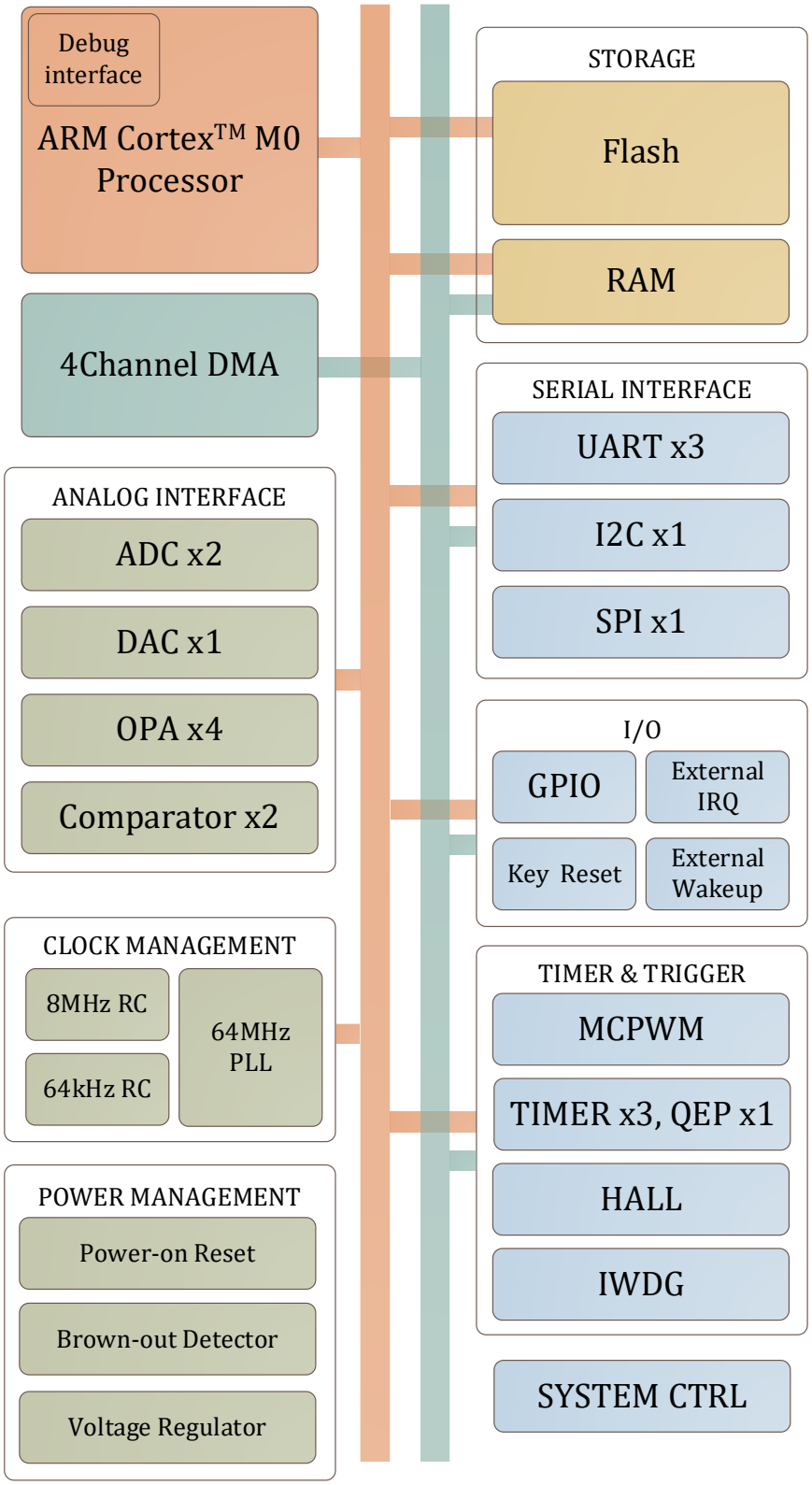


图 2-1 LKS32MC09x 系统框图

3 地址空间

数据字节以小端格式存放在存储器中。一个字里的最低地址字节被认为是该字的最低有效字节，而最高地址字节是最高有效字节。其他所有没有分配给片上存储器和外设的存储器空间都是保留的地址空间。

表 3-1 系统地址空间分配

类型	设备	开始地址	结束地址	空间大小	时钟/软复位
CODE	FLASH	0x0000_0000	0x0001_FFFF	128kB	同总线
	FLSCR	0x0002_0000	0x0002_00FF	256B	同总线
RAM	RAM	0x2000_0000	0x2000_1FFF	8kB	同总线
	SYS	0x4000_0000	0x4000_00FF	256B	同总线
	SPI0	0x4001_0000	0x4001_00FF	256B	外设门控时钟[0] 软复位[0]
	I2C0	0x4001_0100	0x4001_01FF	256B	外设门控时钟[1] 软复位[1]
	CMP	0x4001_0200	0x4001_02FF	256B	外设门控时钟[2] 软复位[2]
	HALL0	0x4001_0300	0x4001_03FF	256B	外设门控时钟[3] 软复位[3]
	ADC0	0x4001_0400	0x4001_04FF	256B	同总线
	ADC1	0x4001_0500	0x4001_05FF	256B	同总线
	TIMER0	0x4001_0600	0x4001_06FF	256B	外设门控时钟[4] 软复位[4]
	TIMER1	0x4001_0700	0x4001_07FF	256B	外设门控时钟[5] 软复位[5]
	TIMER2	0x4001_0800	0x4001_08FF	256B	外设门控时钟[6] 软复位[6]
	QEP0	0x4001_0A00	0x4001_0AFF	256B	外设门控时钟[8] 软复位[8]
	MCPWM0	0x4001_0C00	0x4001_0CFF	256B	外设门控时钟[10] 软复位[10]
	GPIO	0x4001_0D00	0x4001_0EFF	512B	外设门控时钟[11] 软复位[11]
	CRC0	0x4001_0F00	0x4001_0FFF	256B	外设门控时钟[16] 软复位[16]
	UART0	0x4001_1000	0x4001_10FF	256B	外设门控时钟[12] 软复位[12]
	UART1	0x4001_1100	0x4001_11FF	256B	外设门控时钟[13] 软复位[13]
	DMA0	0x4001_1200	0x4001_12FF	256B	同总线
	SIF0	0x4001_1500	0x4001_15FF	256B	外设门控时钟[20] 软复位[20]
	UART2	0x4001_1600	0x4001_16FF	256B	外设门控时钟[14]

					软复位[14]
	AON	0x4001_1700	0x4001_17FF	256B	同总线
	CL0	0x4001_1800	0x4001_18FF	256B	外设门控时钟[21] 软复位[21]
	DSP0	0x4001_2000	0x4001_20FF	256B	外设门控时钟[17] 软复位[17]

以上外设门控时钟控制寄存器，请参考 6.3.8 SYS_CLK_FEN，软复位控制寄存器请参考 6.3.9 SYS_SFT_RST。

4 内核

4.1 ARM®CortexTM-M0 核心

Cortex-M0 是 Cortex-M 家族中的 M0 系列。最大特点是低功耗的设计。Cortex-M0 为 32 位、3 级流水线 RISC 处理器，其核心仍为冯.诺依曼结构，是指令和数据共享同一总线的架构。作为新一代的处理器，Cortex-M0 的设计进行了许多的改革与创新，如系统存储器地址映像(System Address Map)、改善效率并增强确定性的嵌套向量中断系统(NVIC)与不可屏蔽中断(NMI)、全新的调试单元等等，都带给了使用者全新的体验和更便利、更有效率的操作。

Cortex-M0 其核心架构为 ARMv6M，其运算能力可以达到 0.9 DMIPS/MHz，而与其他的 16 位与 8 位处理器相比，由于 CortexM0 的运算性能大幅提高，所以在同样任务的执行上 Cortex-M0 只需较低的运行速度，而大幅降低了整体的动态功耗。

有关内核的更多信息请参考 ARM 官方技术手册“Cortex-M0 Technical Reference Manual”（汉译版本为“Cortex-M0 技术参考手册”）。

本小节重点描述 NVIC 控制器、SysTick 定时器、LKS32MC09x 中断向量表定义及中断向量表重定义三个功能。

4.2 NVIC 控制器

为了管理中断请求的优先级并处理其他异常，Cortex-M0 处理器内置了嵌套中断控制器（NVIC）。NVIC 的一些可编程控制器控制着中断管理功能，这些寄存器被映射到系统地址空间里，它们所处的区域被称为系统控制空间（SCS）。SCS 的地址空间为:0xE000_E000 – 0xE000_EFFF。

NVIC 有以下特性:

- 灵活的中断管理;

  Cortex-M0 处理器中，每一个外部中断都可以被使能或者禁止，并且可以被设置为挂起状态或者清除状态。处理器的中断可以是电平信号的（在中断服务程序清除中断请求以前，外设的请求会一直保持），也可以是脉冲信号的（最小一个始终周期），这样中断控制器就可以处理任何中断源。

- 支持嵌套中断;

  Cortex-M0 处理器的任何中断都有一个固定或者可编程的中断优先级。当外部中断之类的异常发生时，NVIC 将该异常的优先级与当前的优先级进行比较，如果新的优先级更高，当前的任务会被暂停，处理器进行核心寄存器入栈保持，然后开始处理新的异常程序，这个过程也被称为“抢占”。高优先级的中断完成后，异常返回就会执行，处理器自动进行出栈操作恢复刚才寄存器的值，并继续运行刚才的任务。这种机制并没有带来软件开销。

- 向量化的异常入口;

  异常发生时，处理器需要定位异常对用的程序入口。传统的处理方式需要软件去完成。而 M0 处理器会从存储器的向量表中，自动定位异常的程序入口。从异常到异常的处理事件会被缩

减。

- 中断屏蔽；

  NVIC 通过一组特殊寄存器提供了一种中断屏蔽机制，NVIC 除了硬件错误（HardFault）和 NMI 之外，可以屏蔽所有的异常。有些操作，比如对时间敏感的控制任务或实时多媒体解码任务，不应该被打断，此时中断屏蔽的作用就表现了出来。具体参见 ARM 手册。

LKS32MC09x 支持 ARM 公司推出的 CMSIS（Cortex Microcontroller Software Interface Standard，即 Cortex 微控制器软件接口标准）函数。用户在工程中包含 cm0_core.h 和 cm0_core.c 代码，即可实现对 NVIC 模块的操作。

4.3 异常和中断

异常，会引起程序控制的变化。在异常发生时，处理器停止当前的任务，转而执行异常处理程序，异常处理完成后，会继续执行刚才的任务。异常分为很多种，中断是其中之一。Cortex-M0 处理器最多支持 32 个外部中断（IRQ）和一个不可屏蔽中断（NMI），中断事件的处理叫做中断服务程序（ISR），中断一般由芯片上的硬件资源产生。

每一个异常都对应一个异常编号，异常编号还指明了异常向量的地址。异常编号和中断编号是相互独立的。系统异常使用负数定义，中断使用 0-31 正数定义。复位是一种特殊的异常，数值为-15。除了 NMI，HardFault 和复位，其他所有异常的优先级都是可编程的，NMI 和 HardFault 的优先级是固定的，并且比其他异常的优先级高。

LKS32MC09x 系列芯片共使用了其中的 21 个外部中断，后 11 个保留未使用。最多支持 4 个中断优先级可供编程选择。

表 4-1 中断号分布

异常/中断号	说明	地址	异常/中断号	说明	地址
-14	NMI	0x00000008			
-13	HardFault	0x0000000C			
-12	保留	0x00000010			
-11		0x00000014			
-10		0x00000018			
-9		0x0000001C			
-8		0x00000020			
-7		0x00000024			
-6		0x00000028			
-5	SVCall	0x0000002C			
-4	保留	0x00000030			
-3		0x00000034			
-2	PendSV	0x00000038			
-1	SysTick	0x0000003C			
0	TIMER0	0x00000040	16	MCPWM0	0x00000080
1	TIMER1	0x00000044	17	MCPWM1	0x00000084
2	TIMER2	0x00000048	18	DMA0	0x00000088
3	保留	0x0000004C	19	保留	0x0000008C
4	QEP0	0x00000050	20	SIF0	0x00000090

5	保留	0x00000054	21	WAKEUP，唤醒中断	0x00000094
6	I2C0	0x00000058	22	软件中断	0x00000098
7	SPI0	0x0000005C	23	电源电压过低	0x0000009C
8	GPIO	0x00000060	24	CL0	0x000000A0
9	HALL0	0x00000064	25	Reserved	0x000000A4
10	UART0	0x00000068	26	CMP0	0x000000A8
11	UART1	0x0000006C	27	CMP1	0x000000AC
12	UART2	0x00000070	28	Reserved	0x000000B0
13	Reserved	0x00000074	29	Reserved	0x000000B4
14	ADC0	0x00000078	30	Reserved	0x000000B8
15	ADC1	0x0000007C	31	Reserved	0x000000BC

异常发生时，处理器需要定位异常对应的程序入口。标准的 Cortex-M0 处理器不支持中断向量表的重定义，即每个异常的入口地址是固定的。在线升级应用，将擦除 FLASH 部分内容，用户可能擦除/破坏中断向量表。因此，此种应用，一般推荐关闭中断。LKS32MC09x 芯片增加了该功能，实现了中断向量表的重定义功能。即在升级过程中，可开启中断，编程更灵活。具体使用，参见本文档 FLASH 章节--FLASH 在线升级(IAP)部分的描述。

4.4 SysTick 定时器

SysTick 定时器是 Cortex-M0 处理器自带的系统滴答定时器。其存在的主要目的是为嵌入式操作系统提供 100Hz(即 10ms)的定时节拍。当然，也可以做普通定时等其他用途。

- 可编程设置频率的 RTOS 定时器(例如 100 Hz)，调用一个 SysTick 服务程序。
- 简单计数器。软件可使用它测量时间 （如:完成任务所需时间、已使用时间）。

SysTick 定时器使用起来非常简单。它一共有三个寄存器:SYST_CSR、SYST_RVR、SYST_CVR。寄存器的基地址为 0xE000_E000。LKS32MC09x 芯片，针对实际应用，三个寄存器的配置如下。

表 4-2 中断号分布

名称	偏移	描述
SYST_CSR	0x10	SysTick 定时器控制和状态寄存器
SYST_RVR	0x14	SysTick 定时器重载值寄存器
SYST_CVR	0x18	SysTick 定时器当前值寄存器

4.4.1 SYST_CSR 控制和状态寄存器

地址:0xE000_E010

复位值:0x00000000

表 4-3 SYST_CSR 控制和状态寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
															FLAG
															R

																																0
15																														2	1	0
																														CLKSRC	TICKINT	ENABLE
																														RW	RW	RW
																														0	0	0

位置	位名称	说明
[16]	FLAG	SysTick 定时器计数器回零标志位，读清除。 0:没有回零 1:发生回零
[15:3]	--	保持为 0
[2]	CLKSRC	SysTick 定时器时钟选择信号。默认为 0。 0:CPU 时钟/8 1:CPU 时钟
[1]	TICKINT	SysTick 定时器中断使能信号。默认为 0。 0:关闭 1:使能
[0]	ENABLE	SysTick 定时器使能信号。默认为 0。 0:关闭 1:使能

4.4.2 SYST_RVR 重载值寄存器

地址:0xE000_E014

复位值:0x00000000

表 4-4 SYST_RVR 重载值寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
								RELOAD							
								RW							
								0							

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RELOAD															
RW															
0															

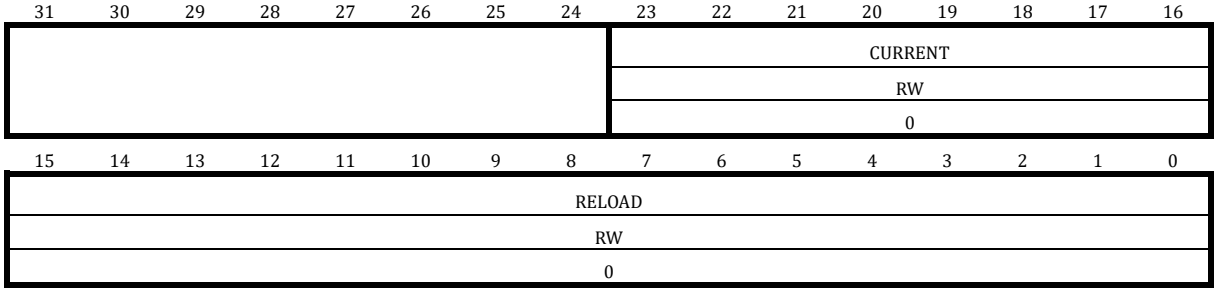
位置	位名称	说明
[31:24]	--	保持为 0
[23:0]	RELOAD	SysTick 定时器周期寄存器，定时器在 0—RELOAD 之间计数。默认为 0。

4.4.3 SYST_CVR 当前值寄存器

地址:0xE000_E018

复位值:0x00000000

表 4-5 SYST_CVR 当前值寄存器



位置	位名称	说明
[31:24]	--	保持为 0
[23:0]	CURRENT	读取该寄存器，返回 SysTick 定时器内部计数值，默认为 0。对该寄存器写入任何值，将复位内部计数值，同时清除 SYST_CSR.FLAG。

5 模拟电路

5.1 简述

模拟电路包含以下模块:

- 集成 2 路 12BIT SAR ADC，采样率 2Msps，每路采样电路最多 16 个外部 ADC 通道信号可选。
- 集成 4 路运算放大器，可设置为 PGA 模式
- 集成 2 路比较器，可设置迟滞模式
- 集成 1 路 12BIT 数模转换器，集成 1 路 8BIT 数模转换器
- 内置±2℃温度传感器
- 内置高精度基准源

各个模块之间的相互关系、以及各模块的控制寄存器（寄存器的说明见下文“模拟寄存器表”）如下图所示。

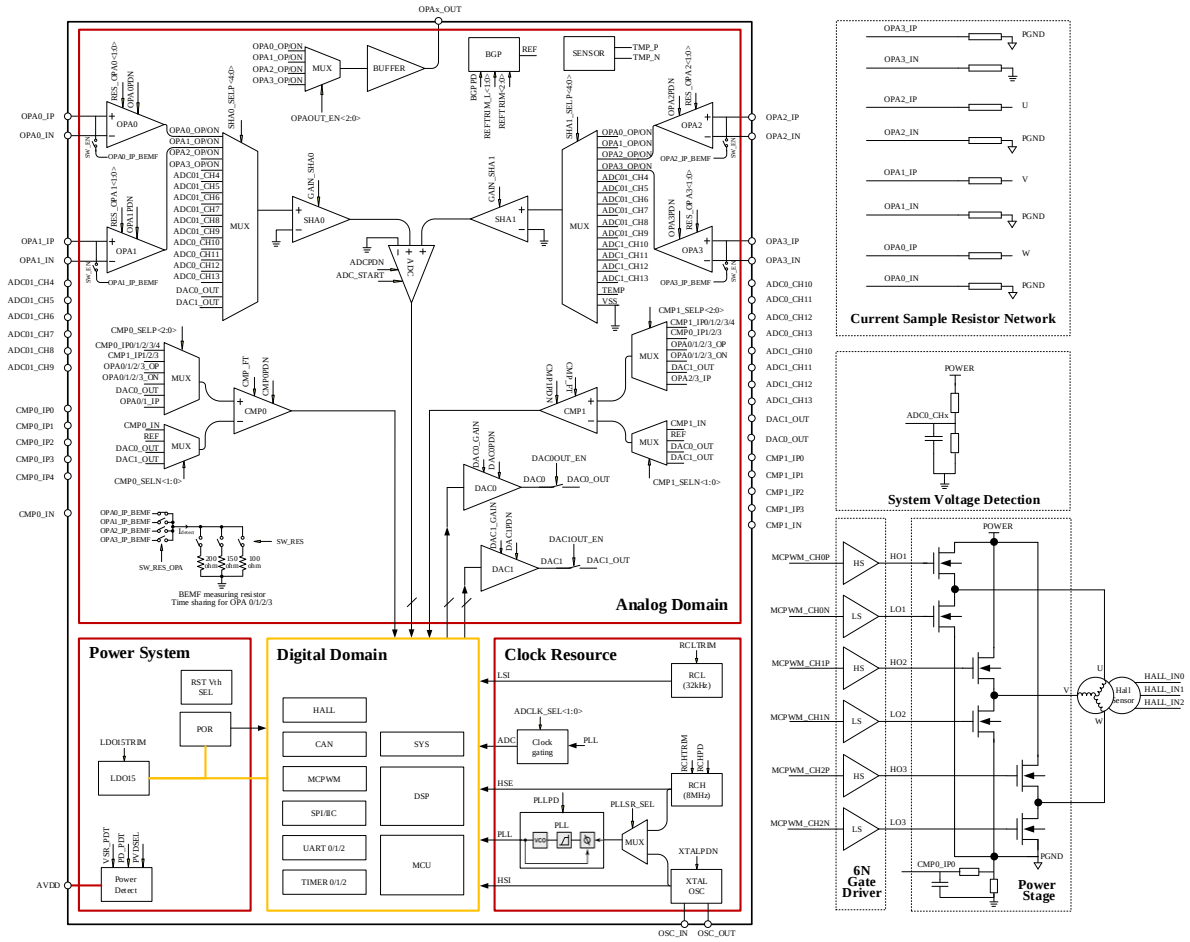


图 5-1 模拟电路功能框图

5.1.1 电源管理系统

电源管理系统由 LDO15 模块、上电/掉电复位模块（POR）组成。

该芯片由 2.5V~5V 单电源供电，以节省芯片外的电源成本。芯片内部集成一路 LDO15 给内部所有数字电路、PLL 模块供电。上电启动电压在 2.13V，下电掉电电压在 1.93V。

LDO 上电后自动开启，无需软件配置。

POR 模块监测 LDO15 的电压，在 LDO15 电压低于 1.20V 时（例如上电之初，或者掉电时），为数字电路提供复位信号以避免数字电路工作产生异常。AVDD 从 3~5V 变化时，变化差值在 1mV 以内。电压低于 3V 时，由于 LDO 增益下降等原因，差值变大。

5.1.2 时钟系统

时钟系统包括内部 32kHz RC 时钟、内部 8MHz RC 时钟、PLL 电路组成。

32kHz RC 时钟 LSI 主要用于系统内的看门狗模块以及复位信号滤波等，也可用作 MCU 主时钟。8MHz RC 时钟可作为 MCU 主时钟使用。PLL 最高可提供 96MHz 的时钟，可作为系统主时钟。

32kHz 和 8MHz RC 时钟均带有出厂校正。在 5V 供电的条件下，可在常温下实现 32kHz RC 时钟±5%的精度，8MHz RC 时钟±1%的精度；32kHz RC 时钟在-40~105℃范围内的精度为±50%，8MHz RC 时钟在该温度范围的精度为±1%。

8MHz RC 时钟通过设置 BGPPD='0'打开（默认打开，写 1 关闭），RC 时钟需要 BGP 电压基准源模块提供基准电压和电流，因此开启 RC 时钟时实际上连带开启了 BGP 模块（BGPPD='0'）。芯片上电的默认状态下，8MHz RC 时钟和 BGP 模块都是开启的。32kHz RC 时钟始终开启，不能关闭。

PLL 对 8MHz RC 时钟进行倍频，给 MCU、ADC 等模块提供更高速的工作时钟。MCU 和 PWM 模块的最高时钟为 96MHz，ADC 模块最高时钟 32MHz。

PLL 通过设置 PLLPDN='1'打开（默认开启），开启 PLL 模块之前，同样也需要开启 BGP 模块。开启 PLL 之后，PLL 需要 32us 的稳定时间来输出稳定时钟。芯片上电的默认状态下，RCH 时钟和 BGP 模块都是开启的，但 PLL 默认是关闭的，需要软件来开启。

BGPPD /PLLPDN 的说明见模拟寄存器 SYS_AFE_REG1，SYS_AFE_REG5

5.1.3 基准电压源

基准源电路(BGP REF: Bandgap reference)为 ADC、DAC、RC 时钟、PLL、温度传感器、运算放大器、比较器和 FLASH 提供基准电压和电流，使用上述任何一个模块之前，都需要开启 BGP 基准电压源。

芯片上电的默认状态下，BGP 模块是开启的。通过设置 BGPPD ='0'将基准源打开，从关闭到开启，BGP 需要约 6us 达到稳定。BGP 输出电压约 1.2V，精度为±0.8%

BGPPD 的说明见模拟寄存器 SYS_AFE_REG1

5.1.4 ADC 模块

请参加第 12 章。

5.1.5 运算放大器

芯片集成 4 路输入输出轨到轨（rail-to-rail）运算放大器，内置反馈电阻，外部引脚上需串联一个电阻 R_0 到信号源。反馈电阻 R_2:R_1 的阻值可通过寄存器 RES_OPA[1:0]设置，以实现不同的放大倍数。

RES_OPA<1:0>的说明见模拟寄存器 SYS_AFE_REG0

放大器的结构示意图如下所示:

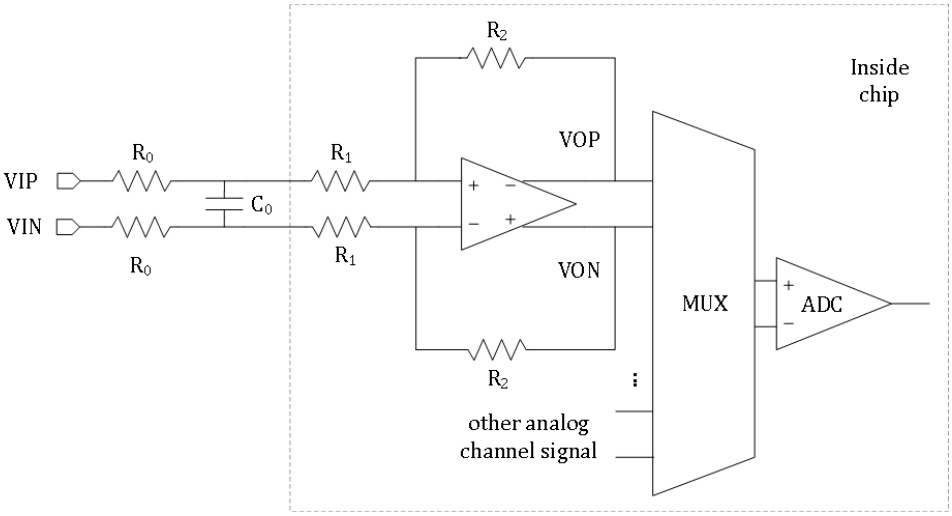


图 5-2 放大器框图

图中两个 R_0 是片外需放置的电阻，阻值必须相等，最终的放大倍数为 $R_2/(R_1+R_0)$。

对于 MOS 管电阻直接采样的应用，由于 MOS 下管关断、上管导通时信号会升高到数十 V 的电源电压，为减小此时往芯片引脚里流入的电流，建议接>20kΩ 的外部电阻。

对于分流电阻采样的应用，建议接 100~2KΩ 的外部电阻。C_0 为信号滤波电容，和 R_0 形成一阶 RC 滤波电路。R_0 的具体阻值可根据 R_0*C_0 的滤波常数而定。如果信号上噪声较小不需要滤波、或者信号需要很大的带宽（较快的响应速度），则 C_0 可以不加。

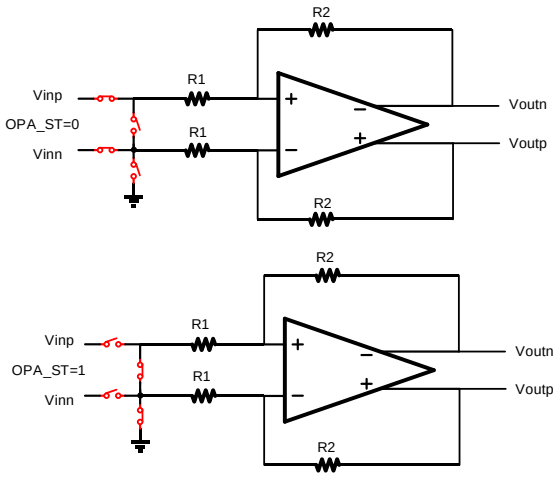
放大器可通过设置 OPAOUT_EN 选择将放大器的输出信号通过 BUFFER 送至 P2.7 管脚口进行测量和应用（对应关系见 datasheet 芯片管脚说明）。因为有 BUFFER 存在，在运放正常工作模式下也可以选择送一路运放输出信号出来。其差分摆幅离散度分布为 3.2~3.8V。

OPAOUT_EN 的说明见模拟寄存器 SYS_AFE_REG2

芯片上电的默认状态下，放大器模块是关闭的。放大器可通过设置 OPAPDN=1 打开。开启放大器之前，需要先开启 BGP 模块。

OPAPDN 的说明见模拟寄存器 SYS_AFE_REG1。

运放可通过设置 OPA_ST=1 来将运放工作在零漂测试模式，具体电路图如下。

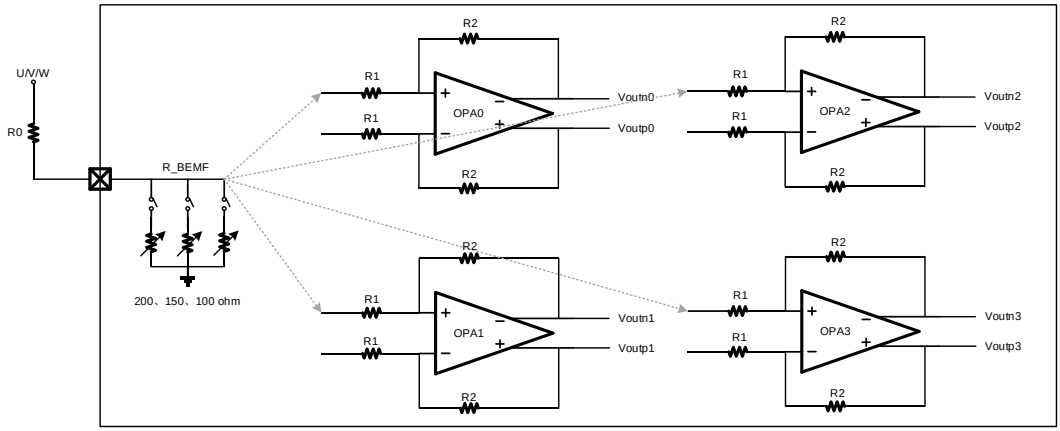


运放输入正负端内置钳位二极管。正端内置±5%精度的反电动势分压电阻 R_BEMF 支持分时复用，可分别接到 OPA0/1/2/3 的 IP 端。R_BEMF 只有一路，因此，同一时间只能进行一路反电动势的分压采样。

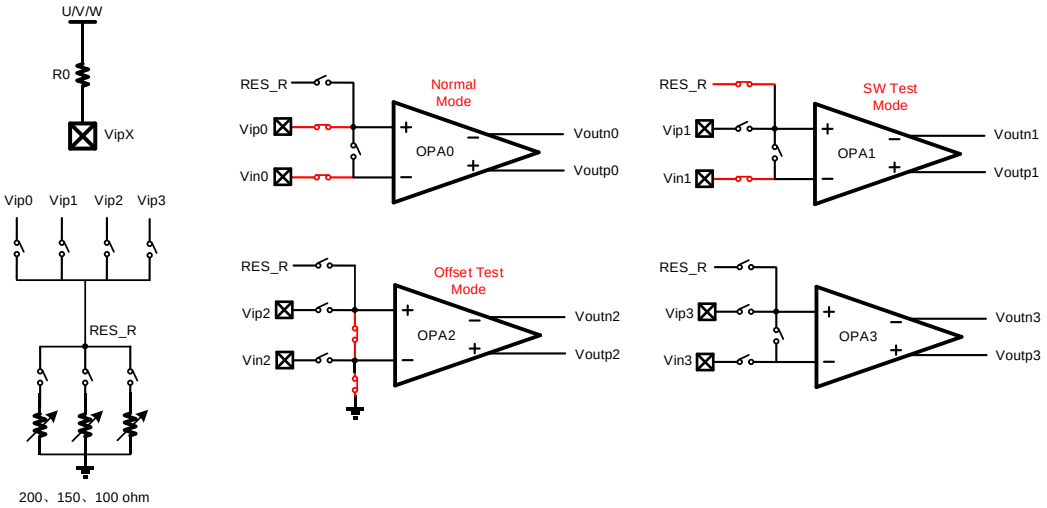
当进行电流采样时，反电动势分压电阻与 OPA 输入端断开。相电流流经采样电阻后的信号经过匹配电阻 R0 后接入 OPA 正负端，进行放大。

当进行反电动势电压采样时，片外匹配电阻 R0 与内置反电动势分压电阻 R_BEMF 构成分压网络，分压后的反电动势电压被 OPA 放大并进行采样。

等效电路图如下。



下图总结了 OPA 的三种工作模式。其中 Normal Mode 为正常工作模式，可进行相电流采样；SW Test Mode，IP 端有下拉电阻到地，可与外部电阻构成分压网络，可进行反电动势分压测量采样；使能反电势电阻功能后，其余 OPA 均与外部连接断开（即其余 OPA 无法使用）；Offset Test ModeIP/IN 端与外部连接断开，内部短接接地，可用于 OPA 零漂测量。



5.1.6 比较器

内置 2 路输入轨到轨（rail-to-rail）比较器，比较器比较速度可编程、迟滞电压可编程、信号源可编程。

比较器的比较延时可通过寄存器 CMP_FT 设置为＜30nS/300nS。迟滞电压通过 CMP_HYS 设置

为 20mV/0mV，迟滞电压可通过 CMP0_HYS_Trim 进行 Trim。

比较器正端输入信号来源可以通过寄存器 CMPx_SELP<3:0> 进行设置；负端输入信号来源可以通过寄存器 CMPx_SELN<2:0>进行设置（x=0/1，代表 CMP0/CMP1 两个比较器）。

需说明的是，两个比较器负输入端的 BEMFx_MID 信号，是对比较器正输入端信号 CMPx_IP1/ CMPx_IP2/ CMPx_IP3 信号的平均，具体连接方式见图 5-3。其中电阻 R=30k 欧，图中的开关只有在比较器负输入端信号选择为 BEMFx_MID 之后才会导通，否则开关都处于断开状态。

BEMFx_MID 主要用于 BLDC 方波模式控制时，虚拟电机相线中心点电压，用于反电势过零点检测。三个相线分压后，分别接 CMPx_IP1、CMPx_IP2、CMPx_IP3，MCU 控制比较器负端选择 BEMFx_MID，比较器正端的多路选择器以分时复用的方式分别选择 CMPx_IP1、CMPx_IP2、CMPx_IP3，就可以比较出反电势过零点。

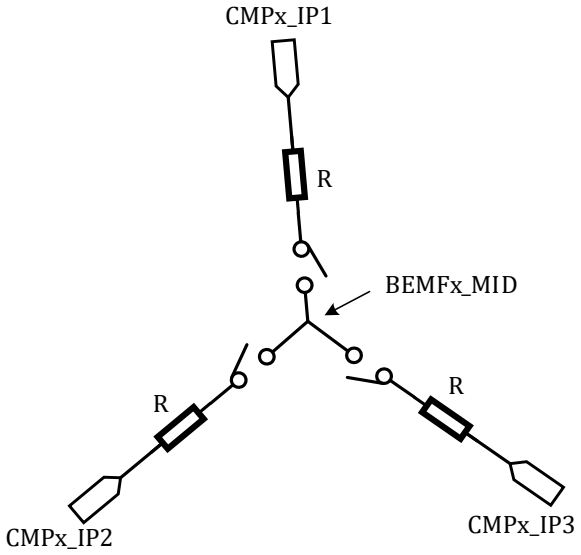


图 5-3 BEMFx_MID 信号

比较器输出结果，可以通过 CMP_DATA 输出数据寄存器读出。

CMP_FT 的说明见模拟寄存器 SYS_AFE_REG1

CMPx_SELN<2:0>/ CMPx_SELP<3:0>/ CMP_HYS 的说明见模拟寄存器 SYS_AFE_REG3

芯片上电的默认状态下，比较器模块是关闭的。比较器通过设置 CMPxPDN=1 (x=0,1)打开，开启比较器之前，需要先开启 BGP 模块。

CMPxPDN 的说明见模拟寄存器 SYS_AFE_REG5

5.1.7 温度传感器

芯片内置温度传感器，在-40~85℃范围内精度为 2℃。85~105℃范围内精度为 3℃。

测量时需选择内部基准，选择外部基准会引起结果的较大偏差。

芯片出厂前会经温度校正，校正值保存在 flash info 区。出厂校正时所用增益为 ADC_GAIN=0，

建议应用时也选择此增益，可以使校正值更准确。

芯片上电的默认状态下，温度传感器模块是关闭的。开启传感器之前，需要先开启 BGP 模块。

温度传感器通过设置 TMPPDN=1 打开，开启到稳定需要约 2us，因此需在 ADC 测量传感器之前 2us 打开。

温度传感器信号连至 ADC 的通道 14。

ADC 部分的设置参考模数转换器(ADC)章节

TMPPDN 的说明见模拟寄存器 SYS_AFE_REG5

温度传感器的典型曲线如下图所示:

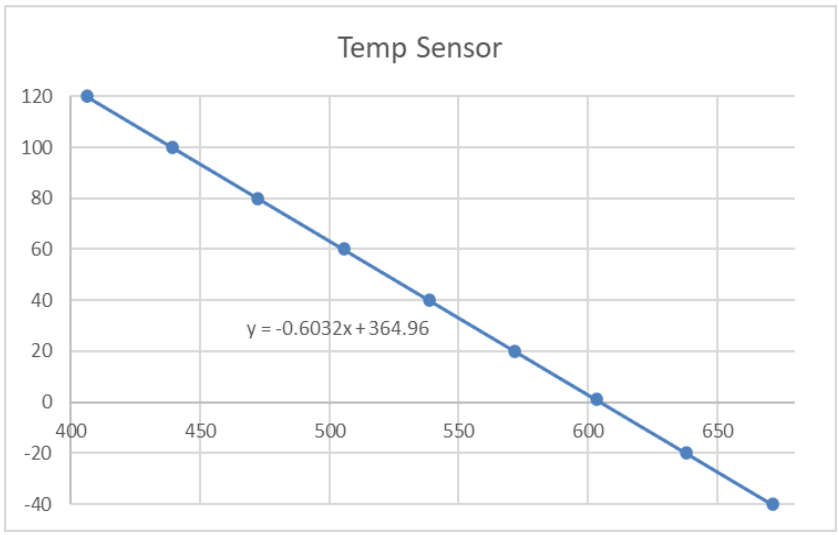


图 5-4 温度传感器曲线

图中 X 轴为温度传感器的温度信号所对应的 ADC 值，Y 轴为传感器所处的温度。测温时，按照如上要求配置传感器相关寄存器，并得到 ADC 值后，将 ADC 值作为 X 代入公式:

y=-0.6032x+364.96

求得的 Y 值即为此时的温度。

公式中有两个系数，a=-0.6032, b=364.96。对于不同的芯片，b 系数的值是不一样的。芯片出厂前会经过温度标定，将每颗芯片所对应的系数 b 写入 flash 的 info 区，地址为 0x0000039C。存储时，会将 b 系数小数点右移一位（乘 10）存入 info 区，小数点后第二位不进行保存。

同时为方便客户操作，系数 a 也会存入 flash info 区，地址为 0x00000398。存储时，将 a 系数小数点右移四位（乘 10000）存入 info 区。

实际使用中，应从 flash info 区对应地址读出 a/b 系数，同时将读取到的 ADC 测到的当下温度传感器值代入公式，即可计算得到当下温度值，单位为摄氏度。计算时，需注意系数 a/b 在保存时小数点的位移数，即 a 系数应除以 10000，b 系数除以 10。

注意，上述计算公式，基于 ADC 右对齐实现。若换成左对齐，ADC 采样值需右移 4 位后，才能代入上述公式。

5.1.8 DAC 模块

芯片内置一路 12bit DAC，输出信号的最大量程可通过寄存器 DAC0_GAIN 设置为 1.2V/4.76V。

芯片内置一路 8bit DAC，输出信号的最大量程可通过寄存器 DAC1_GAIN 设置为 1.2V/3V。

DAC0 可通过配置寄存器 DAC0OUT_EN=1，将 DAC0 输出送至 P0.0 管脚；可驱动>5kΩ 的负载电阻和 50pF 的负载电容。

DAC 最大输出码率为 1MHz。

芯片上电的默认状态下，DAC 模块是关闭的。DAC 可通过设置 DACxPDN =1 打开，开启 DAC 模块之前，需要先开启 BGP 模块。

DAC0 的输入数字信号寄存器为 SYS_AFE_DAC0，低 12BIT 有效。信号范围是 0x000~0xFFF。0x000 对应零模拟量输出 0V，0xFFF 对应满量程模拟量输出为DAC_{fs}，如上文所述，DAC_{fs}的值可由 DAC12B_FS 寄存器进行设置。每一档信号(LSB)所对应的模拟信号幅度为$\frac{DAC_{fs}}{4096}$。若 SYS_AFE_DAC0 的数字值为 Din，则该数字信号所对应的 DAC 输出模拟信号为$\frac{DAC_{fs}}{4096} * Din$。

DAC1 的输入数字信号寄存器为 SYS_AFE_DAC1，低 8BIT 有效。信号范围是 0x00~0xFF。0x00 对应零模拟量输出 0V，0xFF 对应满量程模拟量输出为DAC_{fs}，如上文所述，DAC_{fs}的值可由 DAC8B_FS 寄存器进行设置。每一档信号(LSB)所对应的模拟信号幅度为$\frac{DAC_{fs}}{256}$。若 SYS_AFE_DAC0 的数字值为 Din，则该数字信号所对应的 DAC 输出模拟信号为$\frac{DAC_{fs}}{256} * Din$

不同芯片，DAC 存在制造偏差，为抵消偏差，DAC0 自带校准硬件模块，而 DAC1 没有自带校准的硬件模块，需要软件校准。

DAC0 输出循公式 y=ax+b。x 为 SYS_AFE_DAC0 填入值(理想值对应数字量)。a 来自 SYS_AFE_DAC0_AMC 寄存器，b 来自 SYS_AFE_DAC0_DC。硬件根据 SYS_AFE_DAC0、SYS_AFE_DAC0_AMC 和 SYS_AFE_DAC0_DC 进行乘加从而求得校正后的数字量，送至 DAC0 输入端使得 DAC0 最终输出的模拟值就是填入的理想数字量对应的值。系统上电后，默认加载 4.8V 的校准值，若换成其它量程，软件需读取 flash info 区域，重新加载到相应寄存器。

DAC1 输出也遵循公式 y=ax+b。但是由于没有硬件校准模块，也没有 SYS_AFE_DAC1_AMC 和 SYS_AFE_DAC1_DC 寄存器。芯片出厂前会将校准参数 a 和 b 的值都写入 fash info 区域，用户需要读取 fash info 对应区域的内容然后按照上述公式计算出 DAC1 的值，最后写入 SYS_AFE_DAC1 寄存器。

地址 0x00000330，为 4.8V 量程的 a 参数，地址 0x00000340，为 4.8V 量程的 b 参数。

地址 0x00000334，为 1.2V 量程的 a 参数，地址 0x00000344，为 1.2V 量程的 b 参数。

DAC 输出的模拟信号，除了可以送至 IO 口供外部模块使用外，还可通过配置寄存器连至芯片内部的 2 路比较器负端，作为比较器的基准信号使用。详见比较器章节。

DACxOUT_EN 的说明见模拟寄存器 SYS_AFE_REG2

DACx_GAIN 的说明见模拟寄存器 SYS_AFE_REG1

DAC12BPDN 的说明见模拟寄存器 SYS_AFE_REG5

SYS_AFE_DAC 的说明见寄存器 SYS_AFE_DAC

DAC 的输出误差曲线如图所示。

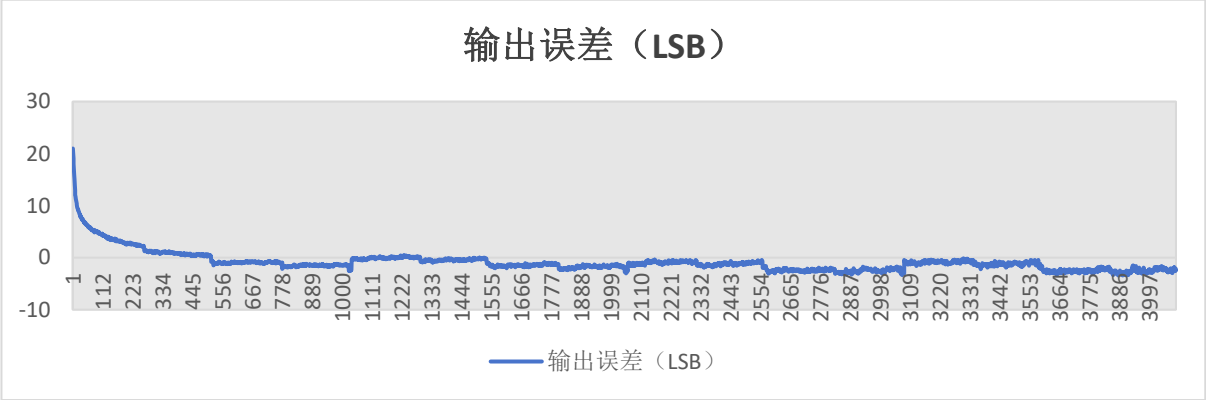


图 5-5 DAC 误差曲线

DAC 的最低有效位输出误差曲线如图所示，由图可知 DAC 的输出电压在接近满量程情况下线性度会降低。

5.2 寄存器

5.2.1 地址分配

模拟寄存器的名称为 SYS_AFE_REG0~SYS_AFE_REGC，对应地址为 0x4000_0010~0x4000_0040。其中地址 0x4000_0030~0x4000_0040 是模拟各个模块的校正寄存器，这些寄存器在出厂之前都会将各自的校正值填入 Flash info 区，并在上电后自动加载到 SYS_AFE_REG8~ SYS_AFE_REGC。一般情况下用户不要去配置或改变这些值。如果需要对某个模拟参数进行微调，需要读取原校正值，并以此为基础进行微调。

地址 0x4000_0010~0x4000_002C 是开放给用户的寄存器，其中保留寄存器(Res)必须全部配置为 0（芯片上电后会被复位为 0）。其他寄存器根据应用场合需要进行配置。

模拟寄存器基地址为 0x4000_0000。

表 5-1 系统控制寄存器

名称	偏移	说明
SYS_AFE_ADC	0x00	ADC 原始数据寄存器
SYS_AFE_INFO	0x04	芯片版本信息寄存器
SYS_AFE_DBG	0x08	芯片数模接口调试寄存器
SYS_AFE_REG0	0x10	模拟配置寄存器 0
SYS_AFE_REG1	0x14	模拟配置寄存器 1

SYS_AFE_REG2	0x18	模拟配置寄存器 2
SYS_AFE_REG3	0x1C	模拟配置寄存器 3
SYS_AFE_REG4	0x20	模拟配置寄存器 4
SYS_AFE_REG5	0x24	模拟配置寄存器 5
SYS_AFE_REG7	0x2C	模拟配置寄存器 7
SYS_AFE_DAC_CTRL	0x5C	DAC 控制寄存器
SYS_AFE_DAC0	0x60	DAC0 数字量寄存器
SYS_AFE_DAC1	0x64	DAC1 数字量寄存器
SYS_AFE_DAC0_AMC	0x68	DAC0 数字量增益校正寄存器
SYS_AFE_DAC0_DC	0x6C	DAC0 数字量直流偏置寄存器
SYS_AFE_DAC1_AMC	0x70	DAC1 数字量增益校正寄存器
SYS_AFE_DAC1_DC	0x74	DAC1 数字量直流偏置寄存器

5.2.2 SYS_AFE_ADC ADC 原始数据寄存器

地址:0x4000_0000

复位值:0x0

表 5-2 SYS_AFE_ADC ADC 原始数据寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				ADC_RAW_D											
				RO											
				0											

位置	位名称	说明
[31:12]		未使用
[11:0]	ADC_RAW_D	ADC 输出的原始数据

5.2.3 SYS_AFE_INFO 芯片版本信息寄存器

地址:0x4000_0004

复位值:根据 wafer 版本不同

表 5-3 SYS_AFE_INFO 芯片版本信息寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Series								Version							
RO								RO							
0x04								Depends							

位置	位名称	说明
[31:8]		未使用

[7:4]	Series	芯片型号信息，固定为 0x04
[3:0]	Version	芯片版本信息

此寄存器与用户无关。

5.2.4 SYS_AFE_DBG AFE 调试寄存器

地址:0x4000_0008

复位值:0x0

表 5-4 SYS_AFE_DBG AFE 调试寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PWR_WEAK															
RO															
0															

位置	位名称	说明
[31:8]		未使用
[15]	PWR_WEAK	供电低于掉电监测阈值
[14:0]		保留位

5.2.5 SYS_AFE_REG0 模拟配置寄存器 0

地址:0x4000_0010

复位值:0x0

表 5-5 SYS_AFE_REG0 模拟配置寄存器 0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADC_OPA_MODE	PVDSEL		VSR_PDT	PD_PDT	OPA_ST	IT_OPA		RES_OPA3		RES_OPA2		RES_OPA1		RES_OPA0	
RW	RW		RW	RW	RW	RW		RW		RW		RW		RW	
0	0		0	0	0	0		0		0		0		0	

位置	位名称	说明
[31:16]		未使用
[15]	ADC_OPA_MODE	ADC 和运放模式 0: ADC 量程为+/-3.6V；运放输出的共模电压为 1.8V，因此

		理论上运放输出的最大信号是+/-3.6V，但考虑到共模电压的分布特性，建议运放的最大信号小于+/-3.4V。IO 口输入的 ADC 最大信号可到 3.6V。用于电源电压为 5V 的应用。 1: ADC 量程为+/-3.3V；运放输出的共模电压为 1.6V，因此理论上运放输出的最大信号是+/-3.2V，但考虑到共模电压的分布特性，建议运放的最大信号小于+/-3.0V。IO 口输入的 ADC 最大信号可到 3.3V。用于电源电压为 3.3V 的应用。
[14:13]	PVDSEL	掉电检测阈值 Vth 选择 00:4.0V 01:3.74V 10:3.49V 11:2.8V 精度为 100 mV 以上阈值为 VSR_PDT=0，即选择低功耗基准源 VBGP 时的设定值；如果 VSR_PDT=1，选择 DAC 输出作为基准，则阈值相应调整为 Vth*DAC0_OUT/V_{BGP}
[12]	VSR_PDT	掉电检测基准源选择 0:选择 VBGP 1:选择 DAC 输出
[11]	PD_PDT	掉电检测电路开关 0:开启 1:关闭
[10]	OPA_ST	OPA 内部 IP/IN 短接以测试零漂 0:OPA 正常工作模式 1:OPA 内部 IP/IN 短接，并与芯片外部断开连接
[9:8]	IT_OPA	OPA 偏置电流调节 00:×1 01:×1.2 10:×1.5 11:×2
[7:6]	RES_OPA3	运放 3 反馈电阻 00: 320k:10k 01: 160k:10k 10: 80k:10k 11: 40k:10k
[5:4]	RES_OPA2	运放 2 反馈电阻 00: 320k:10k 01: 160k:10k 10: 80k:10k 11: 40k:10k
[3:2]	RES_OPA1	运放 1 反馈电阻 00: 320k:10k 01: 160k:10k 10: 80k:10k 11: 40k:10k

[1:0]	RES_OPA0	运放 0 反馈电阻 00: 320k:10k 01: 160k:10k 10: 80k:10k 11: 40k:10k 对应的 OPA 增益分别为: 00:33 倍 01:16 倍 10:8 倍 11:4 倍 使用 660k:20k 增益设置时，IT_OPA 需设置为 2b'10，即 x1.5 倍的电流.

5.2.6 SYS_AFE_REG1 模拟配置寄存器 1

地址:0x4000_0014

复位值:0x0

表 5-6 SYS_AFE_REG1 模拟配置寄存器 1

15	14	13	12	11	10	9	8	7	6	5	4	3 2 1	0
OPA3PDN	OPA2PDN	OPA1PDN	OPA0PDN	BGPPD	RCHPD	XTAL_FLTPD	LDOOUT_EN	DAC1_GAIN	DAC0_GAIN		XTAL_SCHT	SW_RES	CMP_FT
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31:16]		未使用
[15]	OPA3PDN	OPA3 开关 0:关闭 1:使能
[14]	OPA2PDN	OPA2 开关 0:关闭 1:使能
[13]	OPA1PDN	OPA1 开关 0:关闭 1:使能
[12]	OPA0PDN	OPA0 开关 0:关闭 1:使能

[11]	BGPPD	BandGap 开关 此寄存器配置为 1，且芯片通过休眠指令进入休眠后 BandGap 会被硬件切换至低功耗模式。 只配置 BGPPD=1，不会立即关闭 RCH 时钟。 如配置 BGPPD=0，芯片休眠后 BandGap 不会被硬件切换至低功耗模式 0:开启 1:关闭
[10]	RCHPD	8MHz RCH 时钟开关，此寄存器配置为 1，且芯片通过休眠指令进入休眠后 RCH 会被硬件关闭。 只配置 RCHPD=1，不会立即关闭 RCH 时钟。 如配置 RCHPD=0，芯片休眠后 RCH 时钟不会被关闭 0:开启 1:关闭
[9]	XTAL_FLT	晶振低通滤波关闭 1:关闭 0:打开
[8]	LDOOUT _EN	0:不输出 1:使能 1.5V LDO 输出到 IO P0_0
[7]	DAC1_GAIN	8BIT DAC 量程选择 0:满量程为 3V; 1:满量程为 1.2V
[6]	DAC0_GAIN	12BIT DAC 量程选择 0:满量程为 4.76V; 1:满量程为 1.2V
[5]	Reserved	保留位，必须为 0
[4]	XTAL_SCHT	晶振选择反相器或者施密特 1:反相器 0:施密特
[3:1]	SW_RES	SW 电压测量时片内电阻阻值选择 000:不使用 111:46 ohm 011:60 ohm 101:67 ohm 110:86 ohm 001:100 ohm 010:150 ohm 100:200 ohm
[0]	CMP_FT	1: 比较器延迟为:15ns(pos)，32ns(neg) 0:比较器延迟为:92ns(pos)，320ns(neg)

5.2.7 SYS_AFE_REG2 模拟配置寄存器 2

地址:0x4000_0018

复位值:0x0

表 5-7 SYS_AFE_REG2 模拟配置寄存器 2

15	14 13	12	11 10	9	8	7	6	5	4	3 2 1 0
SW_RES_EN	SW_RES_OPA	RSV.	BEMFMID_OUTEN	RSV.	XTAL_RSEL	DAC1_OUT_EN	DAC0_OUT_EN	VREF_OUT_EN		OPAOUT_EN
RW	RW	RW	RW	RW	RW	RW	RW	RW		RW
0	0	0	0	0	0	0	0	0		0

位置	位名称	说明
[31:16]		未使用
[15]	SW_RES_EN	使能测量反电动势，使能后 OPAx_IP 端通过测量电阻下拉到地，通常，此时 OPAx_IN 端通过外围电路接地。 测量电阻连接至哪一个 OPA，由 SW_RES_OPA 进行选择。 测量电阻阻值，由 SYS_AFE_REG2.SW_RES 进行选择。 0:断开反电动势测量电阻 1:连接反电动势测量电阻
[14:13]	SW_RES_OPA	测量反电动势的零温度系数电阻连接关系 00:接到 OPA0 正输入端 01:接到 OPA1 正输入端 10:接到 OPA2 正输入端 11:接到 OPA3 正输入端
[12]	Reserved	保留位
[11:10]	BEMFMID_OUTEN	使能比较器三个正输入端中点信号到输出 00:不输出 01:输出比较器 0 的中点信号到 IO 10:输出比较器 1 的中点信号到 IO 11:禁止
[9]	Reserved	保留位
[8]	XTAL_RSEL	晶体起振电路电阻调节 0:P 端电阻维持原值 1: P 端电阻增加一倍
[7]	DAC1_OUT_EN	使能 DAC1 输出到 IO 0:不输出 1:使能输出到 IO P0.0
[6]	DAC0_OUT_EN	使能 DAC0 输出到 IO 0:不输出 1:使能输出到 IO P0.0
[5]	VREF_OUT_EN	使能 VREF 输出到 IO

		0:不输出 1:使能输出到 IO P0.0
[4]	Reserved	保留位
[3:0]	OPAOUT_EN	使能_OPAx 输出信号送至 IO 口，或使能 OPAx_OUT 输出信号送至 CMP。 0000:不输出到 IO，输出 OPA0_OUT 正端到 OPA_OUT_CMP; 0001:不输出到 IO，输出 OPA1_OUT 正端到 OPA_OUT_CMP; 0010:不输出到 IO，输出 OPA2_OUT 正端到 OPA_OUT_CMP; 0011:不输出到 IO，输出 OPA3_OUT 正端到 OPA_OUT_CMP; 0100:不输出到 IO，输出 OPA0_OUT 负端到 OPA_OUT_CMP; 0101:不输出到 IO，输出 OPA1_OUT 负端到 OPA_OUT_CMP; 0110:不输出到 IO，输出 OPA2_OUT 负端到 OPA_OUT_CMP; 0111:不输出到 IO，输出 OPA3_OUT 负端到 OPA_OUT_CMP; 1000:输出 OPA0_OUT 正端到 IO P2.7 口，同时输出 OPA0_OUT 正端到 OPA_OUT_CMP; 1001:输出 OPA1_OUT 正端到 IO P2.7 口，同时输出 OPA1_OUT 正端到 OPA_OUT_CMP; 1010:输出 OPA2_OUT 正端到 IO P2.7 口，同时输出 OPA2_OUT 正端到 OPA_OUT_CMP; 1011:输出 OPA3_OUT 正端到 IO P2.7 口，同时输出 OPA3_OUT 正端到 OPA_OUT_CMP; 1100:输出 OPA0_OUT 负端到 IO P2.7 口，同时输出 OPA0_OUT 负端到 OPA_OUT_CMP; 1101:输出 OPA1_OUT 负端到 IO P2.7 口，同时输出 OPA1_OUT 负端到 OPA_OUT_CMP; 1110:输出 OPA2_OUT 负端到 IO P2.7 口，同时输出 OPA2_OUT 负端到 OPA_OUT_CMP; 1111:输出 OPA3_OUT 负端到 IO P2.7 口，同时输出 OPA3_OUT 负端到 OPA_OUT_CMP; 即 OPAOUT_EN[3]控制是否将 OPAx 输出到 IO，OPAOUT_EN[2:0]选择 OPAx 输出到 OPA_OUT_CMP

其中 OPA_OUT_CMP 可以作为 CMP0/1 的输入信号，详见 SYS_AFE_REG3.CMPx_SELP。

5.2.8 SYS_AFE_REG3 模拟配置寄存器 3

地址:0x4000_001C

复位值:0x0

表 5-8 SYS_AFE_REG3 模拟配置寄存器 3

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMP1_SELP				CMP0_SELP				CMP_HYS_ENN	CMP1_SELN				CMP0_SELN		
RW				RW				RW	RW				RW		
0				0				0	0				0		

位置	位名称	说明
[31:16]		未使用
[15:12]	CMP1_SELP	比较器 1 正端信号选择 0000: OPA2_IP 0001: OPA3_IP 0010: OPA2_OUTP, OPA2 差分输出正端 0011: OPA3_OUTP, OPA3 差分输出正端 0100: CMP1_IP0 0101: CMP1_IP1 0110: CMP1_IP2 0111: CMP1_IP3 1000: 未连接 1001: DAC1_OUT 1010: OPA_OUT_CMP 1011: CMP1_IP5 1100: CMP1_IP6 1101: CMP1_IP7
[11:8]	CMP0_SELP	比较器 0 正端信号选择 0000: OPA0_IP 0001: OPA1_IP 0010: OPA0_OUTP, OPA0 差分输出正端 0011: OPA1_OUTP, OPA1 差分输出正端 0100: CMP0_IP0 0101: CMP0_IP1 0110: IP_CMP0_IP2 0111: IP_CMP0_IP3 1000: IP_CMP0_IP4 1001: DAC0_OUT 1010: OUT_OPA_CMP 1011: CMP0_IP5 1100: CMP0_IP6 1101: CMP0_IP7
[7]	CMP_HYS_ENN	比较器回差选择 0:20mv 1:0mv
[6:4]	CMP1_SELN	比较器 1 信号负端选择 000: 连 IN_CMP1 001: 连 VBGP 010: 连 DAC1 OUT 011: 连 DAC0 OUT 100: 连 HS_MID1（中性点的电阻阻值增加为约 30k）
[3]	Reserved	保留位，必须为 0
[2:0]	CMP0_SELN	比较器 0 信号负端选择 000: 连 IN_CMP0 001: 连 VBGP 010: 连 DAC1 OUT

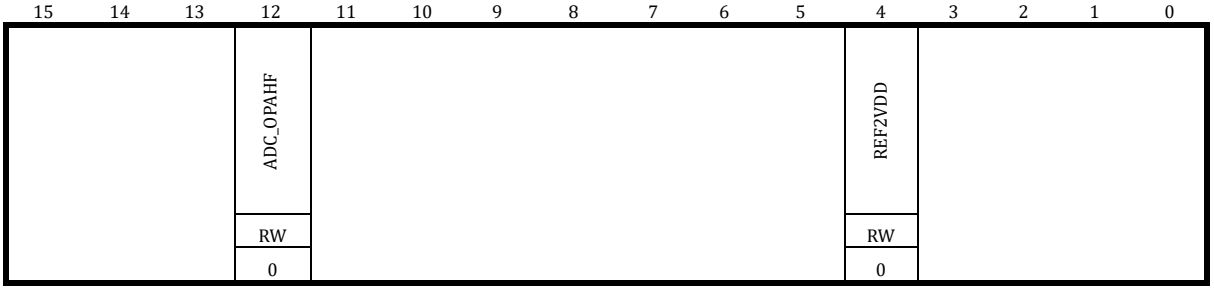
		011: 连 DAC0 OUT 100: 连 HS_MID0（中性点的电阻阻值增加为约 30k）

5.2.9 SYS_AFE_REG4 模拟配置寄存器 4

地址:0x4000_0020

复位值:0x0

表 5-9 SYS_AFE_REG4 模拟配置寄存器 4



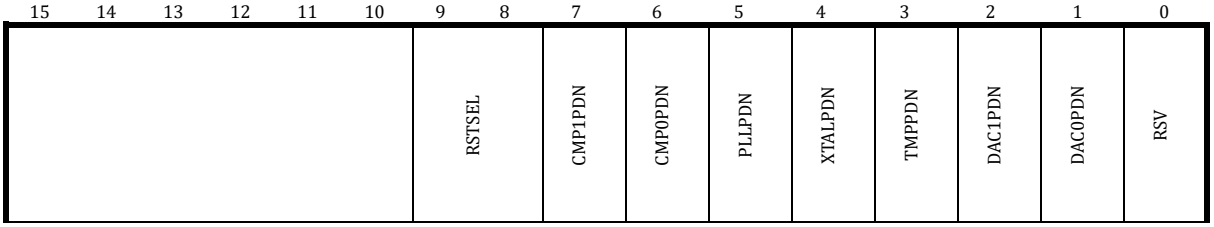
位置	位名称	说明
[31:13]		未使用
[12]	ADC_OPAHF	新增 ADC_OPAHF ADC 半波使能控制位， 0：ADC01_CH0~3 为 OPA 差分模式，ADC_VIN 负端接 OPA_OUTN；ADC01_CH4~7 负端接 REF2.4V；其余 ADC 通道负端接 GND。 1：所有 ADC 通道负端接 GND。
[11:5]		未使用
[4]	REF2VDD	使用外部输入电源作为 ADC REF 1: 使用外部输入电源作为 ADC REF，此时 GAIN_REF 配置无效; 0: 使用默认内部 REF 作为 ADC 基准
[3:0]		未使用

5.2.10 SYS_AFE_REG5 模拟配置寄存器 5

地址:0x4000_0024

复位值:0x0

表 5-10 SYS_AFE_REG5 模拟配置寄存器 5



	RW	RW	RW	RW	RW	RW	RW	RW	RW
	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31:16]		未使用
[15:10]	Reserved	保留位，必须为 0
[9:8]	RSTSEL	电源复位阈值 Vth 选择 00: 2.30V 01: 2.00V 10: 2.70V 11: 3.00V
[7]	CMP1PDN	比较器 1 开关 0:关闭 1:使能
[6]	CMP0PDN	比较器 0 开关 0:关闭 1:使能
[5]	PLLPDN	PLL 开关 0:关闭 1:使能
[4]	XTALPDN	晶体起振电路开关 0:关闭 1:使能
[3]	TMPPDN	温度传感器开关 0:关闭 1:使能
[2]	DAC1PDN	8BIT DAC 开关 0:关闭 1:使能
[1]	DAC0PDN	12BIT DAC 开关 0:关闭 1:使能
[0]	Reserved	保留位，必须为 0

5.2.11 SYS_AFE_REG7 模拟配置寄存器 7

地址:0x4000_002C

复位值:0x0

表 5-11 SYS_AFE_REG7 模拟配置寄存器 7

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

	ADCPDN	SHAPDN	RSV	PLL_FREQ	RSV
	RW	RW	RW	RW	RW
	0	0	0	0	0

位置	位名称	说明
[31:16]		未使用
[15:10]	Reserved	保留位，必须为 0
[9]	ADCPDN	ADC 使能位 0:关闭 1:使能
[8]	SHAPDN	ADC 采样保持电路使能位 0:关闭 1:使能
[7]	Reserved	保留位，必须为 0
[6:4]	PLL_FREQ	PLL 输出频率选择 MCU 时钟和 ADC 时钟分别为: 000:96MHz，32MHz 001:96MHz，16MHz 010:72MHz，24MHz 011:72MHz，12MHz 100:64MHz，64/3MHz 101:64MHz，32/3MHz 110:64MHz，32MHz 111:64MHz，16MHz
[3:0]	Reserved	保留位，必须为 0

5.2.12 SYS_AFE_DAC_CTRL DAC 控制寄存器

地址:0x4000_005C

复位值:0x0

表 5-12 SYS_AFE_DAC_CTRL DAC 控制寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									DAC0_STEP			Res.	TIMER2_TRIG_DAC0	TIMER1_TRIG_DAC0	TIMER0_TRIG_DAC0

	RW	RW	RW	RW	RW
	0	0	0	0	0

位置	位名称	说明
[31:7]		未使用
[6:4]	DAC0_STEP	SYS_AFE_DAC0 步进值，3bit 有符号数，范围-4~3
[3]	Reserved	保留位，必须为 0
[2]	TIMER2_TRIG_DAC0	TIMER2 过零事件触发 DAC0 步进使能，高有效
[1]	TIMER1_TRIG_DAC0	TIMER1 过零事件触发 DAC0 步进使能，高有效
[0]	TIMER0_TRIG_DAC0	TIMER0 过零事件触发 DAC0 步进使能，高有效

DACx 允许使用 TIMER 的过零事件作为触发来更新 SYS_AFE_DACx 的值，每触发一次，DAC 的设置值在原值的基础上步进一次（递增或递减），步进值由 SYS_AFE_CTRL.DACx_STEP 设定。

5.2.13 SYS_AFE_DAC0 DAC0 数字量寄存器

地址:0x4000_0060

复位值:0x0

表 5-13 SYS_AFE_DAC0 DAC0 数字量寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				DAC_IN											
				RW											
				0											

位置	位名称	说明
[31:12]		未使用
[11:0]	DAC_IN	DAC0 待转换的数字量输入

5.2.14 SYS_AFE_DAC1 DAC1 数字量寄存器

地址:0x4000_0064

复位值:0x0

表 5-14 SYS_AFE_DAC1 DAC1 数字量寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								DAC_IN							
								RW							
								0							

位置	位名称	说明
[31:8]		未使用
[7:0]	DAC_IN	DAC1 待转换的数字量输入

5.2.15 SYS_AFE_DAC0_AMC DAC0 增益校正寄存器

地址:0x4000_0068

复位值:0x0200

表 5-15 SYS_AFE_DAC0_AMC DAC0 增益校正寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						AMC									
						RW									
						0x200									

位置	位名称	说明
[31:10]		未使用
[9:0]	AMC	DAC0 增益校正值，10bit 无符号定点数，B[9]为整数，B[8:0]为小数

5.2.16 SYS_AFE_DAC0_DC DAC0 直流偏置寄存器

地址:0x4000_006C

复位值:0x0

表 5-16 SYS_AFE_DAC0_DC DAC0 直流偏置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						DC									
						RW									
						0									

位置	位名称	说明
[31:10]		未使用
[9:0]	DC	DAC0 直流偏置，10bit 有符号数，B[9]为符号位

6 系统时钟复位

6.1 时钟

6.1.1 时钟源

如下表所示，系统包括 4 个时钟源。其中内部低速 RC 振荡时钟 LSI/内部高速 RC 振荡时钟 HSI 不会停振。

表 6-1 系统时钟源

时钟	频率	来源	误差	说明
LSI/LRC	32KHz	内部 RC 振荡器	25.6KHz~38.4KHz	内部系统管理时钟，用于 WDT，复位信号的滤波和展宽，亦可作为 MCU 运行主时钟
HSI/HRC	8MHz	内部 RC 振荡器	全温度范围误差<1%	作为 PLL 源时钟
HSE/XTAL	8MHz	外部晶体	与晶体有关	外部晶振
PLL	96MHz	PLL 时钟	0	PLL 输出时钟，以 HSI 作为参考时钟输入，倍频 8 倍后输出 PLL 时钟作为系统主时钟。
JTAG/SWD	<10MHz	调试器	-	JTAG/SWD 时钟，取决于上位机设置

SWD 时钟速率与上位机或下载器设置有关。

系统可以使用内部高速 RC 时钟 HSI 作为 PLL 的参考时钟。PLL 将 8MHz 的参考时钟 HSI 倍频 12 倍至 96MHz。

通常，PLL 经过 n/8 分频后，可以得到 96MHz×n/8 的高速时钟，作为系统主时钟 MCLK。系统主时钟 MCLK 可以通过 SYS_CLK_CFG.CLK_DIV 进行 n/8 分频，可以产生 8,16,32MHz 等频率值。

系统复位时，PLL 默认开启，HSI 默认开启，即系统上电选择 HSI 时钟，8MHz 作为系统主时钟进行工作，从而保证系统上电之初功耗处于较低水平。

LSI 和晶振时钟 HSE 也可以作为系统主时钟，通过 SYS_CLK_CFG.CLK_SEL[1:0]进行选择。通过设置 SYS_CLK_CFG.CLK_SEL[1:0]=3 可以切换系统时钟为 LSI 时钟，此时系统工作于 32kHz 时钟，PLL/HRC/BGP 等模拟模块均可关闭以降低功耗。

SYS_CLK_CFG.CLK_DIV 作为 PLL 的分频系数。当 SYS_CLK_CFG.CLK_SEL 不为 1 时，系统时钟 HIS/HSE 或 LSI 作为工作时钟，此时 SYS_CLK_CFG.CLK_DIV 不再起分频作用。

表 6-2 PLL 作为 MCLK 时钟时的分频配置

SYS_CLK_CFG	分频系数	频率/MHz	是否均匀

0x0101	1/8	8	是
0x0111	2/8	16	是
0x0155	4/8	32	是
0x01FF	8/8	64	是

系统高速时钟 MCLK 经过 SYS_CLK_FEN 寄存器控制的开关之后供给外设。I2C 时钟由 SYS_CLK_DIV0 寄存器控制可以进一步分频，UART 时钟由 SYS_CLK_DIV2 寄存器控制可以进一步分频。

PLL 输出的 96MHz 时钟经过 2 分频后送至 ADC（典型工作频率 32MHz），即 ACLK。

内部 32kHz RC 产生一路 LSI 时钟 LCLK，主要用于看门狗 WDT 工作时钟，以及部分系统控制，复位的滤波展宽等。当系统无过多工作任务且系统降低功耗时，可以设置 SYS_CLK_CFG.CLK_SEL=2，将系统时钟切换为 LSI。

晶振时钟也可以作为 PLL 的参考时钟源。如果要使用晶振时钟，需要通过设置 SYS_AFE_REG5.XTALPDN=1 使能晶振起振电路，晶振起振电路默认是关闭的。如果要使用晶振时钟作为 PLL 参考时钟，则需要设置 SYS_AFE_REG6.PLLSR_SEL=1，PLL 默认参考时钟为内部 8MHz HRC 时钟。

需要注意的是，外部晶体在某些情况下可能会停振失效。芯片内部有晶振停振检测电路，当外部晶体停振时，会自动将使用晶振时钟的模块切换至内部 HRC 时钟。

通过 SYS_CLK_CFG.HSE_FAIL 和 SYS_CLK_CFG.HSE_FAILED 可以读取晶体的工作状态。

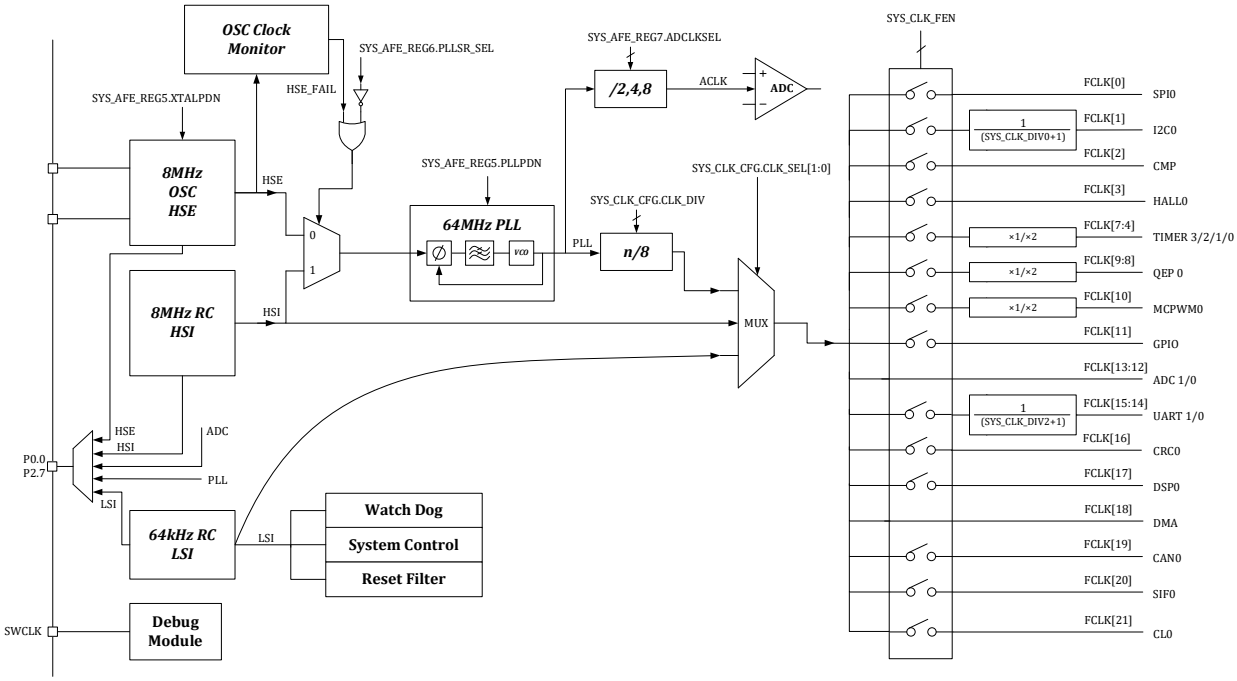


图 6-1 时钟架构

为了保证系统可靠工作，时钟系统有防止时钟被误操作关闭的机制。如当 PLL 被用作系统工作主时钟时，PLL 电路本身无法被关闭，作为 PLL 参考时钟的 HSI 无法被软件关闭；32kHz LSI 时钟上电即工作，且无法关闭。SWCLK 由调试器提供，频率可在上位机调试界面进行选择。

为便于调试和出厂校正，高速 RC 时钟 HSI 和低速时钟 LSI 可以通过配置 GPIO 的第二功能通

过芯片管脚输出。

6.2 复位

6.2.1 复位源

芯片的复位来源包括硬件复位与软件复位。

6.2.1.1 硬件复位

如表 6-3 硬件复位源所示，系统包括 3 个硬件复位源，产生的复位均为芯片全局复位，复位产生后处理器程序计数器(PC)回到 0 地址，所有寄存器恢复到默认值。

表 6-3 系统复位源

名称	来源	说明
PORn	内部电源管理	同时监控 1.5V 数字电源和 3.3V 电源，1.5V 电源低于 1.25V 时产生复位，3.3V 电源低于 2.5V 时产生复位
RSTn	外部按键	外部按键复位电路，低电平有效
WDTn	硬件看门狗	如果不进行软件喂狗则定时产生复位，复位间隔可配置

6.2.1.1.1 硬件复位架构

如下图所示，PORn 来自内部模拟电路， RSTn 来自外部按键。

WDTn 为 1 个 LSI 时钟周期宽度信号，是内部数字信号。WDTn 信号在 Debug 模式下可以被屏蔽，由 SYS_DBG_CFG 进行配置。

经过滤波展宽预处理的复位信号进行与运算得到一个全局复位信号。

3 个复位信号复位等级和作用域一致，均为全局复位。

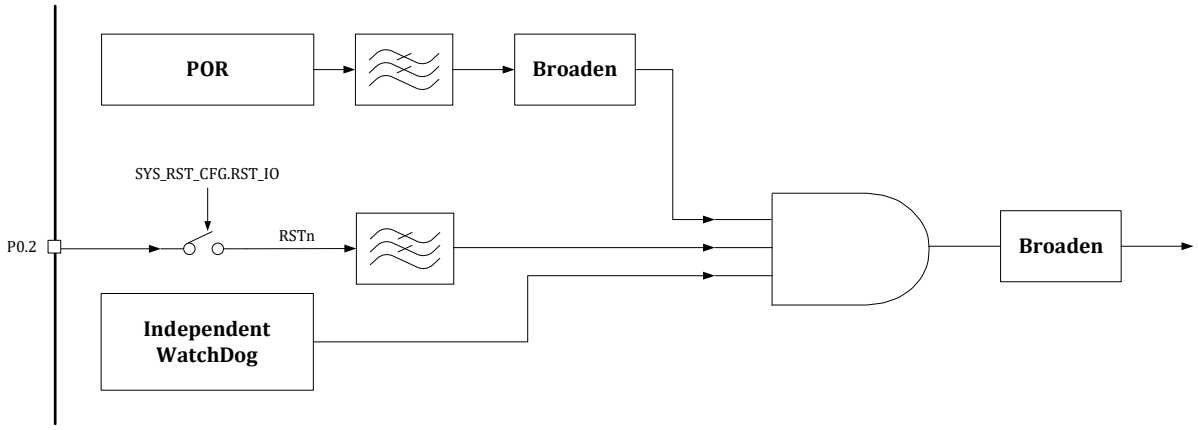


图 6-2 复位架构

6.2.1.1.2 硬件复位记录

AON_EVT_RCD 寄存器用于保存硬件复位事件，当某个硬件复位发生后，AON_EVT_RCD 对应位置记录值变为 1。AON_EVT_RCD 寄存器本身无法被复位信号复位，只能通过向 AON_EVT_RCD 寄存器写入 0xCA40 清空记录，复位记录可以方便地了解是否发生复位以及发生过哪种复位。

6.2.1.2 软件复位

CPU 的软复位操作可以使程序计数器(PC)回到 0 地址，软复位是否复位外设寄存器，取决于 SYS_DBG_CFG.SFT_RST_PERI 设置。

在集成开发环境(IDE: Integrated Development Environment)中的调试模式下，点击 Reset 与 CPU 软复位操作作用相同，仅仅使得 PC 回到 0 地址，对外设中的寄存器没有影响。但如果在 bootloader 中进行了外设模块的软复位，则会使得外设寄存器被复位为默认值。具体 bootloader 实现请咨询芯片供应商。

部分外设模块有模块级软复位，可以使用 SYS_SFT_RST 寄存器进行复位，写入对应的位，可以将模块状态机恢复到初始状态，同时将模块的寄存器恢复到默认值，详见 6.3.9。

6.2.2 复位作用域

表 6-4 复位作用域

复位源	作用域
PORn	内部电源管理，全局复位
RSTn	外部按键，全局复位，除极少数寄存器
WDTn	硬件看门狗，全局复位，除极少数寄存器
SYS_SFT_RST.SPI0_ SFT_RST	SPI0
SYS_SFT_RST.I2C0_SFT_RST	I2C0
SYS_SFT_RST.CMP_SFT_RST	CMP 数字接口模块（不包括模拟比较器本身）
SYS_SFT_RST.HALL0_SFT_RST	HALL0
SYS_SFT_RST.TIMER0_ SFT_RST	TIMER0
SYS_SFT_RST.TIMER1_ SFT_RST	TIMER1
SYS_SFT_RST.TIMER2_ SFT_RST	TIMER2
SYS_SFT_RST.QEP0_ SFT_RST	QEP0
SYS_SFT_RST.MCPWM0_ SFT_RST	MCPWM
SYS_SFT_RST.GPIO_ SFT_RST	GPIO
SYS_SFT_RST.ADC0_ SFT_RST	ADC0 数字接口模块
SYS_SFT_RST.ADC1_ SFT_RST	ADC1 数字接口模块
SYS_SFT_RST.UART0_SFT_RST	UART0
SYS_SFT_RST.UART1_SFT_RST	UART1
SYS_SFT_RST.UART2_SFT_RST	UART2
SYS_SFT_RST.CRC0_ SFT_RST	CRC0
SYS_SFT_RST.DSP0_ SFT_RST	DSP0
SYS_SFT_RST.DMA0_ SFT_RST	DMA0
SYS_SFT_RST.SIF0_ SFT_RST	SIF0
SYS_SFT_RST.CL0_ SFT_RST	CL0
NVIC_SystemReset();	CPU 软复位，仅复位 CPU 内核，将 PC 重置为 0，若 SYS_DBG_CFG.SFT_RST_PERI=0 所有外设寄存器值仍然维持，SYS_DBG_CFG.SFT_RST_PERI=1，所有外设寄存器同时复

	位。

其中用于控制 P0[2]作为 GPIO 使用还是作为外部复位脚使用的 SYS_RST_CFG.RST_IO，复位记录寄存器 AON_EVT_RCD 只受 POR 复位。

全局复位会复位全芯片寄存器，包括 CPU 内核寄存器以及所有外设寄存器，除上述极少数寄存器。

若 CPU 软复位设置为仅仅复位 CPU 内核，而不复位外设寄存器。建议重新烧录程序后使用掉电重新上电或外部复位的方式重置外设寄存器。

Flash 存储内容，SRAM 存储内容不受复位影响。

6.3 寄存器

6.3.1 地址分配

系统模块寄存器基地址为 0x4000_0000。

表 6-5 系统控制寄存器

名称	偏移	说明
SYS_CLK_CFG	0x80	时钟控制寄存器
SYS_IO_CFG	0x84	IO 控制寄存器
SYS_DBG_CFG	0x88	Debug 控制寄存器
SYS_CLK_DIV0	0x90	外设时钟分频寄存器 0
SYS_CLK_DIV2	0x98	外设时钟分频寄存器 2
SYS_CLK_FEN	0x9C	外设时钟门控寄存器
SYS_SFT_RST	0xA4	软复位寄存器
SYS_PROTECT	0xA8	写保护寄存器
SYS_IF	0xB4	系统中断标志寄存器
SYS_RAM_LOCK	0xB8	RAM 锁定寄存器
SYS_FLSE	0xD0	Flash 擦除保护寄存器
SYS_FLSP	0xD4	Flash 编程保护寄存器

6.3.2 SYS_CLK_CFG 时钟控制寄存器

地址:0x4000_0080

复位值:0x2000

表 6-6 SYS_CLK_CFG 时钟控制寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		HSE_FAILED	HSE_FAIL			CLK_SEL		CLK_DIV							

		RW1C	RO		RW	RW
		1	0		0	0

位置	位名称	说明
[31:14]		未使用
[13]	HSE_FAILED	晶振时钟在被开启后是否停振过 如果晶振有停振情况，则该位置位，即使晶体后续恢复振荡，仍保持记录为 1。写 1 清零
[12]	HSE_FAIL	晶振时钟当前是否已经停振 0:外部晶体当前正常工作 1:外部晶体当前已经停振
[11:10]		未使用
[9:8]	CLK_SEL	系统时钟 MCLK 的来源选择信号。默认选择 HRC 0: HRC 1: PLL 2: LRC 3:保留 注意，PLL/XTAL 在上电后默认开启，需要软件来关闭。
[7:0]	CLK_DIV	PLL 输出分频控制，默认为 0x00: 1/8 分频 0x01: 1/8 分频 0x11: 1/4 分频 0x55: 1/2 分频 0xFF: 1/1 分频 不推荐其它配置值。

当 CLK_SEL = 0 时，MCLK 选择 HSI 时钟（8MHz），此时 SYS_CLK_CFG[7:0]的分频系数无效。最终输出的系统时钟频率即为 8MHz。

当 CLK_SEL = 2 时，MCLK 选择 LRC 时钟（32kHz），此时 SYS_CLK_CFG[7:0]的分频系数无效。最终输出的系统时钟频率即为 32kHz。

当 CLK_SEL = 3 时，MCLK 选择 HSE 时钟（8MHz），此时 SYS_CLK_CFG[7:0]的分频系数无效。最终输出的系统时钟频率即为 8MHz。

6.3.3 SYS_IO_CFG IO 控制寄存器

地址:0x4000_0084

复位值:0x0

表 6-7 SYS_IO_CFG IO 控制寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

	SWDMUX	RST_IO	
	RW	RW	
	0	0	

位置	位名称	说明
[31:7]		未使用
[6]	SWDMUX	SWD 复用控制信号，默认配置为 SWD 0:P2.13 复用为 SWCLK，P2.0 复用为 SWDIO 1:P2.13, P2.0 作为正常 GPIO 使用
[5]	RST_IO	RSTn/P0.2 复用控制信号，默认配置为 RSTn 0:RSTn 1:P0.2 注意，上电后默认是 RSTn，后续软件可使能此位，RSTn 功能失效
[4:0]		未使用

为了安全起见，上电后 30ms 内，SWD 的 IO 不能切换为 GPIO 功能，只能作为 SWD 使用。即使软件改写了 SYS_MISC_CFG[6]也需要在 30ms 之后才会生效。现象为:在 30ms 内，软件可以向 SYS_IO_CFG[6]写入 1'b0，但读回该 bit 仍为 1'b1，如果经过 15ms 后再读，则可读回 1'b0。即软件写入是有效的，但不会立即生效。这是为了防止应用上上电即切换 SWD 功能为 GPIO，导致芯片后续无法通过 SWD 进行擦写烧录 flash。

注意，SWD IO 切换为 GPIO 功能后，用户无法再通过 SWD 对芯片进行调试，因此建议上电后留有一定的时间窗口，经过一定延时后再将 SWD 切换为 GPIO 功能。而且软件上建议留有其他设计考虑，使得 SWD IO 可以切换回 SWD 功能。

6.3.4 SYS_DBG_CFG Debug 控制寄存器

地址:0x4000_0088

复位值:0x0

表 6-8 SYS_DBG_CFG Debug 控制寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SW_IRQ_TRIG															
W															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SW_IRQ	SFT_RST_PERI			RSV	DBG_TIM2_STOP	DBG_TIM1_STOP	DBG_TIM0_STOP			DBG_IWDG_STOP				DBG_STOP	DBG_SLP
RW1C	RW			RW	RW	RW	RW			RW				RW	RW
0	0			0	0	0	0			0				0	0

位置	位名称	说明
[31:16]	SW_IRQ_TRIG	向此位段写入 0x5AA5 触发软件中断，SW_IRQ 置 1
[15]	SW_IRQ	软件中断标志，对应中断号 38，写 1 清零。
[14]	SFT_RST_PERI	Debug 软复位是否复位除 Flash/SYS_AFE 以外的外设寄存器
[13:12]		未使用
[11]	Reserved	保留位，必须为 0
[10]	DBG_TIM2_STOP	调试模式下 CPU halt 状态 TIMER2 停止 1:TIMER2 在 CPU halt 状态时停止计数 0:TIMER2 在 CPU halt 状态时继续计数
[9]	DBG_TIM1_STOP	调试模式下 CPU halt 状态 TIMER1 停止 1:TIMER1 在 CPU halt 状态时停止计数 0:TIMER1 在 CPU halt 状态时继续计数
[8]	DBG_TIM0_STOP	调试模式下 CPU halt 状态 TIMER0 停止 1:TIMER0 在 CPU halt 状态时停止计数 0:TIMER0 在 CPU halt 状态时继续计数
[7:6]		未使用
[5]	DBG_IWDG_STOP	调试模式下 CPU halt 状态独立看门狗停止 1:独立看门狗在 CPU halt 状态时停止计数 0:独立看门狗在 CPU halt 状态时继续计数
[4:2]		未使用
[1]	DBG_STOP	调试 STOP(DEEPSLEEP)模式 0: (FCLK=Off, HCLK=Off) 在 STOP 模式下，时钟管理模块关闭 HCLK 和 FCLK，即处理器时钟和所有外设时钟。 当退出 STOP 模式时，时钟管理模块不经历复位，并保持原有配置，可以恢复到 STOP 模式前的时钟设置。在 STOP 模式中，所有外设寄存器均保持，因此退出后无需重新配置。 1: (FCLK=On, HCLK=On) 如果设置 DBG_STOP 为 1，进入 STOP 模

		式后 HCLK 和 FCLK 均不被关闭。 通过设置 SCB->SCR = (1UL<<2)，然后使用__WFI()/__WFE()指令进入 STOP 模式。
[0]	DBG_SLP	调试睡眠(SLEEP)模式 0: (FCLK=On, HCLK=Off) 在睡眠模式中，FCLK 作为所有外设时钟，不关闭； HCLK 作为 CPU 时钟，被关闭。 在睡眠模式中，只有 CPU 时钟被暂时挂起，而所有外设包括系统时钟管理模块均保持原有配置状态。因此退出睡眠模式时，软件无需重新配置外设寄存器。 1: (FCLK=On, HCLK=On) 如果配置 DBG_SLP 为 1，则当进入睡眠模式时，HCLK 不会关闭。 通过__WFI()/__WFE()指令可以令处理器进入睡眠模式

6.3.5 SYS_CLK_DIV0 外设时钟分频寄存器 0

地址:0x4000_0090

复位值:0x0

表 6-9 SYS_CLK_DIV0 外设时钟分频寄存器 0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIV0															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DIV0	I2C 工作时钟=MCLK/(CLK_DIV0+1)。其中 MCLK 由 SYS_CLK_CFG 分频系数决定

6.3.6 SYS_CLK_DIV1 外设时钟分频寄存器 1

地址:0x4000_0094

复位值:0x0

表 6-10 SYS_CLK_DIV1 外设时钟分频寄存器 1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIV1															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DIV1	SPI 工作时钟=MCLK/(CLK_DIV0+1)。其中 MCLK 由 SYS_CLK_CFG 分频系数决定

6.3.7 SYS_CLK_DIV2 外设时钟分频寄存器 2

地址:0x4000_0098

复位值:0x0

表 6-11 SYS_CLK_DIV2 外设时钟分频寄存器 2

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIV2															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DIV2	UART 工作时钟=MCLK/(CLK_DIV2+1)。UART0/UART1 共享此分频配置，波特率根据 UART 波特率寄存器进一步分频，其中 MCLK 由 SYS_CLK_CFG 分频系数决定。

6.3.8 SYS_CLK_FEN 外设时钟门控寄存器

地址:0x4000_009C

复位值:0x0

表 6-12 SYS_CLK_FEN 外设时钟门控寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
							Res.	Res.	Res.	CL0_CLK_EN	SIF0_CLK_EN	Res.	Res.	DSP0_CLK_EN	CRC0_CLK_EN
							RW	RW	RW	RW	RW	RW	RW	RW	RW
							0	0	0	0	0	0	0	0	0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	UART2_CLK_EN	UART1_CLK_EN	UART0_CLK_EN	GPIO_CLK_EN	MCPWM0_CLK_EN	Res.	QEP0_CLK_EN	Res.	TIMER2_CLK_EN	TIMER1_CLK_EN	TIMER0_CLK_EN	HALL0_CLK_EN	CMP_CLK_EN	I2C0_CLK_EN	SPI0_CLK_EN
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31:25]		未使用
[24:22]		保留
[21]	CL0_CLK_EN	CL0 模块时钟控制信号，默认关闭 CL0 模块时钟 1:使能 CL0 模块时钟

		0:关闭 CL0 模块时钟
[20]	SIF0_CLK_EN	SIF0 模块时钟控制信号，默认关闭 SIF0 模块时钟 1:使能 SIF0 模块时钟 0:关闭 SIF0 模块时钟
[19]		保留
[18]		保留
[17]	DSP0_CLK_EN	DSP0 模块时钟控制信号，默认关闭 DSP0 模块时钟 1:使能 DSP0 模块时钟 0:关闭 DSP0 模块时钟
[16]	CRC0_CLK_EN	CRC0 模块时钟控制信号，默认关闭 CRC0 模块时钟 1:使能 CRC0 模块时钟 0:关闭 CRC0 模块时钟
[15]		
[14]	UART2_CLK_EN	UART2 模块时钟控制信号，默认关闭 UART2 模块时钟 1:使能 UART2 模块时钟 0:关闭 UART2 模块时钟
[13]	UART1_CLK_EN	UART1 模块时钟控制信号，默认关闭 UART1 模块时钟 1:使能 UART1 模块时钟 0:关闭 UART1 模块时钟
[12]	UART0_CLK_EN	UART0 模块时钟控制信号，默认关闭 UART0 模块时钟 1:使能 UART0 模块时钟 0:关闭 UART0 模块时钟
[11]	GPIO_CLK_EN	GPIO 模块时钟控制信号，默认关闭 GPIO 模块时钟 1:使能 GPIO 模块时钟 0:关闭 GPIO 模块时钟
[10]	MCPWM0_CLK_EN	MCPWM0 模块时钟控制信号，默认关闭 MCPWM0 模块时钟 1:使能 MCPWM0 模块时钟 0:关闭 MCPWM0 模块时钟
[9]		保留
[8]	QEP0_CLK_EN	QEP0 模块时钟控制信号，默认关闭 QEP0 模块时钟 1:使能 QEP0 模块时钟 0:关闭 QEP0 模块时钟
[7]		保留
[6]	TIMER2_CLK_EN	TIMER2 模块时钟控制信号，默认关闭 TIMER2 模块时钟 1:使能 TIMER2 模块时钟 0:关闭 TIMER2 模块时钟
[5]	TIMER1_CLK_EN	TIMER1 模块时钟控制信号，默认关闭 TIMER1 模块时钟 1:使能 TIMER1 模块时钟 0:关闭 TIMER1 模块时钟
[4]	TIMER0_CLK_EN	TIMER0 模块时钟控制信号，默认关闭 TIMER0 模块时钟 1:使能 TIMER0 模块时钟 0:关闭 TIMER0 模块时钟
[3]	HALL0_CLK_EN	HALL0 模块时钟控制信号，默认关闭 HALL0 模块时钟 1:使能 HALL0 模块时钟 0:关闭 HALL0 模块时钟

[2]	CMP_CLK_EN	CMP 模块时钟控制信号，默认关闭 CMP 模块时钟 1:使能 CMP 模块时钟 0:关闭 CMP 模块时钟
[1]	I2C0_CLK_EN	I2C0 模块时钟控制信号，默认关闭 I2C0 模块时钟 1:使能 I2C0 模块时钟 0:关闭 I2C0 模块时钟
[0]	SPI0_CLK_EN	SPI0 模块时钟控制信号，默认关闭 SPI0 模块时钟 1:使能 SPI0 模块时钟 0:关闭 SPI0 模块时钟

注意，上述每个模块的时钟为各自模块内部电路的工作时钟，即使不开启各自模块的时钟，也不影响软件访问各自模块的寄存器。

6.3.9 SYS_SFT_RST 软复位寄存器

地址:0x4000_00A4

复位值:0x0

表 6-13 SYS_SFT_RST 软复位寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
					EEPROM_SFT_RST			ADC1_SFT_RST	ADC0_SFT_RST	CL0_SFT_RST	SIF0_SFT_RST		DMA0_SFT_RST	DSP0_SFT_RST	CRC0_SFT_RST
					RW			RW	RW	RW	RW		RW	RW	RW
					0			0	0	0	0		0	0	0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UART2_SFT_RST	UART1_SFT_RST	UART0_SFT_RST	GPIO_SFT_RST	MCPWM0_SFT_RST	QEP1_SFT_RST	QEP0_SFT_RST		TIMER2_SFT_RST	TIMER1_SFT_RST	TIMER0_SFT_RST	HALL0_SFT_RST	CMP_SFT_RST	I2C0_SFT_RST	SPI0_SFT_RST
	RW	RW	RW	RW	RW	RW	RW		RW	RW	RW	RW	RW	RW	RW
	0	0	0	0	0	0	0		0	0	0	0	0	0	0

位置	位名称	说明
[31:24]		未使用
[26]	EEPROM_SFT_RST	EEPROM 模块软复位信号，默认不复位 EEPROM 模块 1:复位 EEPROM 模块 0:释放 EEPROM 模块
[25:24]		保留
[23]	ADC1_SFT_RST	ADC1 数字接口模块软复位信号，默认不复位 ADC1 模块 1:复位 ADC1 数字接口模块 0:释放 ADC1 数字接口模块
[22]	ADC0_SFT_RST	ADC0 数字接口模块软复位信号，默认不复位 ADC0 模块 1:复位 ADC0 数字接口模块

		0:释放 ADC0 数字接口模块
[21]	CL0_SFT_RST	CL0 模块软复位信号，默认不复位 CL0 模块 1:复位 CL0 模块 0:释放 CL0 模块
[20]	SIF0_SFT_RST	SIF0 模块软复位信号，默认不复位 SIF0 模块 1:复位 SIF0 模块 0:释放 SIF0 模块
[19]		保留
[18]	DMA0_SFT_RST	DMA0 模块软复位信号，默认不复位 DMA0 模块 1:复位 DMA0 模块 0:释放 DMA0 模块
[17]	DSP0_SFT_RST	DSP0 模块软复位信号，默认不复位 DSP0 模块 1:复位 DSP0 模块 0:释放 DSP0 模块
[16]	CRC0_SFT_RST	CRC0 数字接口模块软复位信号，默认不复位 CRC0 模块 1:复位 CRC0 数字接口模块 0:释放 CRC0 数字接口模块
[15]		保留
[14]	UART2_SFT_RST	UART1 模块软复位信号，默认不复位 UART1 模块 1:复位 UART1 模块 0:释放 UART1 模块
[13]	UART1_SFT_RST	UART1 模块软复位信号，默认不复位 UART1 模块 1:复位 UART1 模块 0:释放 UART1 模块
[12]	UART0_SFT_RST	UART0 模块软复位信号，默认不复位 UART0 模块 1:复位 UART0 模块 0:释放 UART0 模块
[11]	GPIO_ SFT_RST	GPIO 模块软复位信号，默认不复位 GPIO 模块 1:复位 GPIO 模块 0:释放 GPIO 模块
[10]	MCPWM0_SFT_RST	MCPWM0 模块软复位信号，默认不复位 MCPWM0 模块 1:复位 MCPWM0 模块 0:释放 MCPWM0 模块
[9]		保留
[8]	QEP0_SFT_RST	QEP0 模块软复位信号，默认不复位 QEP0 模块 1:复位 QEP0 模块 0:释放 QEP0 模块
[7]		保留
[6]	TIMER2_SFT_RST	TIMER2 模块软复位信号，默认不复位 TIMER2 模块 1:复位 TIMER2 模块 0:释放 TIMER2 模块
[5]	TIMER1_SFT_RST	TIMER1 模块软复位信号，默认不复位 TIMER1 模块 1:复位 TIMER1 模块 0:释放 TIMER1 模块
[4]	TIMER0_SFT_RST	TIMER0 模块软复位信号，默认不复位 TIMER0 模块

		1:复位 TIMER0 模块 0:释放 TIMER0 模块
[3]	HALL0_SFT_RST	HALL0 模块软复位信号，默认不复位 HALL0 模块 1:复位 HALL0 模块 0:释放 HALL0 模块
[2]	CMP_SFT_RST	CMP 模块软复位信号，默认不复位 CMP 模块 1:复位 CMP 模块 0:释放 CMP 模块
[1]	I2C0_SFT_RST	I2C0 模块软复位信号，默认不复位 I2C0 模块 1:复位 I2C0 模块 0:释放 I2C0 模块
[0]	SPI0_SFT_RST	SPI0 模块软复位信号，默认不复位 SPI0 模块 1:复位 SPI0 模块 0:释放 SPI0 模块

注意，模块软复位在 SYS_SFT_RST 对应位写入 1 后会保持在复位状态，需要再次写入 0 才能解除复位状态。

6.3.10 SYS_PROTECT 写保护寄存器

地址:0x4000_00A8

复位值:0x0

表 6-14 SYS_PROTECT 写保护寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSW															
WO															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	PSW	除 SYS_AFE_DAC0、SYS_AFE_DAC0_AMC、SYS_AFE_DAC0_DC、SYS_AFE_DAC1、SYS_AFE_DAC1_AMC、SYS_AFE_DAC1_DC 外，其他系统寄存器(SYS_开头的寄存器，包括时钟复位管理以及模拟寄存器)受写保护，写入前需先写入密码解除写保护 写入 0x7A83，解除写保护，使能寄存器写操作 写入其它值，开启写保护，禁止寄存器写操作 读回恒为 0

6.3.11 SYS_IF 系统中断标志寄存器

地址:0x4000_00B4

复位值:0x0

表 6-15 SYS_IF 系统中断标志寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														PWR_WK	NMI_TIMEOUT
														RO	RW1C
														0	0

位置	位名称	说明
[31:2]		未使用
[1]	PWR_WK	电源过低中断标志，只读，高有效。
[0]	NMI_TIMEOUT	NMI 定时中断标志，写 1 清零，高有效。

6.3.12 SYS_RAM_LOCK RAM 锁定寄存器

地址:0x4000_00B8

复位值:0x0

表 6-16 SYS_RAM_LOCK RAM 锁定寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PSW															
RW															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSW								L7K	L6K	L5K	L4K	L3K	L2K	L1K	L0K
RW								RW	RW	RW	RW	RW	RW	RW	RW
0								0	0	0	0	0	0	0	0

位置	位名称	说明
[31:8]	PSW	只有在[31:8]写入 0x5a6b7c 的同时，才能改写[7:0]
[7]	L7K	0x1C00~0x1FFF RAM 空间写入锁定 0:允许改写 1:不允许改写
[6]	L6K	0x1800~0x1BFF RAM 空间写入锁定 0:允许改写 1:不允许改写
[5]	L5K	0x1400~0x17FF RAM 空间写入锁定 0:允许改写 1:不允许改写

[4]	L4K	0x1000~0x13FF RAM 空间写入锁定 0:允许改写 1:不允许改写
[3]	L3K	0x0C00~0x0FFF RAM 空间写入锁定 0:允许改写 1:不允许改写
[2]	L2K	0x0800~0x0BFF RAM 空间写入锁定 0:允许改写 1:不允许改写
[1]	L1K	0x0400~0x07FF RAM 空间写入锁定 0:允许改写 1:不允许改写
[0]	L0K	0x0000~0x03FF RAM 空间写入锁定 0:允许改写 1:不允许改写

注意，RAM 基地址为 0x2000_0000，因此 L0K 控制的 RAM 区域为 0x2000_0000~0x2000_03FF

6.3.13 SYS_FLSE 擦除保护寄存器

地址:0x4000_00D0

复位值:0x0

表 6-17 擦除保护寄存器 SYS_FLSE

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLSE															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	FLSE	**FLASH 擦除保护寄存器。本寄存器写入 0x8FCA，FLASH 的擦除功能才能最终生效。写入其他值，FLASH 的擦除功能均无法生效。为防止误擦除，建议不使用擦除功能时，不生效此寄存器。**

6.3.14 SYS_FLSP 编程保护寄存器

地址:0x4000_00D4

复位值:0x0

表 6-18 编程保护寄存器 SYS_FLSE

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLSP															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	FLSP	**FLASH 编程保护寄存器。本寄存器写入 0x8F35，FLASH 的编程功能才能最终生效。写入其他值，FLASH 的编程功能均无法生效。为防止误编程，建议不使用编程功能时，不生效此寄存器。**

7 非易失性存储体

7.1 概述

非易失性存储体包含两个部分:FLASH 和 ROM。

FLASH 存储体包含两个部分:NVR 和 MAIN。NVR 大小为 1.5KB；MAIN 有两个大小尺寸:64KB 和 128KB。

- FLASH 存储体主闪存存储区（MAIN），包括应用程序和用户数据区
- FLASH 信息存储区（NVR），预留给用户使用数据区

LKS32MC09x 系列芯片，非易失性存储体包含两个型号:

- 型号 1:1.5KB NVR，64KB FLASH
- 型号 2:1.5KB NVR，128KB FLASH

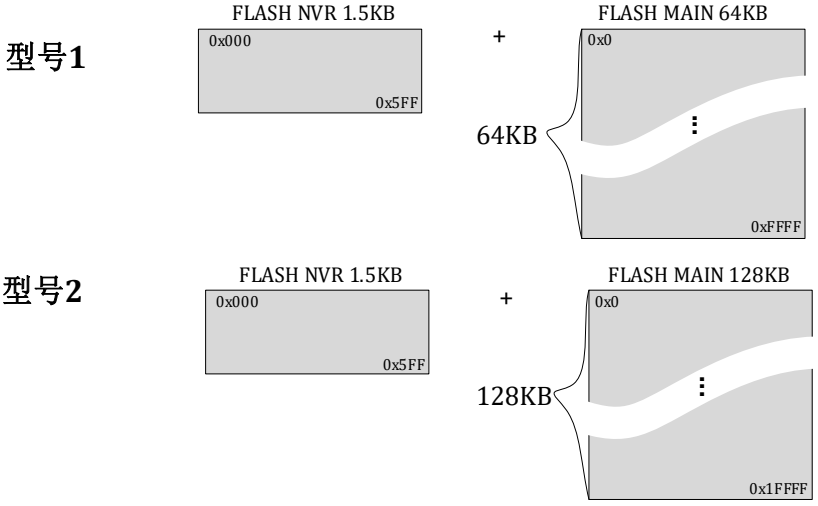


图 7-1 非易失性存储体空间划分框图及型号

7.2 功能特点

非易失性存储体控制器，主要实现对 FLASH 存储体的相关操作；ROM 存储体仅包含执行操作。具体包括:

- FLASH 读取数据的操作，包括对 NVR 部分的读取和对 MAIN 部分的读取。
- FLASH 写入数据的操作，包括对 NVR 部分的写入和对 MAIN 部分的写入。

- FLASH 擦除操作，包括 Full 擦除和 Sector 擦除。NVR 部分仅支持 Sector 擦除，MAIN 部分支持 Full 擦除和 Sector 擦除。
- FLASH 深度休眠的操作，以降低芯片的休眠功耗。
- FLASH 存储体内容的加密操作。
- FLASH 的读取加速操作，以提升芯片整体运行效率。
- FLASH 控制寄存器的访问。
- ROM 区域，仅可执行，不可拷贝。
- FLASH 保护状态下，NVR 的 Sector 2（从 0 开始计算）支持读取，编程和擦除。

7.2.1 功能描述

非易失性存储体控制器，实现了对 FLASH 存储体的复位/读出/写入/擦除/休眠等操作。如下为控制状态转换图:

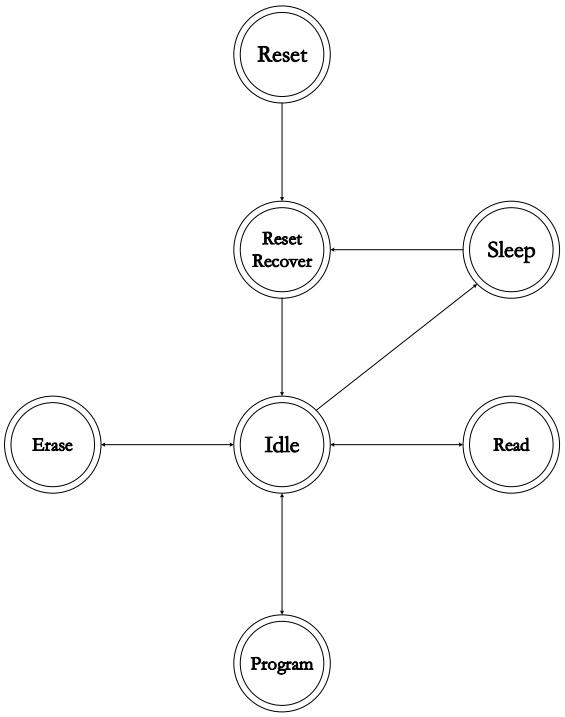


图 7-2 FLASH 控制状态转换图

7.2.1.1 复位操作

系统完成复位后，FLASH 需要一段时间恢复。其目的是保证 FLASH 存储体内部的电路稳定。待稳定后，MCU 才可对 FLASH 执行对应操作。此操作由硬件自动实现，无需软件干预。

7.2.1.2 休眠操作

FLASH 的休眠操作分成两个部分:Standby 和 Deep Sleep。当系统不执行对 FLASH 的操作时，FLASH 可自动进入 StandBy 状态（若开启预取，此功能失效）。当系统执行 Deep Sleep 操作时，

将触发 FLASH 也进入 Deep Sleep，实现降低功耗的目的。FLASH 进入 Deep Sleep 的操作，硬件自动完成，无需软件介入。

当外界唤醒系统，同时将唤醒 FLASH。经过一段时间恢复后，FLASH 可执行正常操作。此唤醒恢复操作，硬件自动完成，无需软件介入。

7.2.1.3 读取操作

读操作为 FLASH 的基本操作。系统可通过两条路径访问 FLASH 内部的数据。

- MCU 通过 AHB 总线，直接对 FLASH 执行取指、取数操作，宽度为 32bit，且只能访问 MAIN 空间的数据。为了加快 MCU 的取指、取数据的速度，硬件提供了加速的功能。
- MCU 通过 AHB 总线，访问控制器的寄存器，间接实现读取 FLASH 内部数据的操作。可以访问 MAIN 和 NVR 空间的数据；若执行连续读取操作，硬件可自动完成地址累加，无需每次都更新地址寄存器的值。

ROM 不可被读取，仅可执行基本操作。系统只有一条路径访问 ROM 内部的数据

- MCU 通过 AHB 总线，直接对 ROM 执行取指、取数操作，宽度为 32bit。

FLASH_CFG.REGION 位指示当前访问的是哪个空间。具体表格如下:

表 7-1 FLASH 访问空间分配表

FLASH_CFG.REGION	访问区域
0	MAIN 区域
1	NVR 区域

访问本控制器的寄存器，实现间接读取 FLASH 内部数据的操作的执行流程如下:

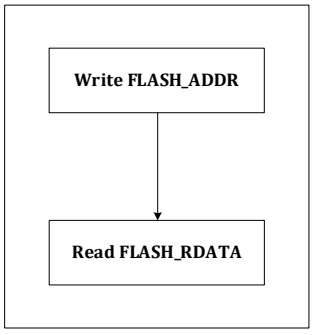


图 7-3 FLASH 间接读取操作流程图

7.2.1.4 FLASH 编程操作

执行对 FLASH 存储体的编程操作。一般而言，我们先执行擦除操作，然后执行数据编程操作。同时，只能通过访问 FLASH 控制器的寄存器，实现编程操作。具体流程为:

- SYS_FLSP 寄存器，写入 0x8F35，开启编程使能开关 1
- FLASH_CFG.PRG_EN 写 1，开启编程使能开关 2
- FLASH_ADDR，写入编程地址

- FLASH_WDATA，写入编程数据

访问本控制器的寄存器，实现 FLASH 编程操作的执行流程如下:

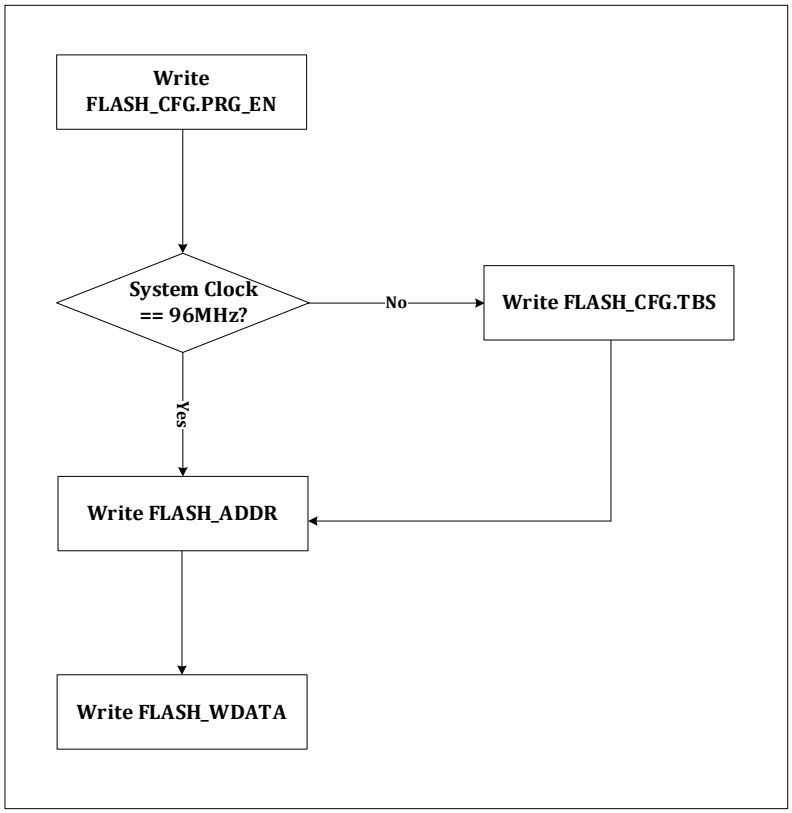


图 7-4 FLASH 模块编程操作流程图

为了防止 FLASH 区域被误编程，额外增加一组编程的使能开关--SYS_FLSP。SYS_FLSP 保护 FLASH，防止误编程。写入 0x8F35，开启编程使能，再配置 FLASH_CFG.PRG_EN，最终开启 FLASH 的编程功能。

系统工作频率的判断，需要参考 SYS_CLK_CFG 的配置。FLASH 编程/擦除操作的绝对时间是固定的，FLASH 控制器需要保存这些绝对时间对应的计数值。FLASH_CFG.TBS 默认值是 96MHz 时钟频率下的计数值；当芯片工作在其他频率下时，需要配置 FLASH_CFG.TBS 的值，以实现 48MHz 和 24MHz 的计数值（其它频率暂不支持）。最终保证计数值的值×时钟频率等于恒定的时间。不同频率下对应的 FLASH_CFG.TBS 值，已经在 FLASH_CFG 寄存器列出。切记，FLASH_CFG.TBS 仅能配置寄存器说明中提供的几组值，不能被写入其它值，否则可能导致 FLASH 编程/擦除失败。建议对 FLASH_CFG 的操作，执行先读回，然后按照或/与的方法操作。另外，在执行 FLASH 的编程/擦除操作时，CPU 将暂停工作直至 FLASH 的编程/擦除操作完毕。

图 7-4 仅展示了一次编程的流程。若执行连续编程时，可以在写入 FLASH_ADDR 寄存器前，配置 FLASH_CFG.ADR_INC，开启地址自动递增模式，后续只需要反复写 FLASH_WDATA 寄存器即可，FLASH_ADDR 每次写入一次数据会自动增加 0x4。连续读操作类似。连续编程的流程如下:

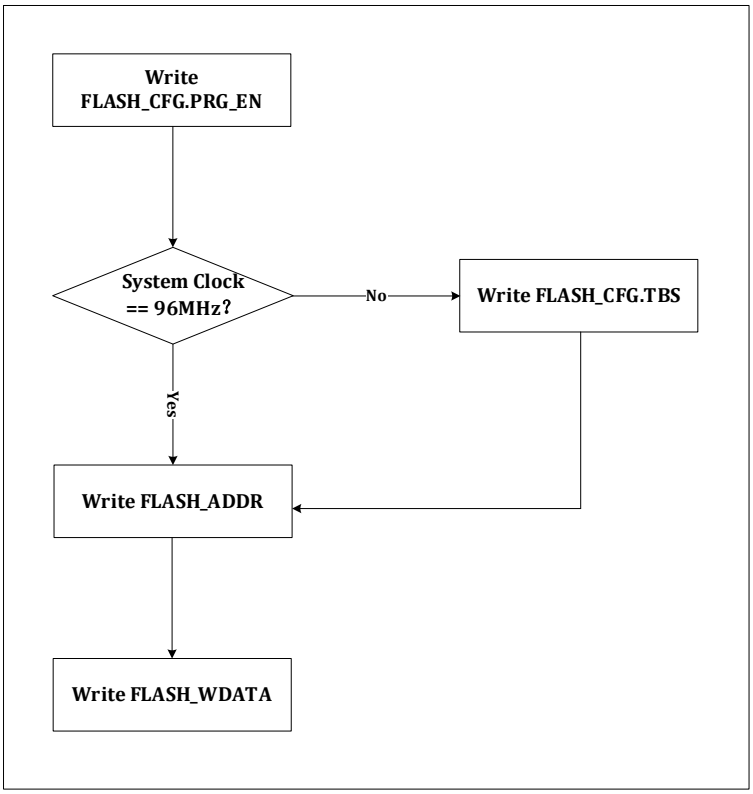


图 7-5 FLASH 模块编程操作流程图

7.2.1.5 FLASH 擦除操作

擦除操作为 FLASH 的基本操作。系统只能通过访问 FLASH 控制器的寄存器实现。具体流程为:

- SYS_FLSE 寄存器，写入 0x8FCA，擦除操作使能开关 1
- FLASH_CFG.ERS_EN 写 1，擦除操作使能开关 2
- FLASH_ADDR，写入擦除地址
- FLASH_ERASE，触发擦除操作

为了防止 FLASH 区域被误擦，额外增加一组擦除的使能开关--SYS_FLSE。SYS_FLSE 保护 FLASH，防止误擦，写入 0x8FCA，开启擦除使能，再配置 FLASH_CFG.ERS_EN，最终开启 FLASH 的擦除功能。

执行对 FLASH 存储体的擦除操作。擦除分成 Sector 和 Full。分别对应，512Byte 的擦除和 32KB/64KB/128KB 的擦除。通过配置 FLASH 控制寄存器决定执行哪一种类型的擦除操作。

下表为 Secotor 地址分配空间。

表 7-2 FLASH Sector 地址分配表

Name	Addresses	Size(Bytes)
Sector 0	0x0000 0000 - 0x0000 01FF	512
Sector1	0x0000 0200 - 0x0000 03FF	512
Sector2	0x0000 0400 - 0x0000 05FF	512
…	…	…

Sector127	0x0001 FE00 - 0x0001 FFFF	512

NVR 区域只能实现 Sector 擦除，NVR 区域只有三个 Sector(0/1/2)；MAIN 区域可以实现 Sector 擦除和 Full 擦除。具体表格如下:

NVR（FLASH_CFG .REGION）	Sector Erase	Full Erase
0	Main 区域	Main 区域
1	NVR 区域	Main 区域

FLASH 擦除操作流程如下所示。

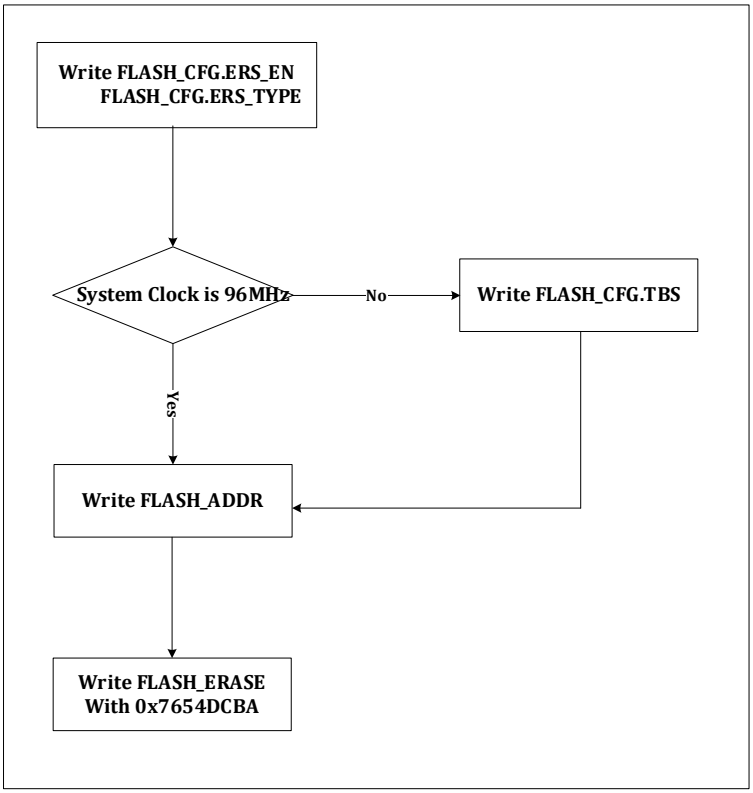


图 7-6 FLASH 模块擦除操作流程图

若选择 Secotor 擦除，需要通过 FLASH_ADDR 确定哪个 Secotor 被擦除，若是 Full 模式的话，FLASH_ADDR 的值将失效。FLASH_ERASE 写入 0x7654DCBA 触发擦除操作。

7.2.1.6 FLASH 预取操作

因 FLASH 存储体的速度限制，无法达到 96MHz 的速度。对 FLASH 进行读取操作时，需要大于一个 96MHz 的时钟周期，才能完成数据的读出。为了加快数据的读出，FLASH 控制器增加了预取功能。当 FLASH 控制器完成当前的读取操作后，在不影响正常程序执行的前提下，顺序预取下一个 WORD 的数据。预取操作的开启和关闭，只需要设置 FLASH_CFG.PREF 即可。

当系统频率降低到 48MHz 及以下，对 FLASH 进行读取操作，无需两个时钟周期的等待。此时，可以配置 FLASH_CFG.WAIT 为 0，去掉一个额外的等待周期。切记，从高频调整到低频的时候，先调慢时钟，然后将 FLASH_CFG.WAIT 改成 0；从低频调整到高频的时候，先将 FLASH_CFG.WAIT 改成 1，然后再调快时钟。

7.2.1.7 非易失性存储体保护

非易失性存储体加密保护，保护 FLASH 和 ROM。因 ROM 只能执行，无法拷贝，已经处于保护状态且无法更改；本小节主要解释 FLASH 部分的保护。

FLASH 保护的目的:防止外界非法获取 FLASH 的内容。

若 FLASH 存储体内的数据处于保护状态，用户可执行去保护操作；相反，若 FLASH 存储体内的数据处于去保护状态，用户可执行保护操作。默认情况下，FLASH 存储体内的数据处于保护的状态。芯片上电复位完成后，硬件自动执行一次状态更新操作，若是保护状态则保持保护的状态，否则，变成去保护状态。

FLASH 存储体有 32KB、64KB 和 128KB，各自的最后一个 WORD 设计为保护字（32KB 对应 0x7FFC，64KB 对应 0xFFFC，128KB 对应 0x1FFFC）。当这个 WORD 内容为全 1 时，说明，FLASH 的内容无需保护，读取 FLASH_PROTECT 寄存器，完成状态更新即可；当这个 WORD 的内容被写为非全 1 时，说明，FLASH 的内容需要保护。若需要保护，仅需要将最后一个 WORD 的内容，写入非全 1 的值，读取 FLASH_PROTECT 寄存器，完成状态的更新（读取 FLASH_PROTECT 返回值无意义），启动保护了。

去保护分成两种情况。若最后一个 WORD 没有执行过写入非全 1 的操作，读取 FLASH_PROTECT 寄存器，即完成状态更新（读取 FLASH_PROTECT 返回值无意义），解除保护。若最后一个 WORD 已经非全 1，需执行擦除操作才能解除保护。先对 FLASH 执行擦除操作，将最后一个 WORD 恢复为全 1 值，然后读取 FLASH_PROTECT 寄存器，完成状态的更新，取消保护（读取 FLASH_PROTECT 返回值无意义）。

在 FLASH 处于保护状态下，为了方便客户实现二次烧录等特殊应用需求。LKS32MC09x 放开且仅放开了 NVR 区域的 Sector 2，供客户访问操作，包括读取、编程和擦除。注意，只有 FLASH 处于保护状态下，此功能才有效。同时，执行此操作的时候，我们只能通过访问如下寄存器 FLASH_NCFG/NADDR/NWDATA/NRDATA/NERASE/NKEY，实现此功能。

具体流程为:

- SYS_FLSE 寄存器，写入 0x8FCA，擦除操作使能开关 1
- SYS_FLSP 寄存器，写入 0x8F35，开启编程使能开关 2
- 读取 FLASH_PROTECT 寄存器，确定 FLASH 处于保护状态
- FLASH_NKEY，写入特殊值（0x0000_000F），开启保护状态下对 NVR Sector 2 的操作
- FLASH_NCFG，开启编程和擦除开关（若需要）
- FLASH_NADDR，写入编程或擦除地址
- FLASH_NERASE，实现对 NVR Sector 2 的擦除（若需要）
- FLASH_NWDATA，实现对 NVR Sector 2 的编程（若需要）
- FLASH_NRDATA，实现对 NVR Sector 2 的读取

切记，此通路只能访问到 NVR Sector 2，且一般访问完毕后，执行硬复位。

7.2.1.8 FLASH 在线升级(IAP)

IAP 模式，实现中断向量表的重映射。在 LKS32MC09x 系列芯片中，包含了系统寄存器 VTOR，其地址为 0xE000_ED08。用于重新映射中断向量表入口地址。

表 7-3 IAP VTOR 寄存器描述

名称	复位值	偏移	位置	权限	说明
VTOR	0x0		[31:7]	RW	执行写入操作，写入中断向量表入口地址

默认值为 0x0，此时中断向量表入口地址为 0x0。当写入非 0 值时，中断向量表入口地址将映射到 VTOR 寄存器所对应的地址上，立即生效。读回时会右移 7 位。

在 LKS32MC09x 系列芯片中，因为有 VTOR 寄存器。用户可根据自己需求，更新整个 FLASH 的内容。在线升级过程中可以使用中断，也可以关闭中断。

7.2.1.8.1 开启中断的在线升级

推荐软件配置流程:

关闭 MCU 的中断控制器，暂时不接收新的中断响应;

在新的中断入口地址处，放置中断处理函数代码;

将新的中断入口地址写入 VTOR 寄存器;

开启 MCU 的中断控制器，使能中断;

用户跳转至在线升级函数，开始在线升级功能;

完成升级，关闭 MCU 的中断控制器，配置 VTOR 为默认值 0;

执行 MCU 软复位，系统 PC 重新从 0 地址开始执行升级后的程序;

7.2.1.8.2 关闭中断的在线升级

关闭 MCU 的中断控制器，暂时不接收新的中断响应;

用户跳转至在线升级函数，开始在线升级功能；如果在线升级使用了类似 UART 的外设通讯，需要 MCU 轮询处理 UART 的中断标志位。

执行 MCU 软复位，系统 PC 重新从 0 地址开始执行升级后的程序;

7.2.1.8.3 在线升级函数的位置

如果需要将 FLASH 全部擦除，则需要将在线升级函数放置在 RAM 中，如果需要使用中断则新的中断向量入口地址也需要位于 RAM 地址空间。

如果只需要擦除应用程序占用的部分 FLASH 区域，则可以将在线升级函数放置在 FLASH 高段地址的空闲区域，使用块擦除 FLASH 旧的应用程序，写入新的应用程序。

7.3 寄存器

7.3.1 地址分配

FLASH 控制器模块寄存器的基地址是 0x0002_0000 寄存器列表

表 7-4 FLASH 控制器模块寄存器列表

名称	偏移	说明
FLASH_CFG	0x00	FLASH 配置寄存器
FLASH_ADDR	0x04	地址寄存器
FLASH_WDATA	0x08	写数据寄存器
FLASH_RDATA	0x0C	读数据寄存器
FLASH_ERASE	0x10	擦除控制寄存器
FLASH_PROTECT	0x14	FLASH 保护状态寄存器
FLASH_READY	0x18	FLASH 工作状态寄存器
FLASH_SIZE	0x1C	FLASH 容量状态寄存器
FLASH_NCFG	0x20	FLASH 配置寄存器（保护状态下，针对 NVR 操作）
FLASH_NADDR	0x24	地址寄存器（保护状态下，针对 NVR 操作）
FLASH_NWDATA	0x28	写数据寄存器（保护状态下，针对 NVR 操作）
FLASH_NRDATA	0x2C	读数据寄存器（保护状态下，针对 NVR 操作）
FLASH_NERASE	0x30	擦除控制寄存器（保护状态下，针对 NVR 操作）
FLASH_NKEY	0x34	FLASH 密钥寄存器（保护状态下，针对 NVR 操作）
FLASH_EPSM	0x38	FLASH Main 区域 Sector 擦除保护寄存器
FLASH_EPSN	0x40	FLASH NVR 区域 Sector 擦除保护寄存器
FLASH_LIB_ADDR	0x44	FLASH 库代码起止 Sector 寄存器

7.3.2 FLASH_CFG 配置寄存器（推荐先读回，按或/与方式修改）

地址:0x0002_0000

复位值:0xC0

表 7-5 FLASH_CFG 配置寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ERS_EN				PRG_EN				ADR_INC				PREF			
RW				RW				RW				RW			
0				0				0				0			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

ERS_TYPE		REGION		WAIT	TBS
RW		RW		RW	RW
0		0		1	0x40

位置	位名称	说明
[31]	ERS_EN	FLASH 擦除使能。默认为 0。 0:关闭擦除 1:开启擦除
[27]	PRG_EN	FLASH 编程使能。默认为 0。 0:关闭编程 1:开启编程
[23]	ADR_INC	FLASH 地址递增使能。默认为 0。 0:关闭递增使能 1:开启递增使能 当执行 FLASH 连续读写访问时，可以开启此功能减少对地址的操作。
[19]	PREF	FLASH 预取加速使能。默认为 0。 0:关闭加速 1:开启加速
[15]	ERS_TYPE	FLASH 擦除类型选择。默认为 0。 0:Sector 1:Full
[11]	REGION	访问 FLASH 区域选择。默认为 0。 0:MAIN 1:NVR
[7]	WAIT	读取 FLASH 数据，等待开关。默认为 0。 0:读取，等待一个周期 1:读取，等待两个周期 向[10:7]写入 0xA，WAIT 为 0；写入其他值 WAIT 为 1
[6:0]	TBS	编程/擦除时间基数寄存器,默认值为 0x60。只能配成如下几个值 0x60:96MHz 系统频率下，FLASH 编程/擦除时间基数配置值。 0x47:72Mhz 系统频率下，FLASH 编程/擦除时间基数配置值。 0x30:48Mhz 系统频率下，FLASH 编程/擦除时间基数配置值。 0x17:24Mhz 系统频率下，FLASH 编程/擦除时间基数配置值。

7.3.3 FLASH_ADDR 地址寄存器

地址:0x0002_0004

复位值:0x0

表 7-6 FLASH_ADDR 地址寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADDR														

	RW
	0

位置	位名称	说明
[31:15]		未使用
[14:0]	ADDR	地址寄存器。读/写/擦除操作对应的地址寄存器。因按照 WORD 操作，最低两位会被 FLASH 控制器忽略。 执行擦除操作时，需要根据擦除类型，地址需要对齐。一个 Sector 是 512-Byte。若执行 Sector 擦除，地址需要是 512 的整数倍（若带偏移，偏移量会被忽略）。全芯片擦除，不会参考这个寄存器的值

7.3.4 FLASH_WDATA 写数据寄存器

地址:0x0002_0008

复位值:0x0

表 7-7 FLASH_WDATA 写数据寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WDATA															
WO															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDATA															
WO															
0															

位置	位名称	说明
[31:0]	WDATA	执行写入操作，写入 FLASH 的值

7.3.5 FLASH_RDATA 读数据寄存器

地址:0x0002_000C

复位值:0x0

表 7-8 FLASH_RDATA 读数据寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RDATA															
RO															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RDATA															
RO															
0															

位置	位名称	说明
[31:0]	RDATA	执行读取操作，读出 FLASH 的值

7.3.6 FLASH_ERASE 擦除控制寄存器

地址:0x0002_0010

复位值:0x0

表 7-9 FLASH_ERASE 擦除控制寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ERASE															
WO															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ERASE															
WO															
0															

位置	位名称	说明
[31:0]	ERASE	写入 0x7654DCBA，触发擦除操作

7.3.7 FLASH_PROTECT 保护状态寄存器

地址:0x0002_0014

复位值:0x0

表 7-10 FLASH_PROTECT 保护状态寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PROTECT															
RO															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PROTECT															
RO															
0															

位置	位名称	说明
[31:0]	PROTECT	读取该寄存器，更新加密/解密状态读取返回值无参考意义。

7.3.8 FLASH_READY 工作状态寄存器

地址:0x0002_0018

复位值:0x0

表 7-11 FLASH_READY 工作状态寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															READY
															RO
															0

位置	位名称	说明
[31:1]		未使用
[0]	READY	1:FLASH 处于 Idle 状态；0:FLASH 处于 Busy 状态

7.3.9 FLASH_SIZE 容量寄存器

地址:0x0002_001C

复位值:0x00

表 7-12 FLASH_SIZE 容量寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		MASK3	MASK2	MASK1	MASK0			FLS_SIZE						LIB_PRESENT	ROM_PRESENT
		RO	RO	RO	RO			RO						RO	RO
		0	0	0	0			0						0	0

位置	位名称	说明
[31:14]		未使用
[13]	MASK3	
[12]	MASK2	
[11]	MASK1	
[10]	MASK0	
[7:6]	FLS_SIZE	FLASH 容量寄存器，仅可读 0:32KB 1:64KB 2:保留 3:128KB
[5:4]		未使用
[3:2]		未使用
[1]	LIB_PRESENT	Flash 存在不可读、可执行的库区域
[0]	ROM_PRESENT	Flash 存在可读、可执行、但禁止擦除的 ROM 区域

7.3.10 FLASH_NCFG 配置寄存器（推荐先读回，按或/与方式修改）

地址:0x0002_0020

复位值:0x000000E0

表 7-13 FLASH_NCFG 配置寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ERS_EN				PRG_EN				ADR_INC				PREF			
RW				RW				RO				RW			
0				0				0				0			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ERS_TYPE				REGION				WAIT	TBS						
RO				RW				RO	RO						
0				0				1	0x60						

位置	位名称	说明
[31]	ERS_EN	FLASH 擦除使能。默认为 0。 0:关闭擦除 1:开启擦除
[27]	PRG_EN	FLASH 编程使能。默认为 0。 0:关闭编程 1:开启编程
[23]	ADR_INC	FLASH 地址递增使能。默认为 0。此寄存器，只能读取不能修改。 0:关闭递增使能 1:开启递增使能 当执行 FLASH 连续读写访问时，可以开启此功能减少对地址的操作。
[19]	PREF	FLASH 预取加速使能。默认为 0。 0:关闭加速 1:开启加速
[15]	ERS_TYPE	FLASH 擦除类型选择。默认为 0。此寄存器，只能读取不能修改。 0:Sector 1:FULL
[11]	REGION	访问 FLASH 区域选择。默认为 0。修改此寄存器，无论写入值是 0 还是 1，最终，只能被强制写成 1。 0:MAIN 1:NVR
[7]	WAIT	读取 FLASH 数据，等待开关。默认为 1。此寄存器，只能读取不能修改。 0:读取，等待一个周期 1:读取，等待两个周期
[6:0]	TBS	编程/擦除时间基数寄存器,默认值为 0x60。此寄存器，只能读取不能修改。 0x60:96MHz 系统频率下，FLASH 编程/擦除时间基数配置值。 0x47:72Mhz 系统频率下，FLASH 编程/擦除时间基数配置值。 0x30:48Mhz 系统频率下，FLASH 编程/擦除时间基数配置值。 0x17:24Mhz 系统频率下，FLASH 编程/擦除时间基数配置值。

7.3.11 FLASH_NADDR 地址寄存器

地址:0x0002_0024

复位值:0x0

表 7-14 FLASH_NADDR 地址寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADDR														
	RW														
	0														

位置	位名称	说明
[31:15]		未使用
[14:0]	ADDR	地址寄存器。读/写/擦除操作对应的地址寄存器。因按照 WORD 操作，最低两位会被 FLASH 控制器忽略。 执行擦除操作时，需要根据擦除类型，地址需要对齐。一个 Sector 是 512-Byte。若执行 Sector 擦除，地址需要是 512 的整数倍（若带偏移，偏移量会被忽略）。全芯片擦除，不会参考这个寄存器的值

7.3.12 FLASH_NWDATA 写数据寄存器

地址:0x0002_0028

复位值:0x0

表 7-15 FLASH_NWDATA 写数据寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WDATA															
WO															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDATA															
WO															
0															

位置	位名称	说明
[31:0]	WDATA	执行写入操作，写入 FLASH 的值

7.3.13 FLASH_NRDATA 读数据寄存器

地址:0x0002_002C

复位值:0x0

表 7-16 FLASH_NRDATA 读数据寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RDATA															
RO															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RDATA															
RO															
0															

位置	位名称	说明
[31:0]	RDATA	执行读取操作，读出 FLASH 的值

7.3.14 FLASH_NERASE 擦除控制寄存器

地址:0x0002_0030

复位值:0x0

表 7-17 FLASH_NERASE 擦除控制寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ERASE															
WO															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ERASE															
WO															
0															

位置	位名称	说明
[31:0]	ERASE	写入 0x7654DCBA，触发擦除操作

7.3.15 FLASH_NKEY 密钥寄存器

地址:0x0002_0034

复位值:0x0

表 7-18 FLASH_NKEY 密钥寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												KEY			
												WO			
												0			

位置	位名称	说明

[31:4]		未使用
[3:0]	KEY	当 FLASH 处于保护状态时，无法通过 SWD 读取，编程和擦除 FLASH。此时，用户可以对此寄存器写入特殊值（0x0000_000F），使能开关，配置 FLASH_NCFG/NADDR/NWDATA/NRDATA/NERASE 寄存器，对 NVR Sector 2 进行读取，编程和擦除。

7.3.16 FLASH_EPSM Main 区域 Sector 擦除保护寄存器

地址:0x0002_0038

复位值:0x0

表 7-19 FLASH_EPSM FLASH Main 区域 Sector 擦除保护寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EPS_255_248	EPS_247_240	EPS_239_232	EPS_231_224	EPS_223_216	EPS_215_208	EPS_207_200	EPS_199_192	EPS_191_184	EPS_183_176	EPS_175_168	EPS_167_160	EPS_159_152	EPS_151_144	EPS_143_136	EPS_135_128
RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EPS_127_120	EPS_119_112	EPS_111_104	EPS_103_96	EPS_95_88	EPS_87_80	EPS_79_72	EPS_71_64	EPS_63_56	EPS_55_48	EPS_47_40	EPS_39_32	EPS_31_24	EPS_23_16	EPS_15_8	EPS_7_0
RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31]	EPS_255_248	Main 区域 Sector 248~255 擦除保护，0:可擦除，1:不可擦除
[30]	EPS_247_240	Main 区域 Sector 247~240 擦除保护，0:可擦除，1:不可擦除
[29]	EPS_239_232	Main 区域 Sector 239~232 擦除保护，0:可擦除，1:不可擦除
[28]	EPS_231_224	Main 区域 Sector 231~224 擦除保护，0:可擦除，1:不可擦除
[27]	EPS_223_216	Main 区域 Sector 223~216 擦除保护，0:可擦除，1:不可擦除
[26]	EPS_215_208	Main 区域 Sector 215~208 擦除保护，0:可擦除，1:不可擦除
[25]	EPS_207_200	Main 区域 Sector 207~200 擦除保护，0:可擦除，1:不可擦除
[24]	EPS_199_192	Main 区域 Sector 199_192 擦除保护，0:可擦除，1:不可擦除
[23]	EPS_191_184	Main 区域 Sector 191_184 擦除保护，0:可擦除，1:不可擦除
[22]	EPS_183_176	Main 区域 Sector 183_176 擦除保护，0:可擦除，1:不可擦除
[21]	EPS_175_168	Main 区域 Sector 175_168 擦除保护，0:可擦除，1:不可擦除
[20]	EPS_167_160	Main 区域 Sector 167_160 擦除保护，0:可擦除，1:不可擦除
[19]	EPS_159_152	Main 区域 Sector 159_152 擦除保护，0:可擦除，1:不可擦除
[18]	EPS_151_144	Main 区域 Sector 151_144 擦除保护，0:可擦除，1:不可擦除
[17]	EPS_143_136	Main 区域 Sector 143_136 擦除保护，0:可擦除，1:不可擦除
[16]	EPS_135_128	Main 区域 Sector 135_128 擦除保护，0:可擦除，1:不可擦除
[15]	EPS_127_120	Main 区域 Sector 127_120 擦除保护，0:可擦除，1:不可擦除

[14]	EPS_119_112	Main 区域 Sector 119_112 擦除保护，0:可擦除，1:不可擦除
[13]	EPS_111_104	Main 区域 Sector 111_104 擦除保护，0:可擦除，1:不可擦除
[12]	EPS_103_96	Main 区域 Sector 103_96 擦除保护，0:可擦除，1:不可擦除
[11]	EPS_95_88	Main 区域 Sector 95_88 擦除保护，0:可擦除，1:不可擦除
[10]	EPS_87_80	Main 区域 Sector 87_80 擦除保护，0:可擦除，1:不可擦除
[9]	EPS_79_72	Main 区域 Sector 79_72 擦除保护，0:可擦除，1:不可擦除
[8]	EPS_71_64	Main 区域 Sector 71_64 擦除保护，0:可擦除，1:不可擦除
[7]	EPS_63_56	Main 区域 Sector 62_56 擦除保护，0:可擦除，1:不可擦除
[6]	EPS_55_48	Main 区域 Sector 55_48 擦除保护，0:可擦除，1:不可擦除
[5]	EPS_47_40	Main 区域 Sector 47_40 擦除保护，0:可擦除，1:不可擦除
[4]	EPS_39_32	Main 区域 Sector 39_32 擦除保护，0:可擦除，1:不可擦除
[3]	EPS_31_24	Main 区域 Sector 31_24 擦除保护，0:可擦除，1:不可擦除
[2]	EPS_23_16	Main 区域 Sector 23_16 擦除保护，0:可擦除，1:不可擦除
[1]	EPS_15_8	Main 区域 Sector 8~15 擦除保护，0:可擦除，1:不可擦除
[0]	EPS_7_0	Main 区域 Sector 0~7 擦除保护，0:可擦除，1:不可擦除

FLASH_EPSM 在上电时由硬件从 NVR 区域加载，软件只可读。NVR 同时存储 FLASH_EPSM 的反码，如果 NVR 存储的原码与反码的反码不一致，则 FLASH_EPSM 对应位加载为 0，允许 Sector 被擦除。

7.3.17 FLASH_EPSN NVR 区域 Sector 擦除保护寄存器

地址:0x0002_003C

复位值:0x0

表 7-20 FLASH_EPSN FLASH NVR 区域 Sector 擦除保护寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EPS_14	EPS_13	EPS_12	EPS_11	EPS_10	EPS_9	EPS_8	EPS_7	EPS_6	EPS_5	EPS_4	EPS_3	EPS_2	EPS_1	EPS_0
RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31:15]		未使用
[14]	EPS_14	NVR 区域 Sector 14 擦除保护，0:可擦除，1:不可擦除
[13]	EPS_13	NVR 区域 Sector 13 擦除保护，0:可擦除，1:不可擦除
[12]	EPS_12	NVR 区域 Sector 12 擦除保护，0:可擦除，1:不可擦除
[11]	EPS_11	NVR 区域 Sector 11 擦除保护，0:可擦除，1:不可擦除
[10]	EPS_10	NVR 区域 Sector 10 擦除保护，0:可擦除，1:不可擦除
[9]	EPS_9	NVR 区域 Sector 9 擦除保护，0:可擦除，1:不可擦除
[8]	EPS_8	NVR 区域 Sector 8 擦除保护，0:可擦除，1:不可擦除
[7]	EPS_7	NVR 区域 Sector 7 擦除保护，0:可擦除，1:不可擦除
[6]	EPS_6	NVR 区域 Sector 6 擦除保护，0:可擦除，1:不可擦除

[5]	EPS_5	NVR 区域 Sector 5 擦除保护，0:可擦除，1:不可擦除
[4]	EPS_4	NVR 区域 Sector 4 擦除保护，0:可擦除，1:不可擦除
[3]	EPS_3	NVR 区域 Sector 3 擦除保护，0:可擦除，1:不可擦除
[2]	EPS_2	NVR 区域 Sector 2 擦除保护，0:可擦除，1:不可擦除
[1]	EPS_1	NVR 区域 Sector 1 擦除保护，0:可擦除，1:不可擦除
[0]	EPS_0	NVR 区域 Sector 0 擦除保护，0:可擦除，1:不可擦除

FLASH_EPSN 在上电时由硬件从 NVR 区域加载，软件只可读。NVR 同时存储 FLASH_EPSN 的反码，如果 NVR 存储的原码与反码的反码不一致，则 FLASH_EPSN 对应位加载为 0，允许 Sector 被擦除。

FLASH_EPSN 可以用于保护 flash 在 NVR 中的配置字。NVR 存储的

7.3.18 FLASH_LIB_ADDR 库代码区域寄存器

地址:0x0002_0040

复位值:0xFF

表 7-21 FLASH_LIB_ADDR 库代码区域寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LIB_END_SEC								LIB_START_SEC							
RO								RO							
0xFF								0xFF							

位置	位名称	说明
[31:16]		未使用
[15:8]	LIB_END_SEC	库代码终止 Sector，0~255 对应 Sector 0~255
[7:0]	LIB_START_SEC	库代码起始 Sector，0~255 对应 Sector 0~255

FLASH_LIB_ADDR 上电后由硬件由 NVR 加载，软件只可读。

LIB_START_SEC 和 LIB_END_SEC 之间的 Sector 存放的代码和数据只允许区域内的代码进行读取，不允许调试时读取，不允许 Flash 其他区域或 SRAM 中运行的代码读取，也不允许 DMA 进行读取。LIB_START_SEC==0xFF 且 LIB_END_SEC==0xFF 时，不启用库代码保护，其他值则启用保护。当 LIB_START_SEC== LIB_END_SEC，且 LIB_START_SEC!=0xFF 保护一个 Sector。

库代码区域通常用于存放方案商的核心代码。启用库区域保护后，此区域代码只可执行和自我读取，不允许其他区域代码读取或调试读取。

为了防止终端客户改下 NVR 中存放的 START_SEC 和 END_SEC 数据，可以通过启用 FLASH_EPSN 对相应 NVR 区域进行擦除保护。注意，一旦 FLASH_EPSN 区域启用了 NVR 擦除保护，则此 NVR Sector 将变为只读，无法再进行擦除修改。

8 SPI

8.1 概述

SPI 接口主要使用在，外部设计采用 SPI 协议的应用场景下。SPI 的工作模式软件可选，默认为 SPI Motorola 模式。SPI 接口支持全双工传输和半双工传输。当接口配置为 Master 模式时，可发送时钟信号供外部 Slave 设备使用。

8.2 主要特性

- 支持 Master 和 Slave 操作
- 全双工传输，可根据应用情况，使用 3 根或者 4 根信号线
- 支持半双工传输，可根据应用情况，使用 2 根信号线
- 可编程的时钟极性和相位
- 可编程的数据顺序:MSB 或 LSB
- 最快传输速度为系统最高时钟频率的 1/8
- 片选信号均可选。Master 模式下，片选信号可以软件控制也可以硬件产生；Slave 模式下，片选信号可以恒定有效，也可以来自外界设备
- 无本地 FIFO，支持 DMA 操作。包含溢出检测和片选信号异常检测
- 数据长度 8-Bit～16-Bit 可调

8.3 功能描述

8.3.1 功能框图

本接口采用同步串行设计，实现 MCU 同外部设备之间的 SPI 传输。支持轮询和中断方式获得传输状态信息。本接口的主要功能模块如下图所示。

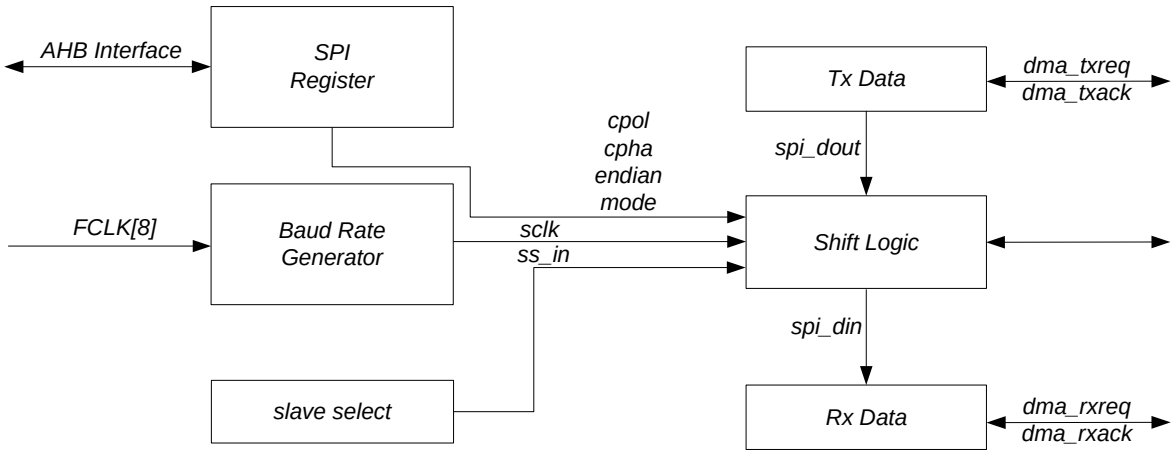


图 8-1 SPI 模块结构框图

接口信号包括，spi_din，spi_dout，sclk_in，sclk_out，ss_in 和 ss_out。

spi_din:接口接收的数据信号。同 SPI 协议比较，当接口配置为 Master 模式时，其等效为 MISO；当接口配置为 Slave 模式时，其等效为 MOSI。

spi_dout:接口发送的数据信号。同 SPI 协议比较，当接口配置为 Master 模式时，其等效为 MOSI；当接口配置为 Slave 模式时，其等效为 MISO。

sclk_in:接口接收的时钟信号。此时，接口的工作模式为 Slave。非 Slave 模式下，此信号输入无效。

sclk_out:接口发送的时钟信号。此时，接口的工作模式为 Master，非 Master 模式下，此信号输出恒定为 0。

ss_in:接口接收的片选信号。此时，接口的工作模式为 Slave。非 Slave 模式下，此信号输入无效。

ss_out:接口发送的片选信号。此时，接口的工作模式为 Master。非 Master 模式下，此信号输出恒定为 1。

8.3.2 功能说明

8.3.2.1 全双工模式

默认情况下，SPI 接口配置为全双工模式。此时，数据传输需要两根数据线。数据信号的变化，发生在时钟信号的边沿，即同步于时钟信号。

接口为 Master 模式时:

- spi_din 为数据输入，接外部 Slave 设备的 MISO
- spi_dout 为数据输出，接外部 Slave 设备的 MOSI
- spi_ss_out 为片选信号，根据应用情况选择是使用该信号还是软件控制其它 GPIO 实现

接口为 Slave 模式时:

- spi_din 为数据输入，接外部 Master 设备的 MOSI
- spi_dout 为数据输出，接外部 Master 设备的 MISO
- spi_ss_in 为片选信号，根据应用情况是使用该信号还是片选恒有效

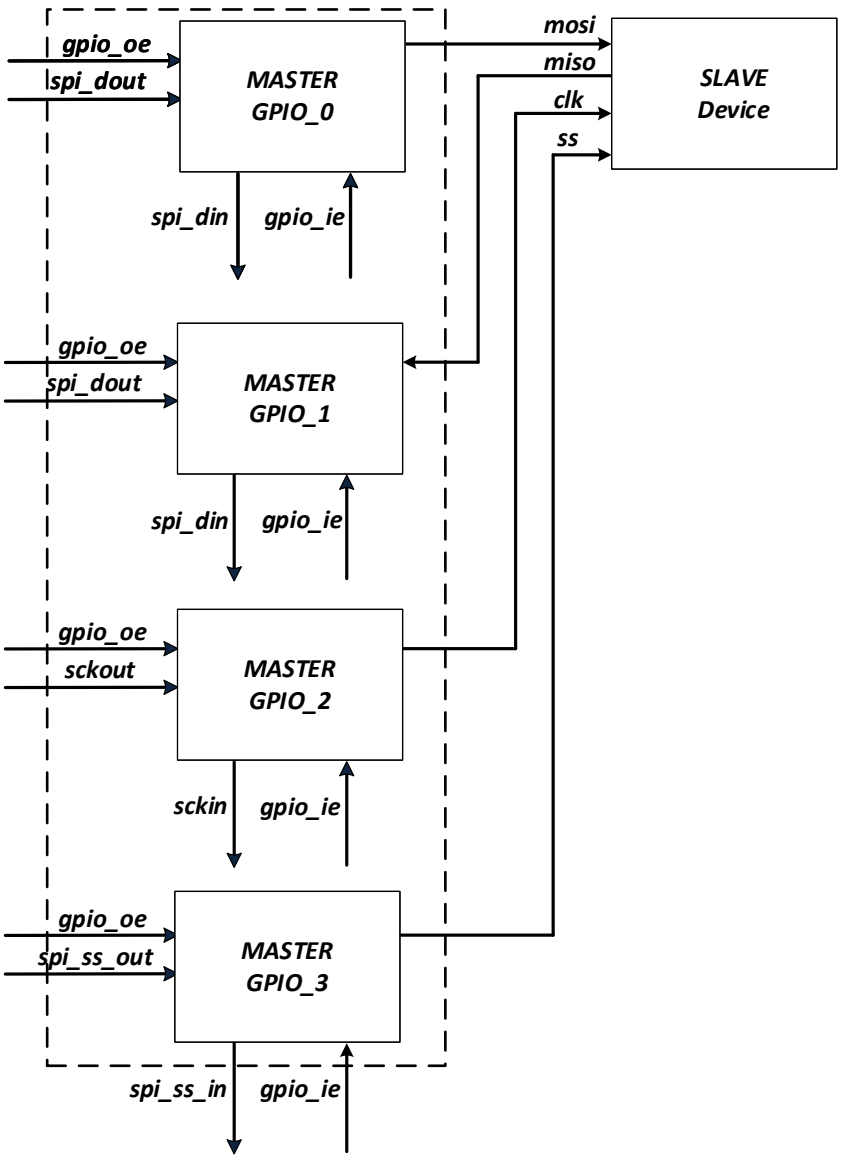


图 8-2a SPI 接口全双工主模式互连框图

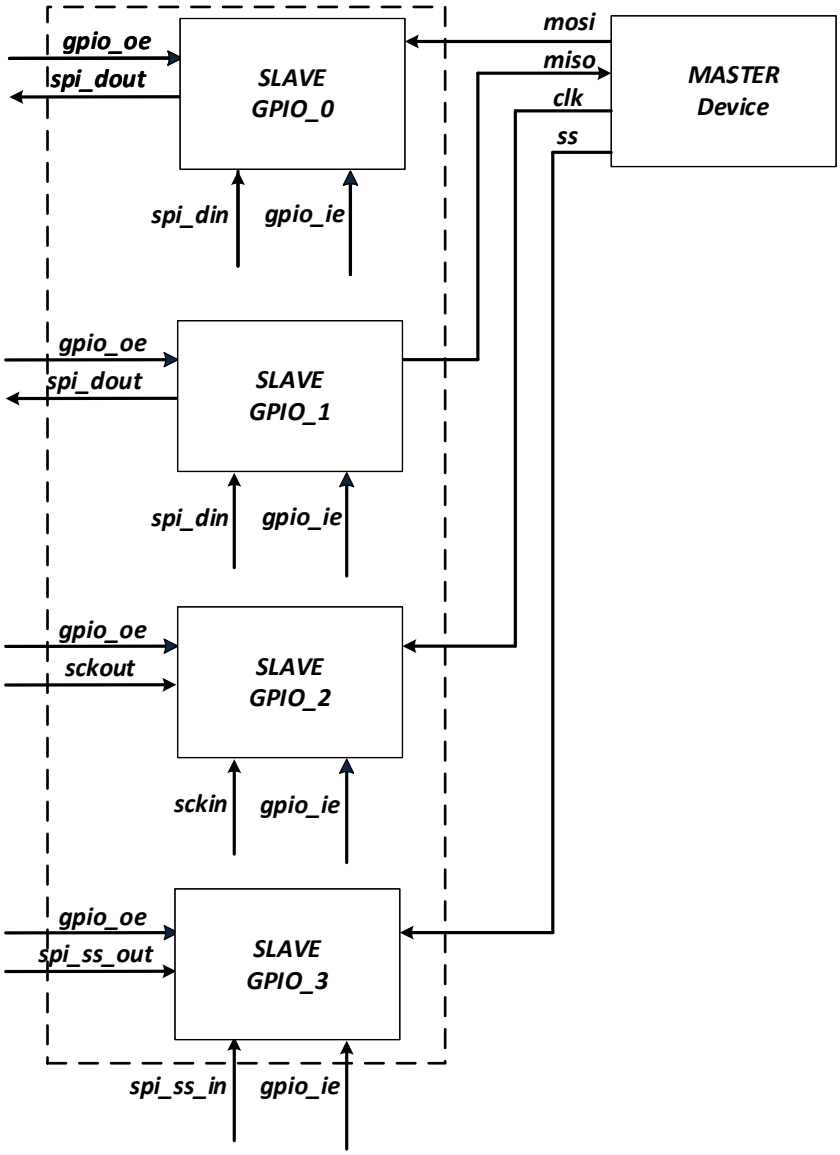


图 8-2b SPI 接口全双工从模式互连框图

从上图可知，GPIO 若配置为输出，则 SPI 接口可发送数据；GPIO 若配置为输入，则 SPI 接口可接收数据。

8.3.2.2 半双工模式

SPI 接口可配置为半双工模式。此时，数据传输只需要一根数据线。数据信号的变化，发生在时钟信号的边沿，即同步于时钟信号。一次传输只能是一个方向的，要不就是发送，要不就是接收。

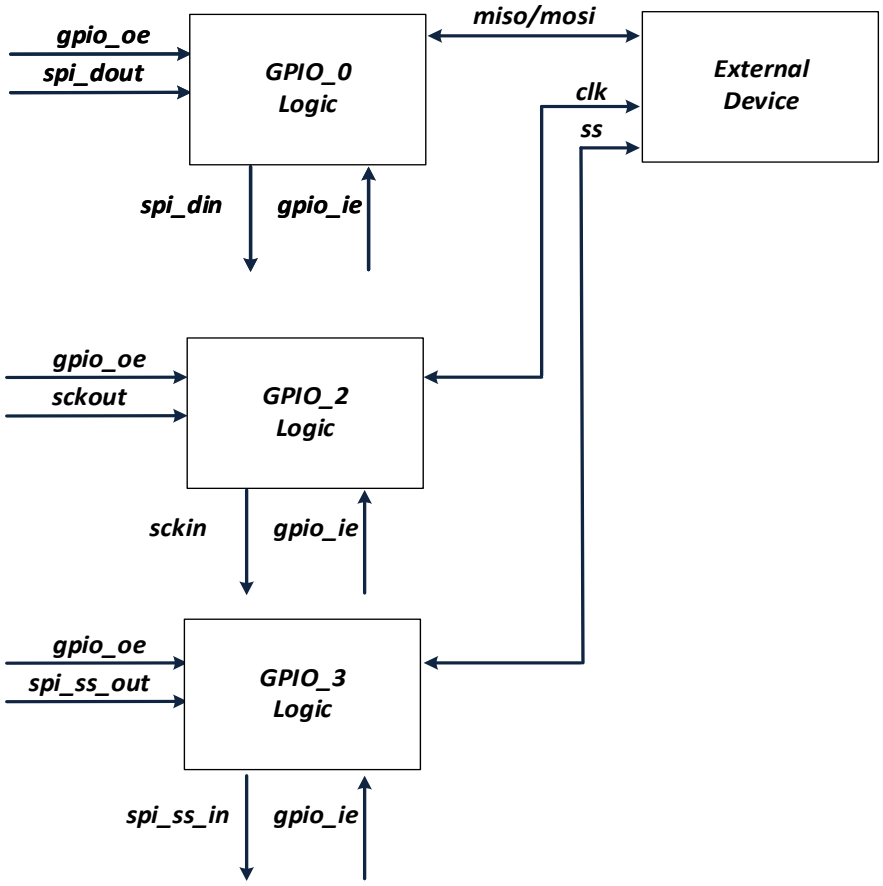


图 8-3 SPI 接口半双工模式互连框图

注意，上图中若本接口做 Master，则 clk 为本接口的输出信号；若本接口做 Slave，则 clk 为本接口的输入信号。

仅发送

SPI_CFG. DUPLEX 配置为 2，半双工发送模式有效。此时，本接口只能发送数据。GPIO_0 的 oe 使能，发送 spi_dout 数据到外界；GPIO_0 的 ie 关闭，spi_din 恒定输入为 0。此模式下，支持 Master/Slave 模式下的发送。

仅接收

SPI_CFG. DUPLEX 配置为 3，半双工接收模式有效。此时，本接口只能接收数据。GPIO_0 的 oe 关闭，spi_dout 无法发送数据到外界；GPIO_0 的 ie 开启，spi_din 接收来自外部的数据。此模式下，支持 Master/Slave 模式下的接收。

注意，全双工下是两个 GPIOx 用于数据传输，半双工下可从中任意选一个 GPIOx 用于数据传输，且半双工模式下，din 与 dout 可通过配置 GPIOx 进行输入/输出互换。

8.3.2.3 片选信号

本接口做 Slave 模式时，片选信号可选，SPI_CFG.CS 决定片选来源。ss 为 Master 设备发出的选通使能信号，低电平有效。

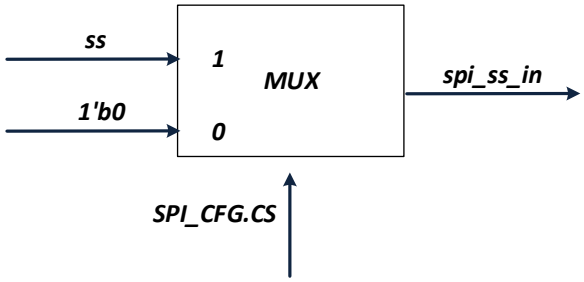


图 8-4 SPI 模块 Slave 模式片选信号选择

本接口做 Master 模式时，片选信号亦可选。模块硬件产生了标准的片选信号，实际应用可屏蔽此信号通过软件操作额外的 GPIO 实现。

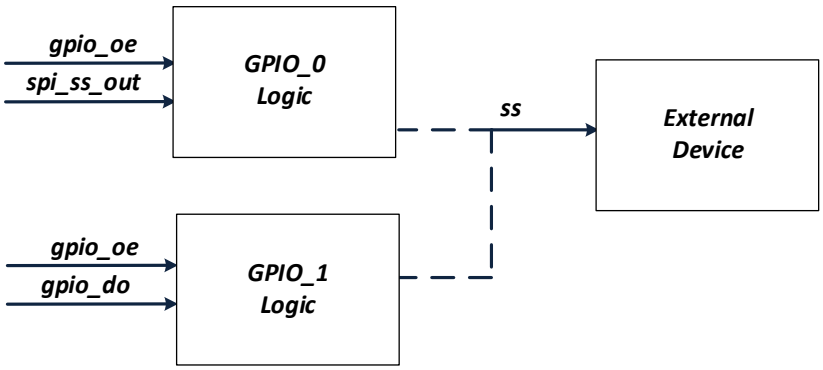


图 8-5 SPI 模块 Master 模式片选信号选择

注意，图 8-5 虚线仅表示不确定。若使用 spi_ss_out 为 ss 的源头，那么将 GPIO_0 同外界设备互连；若使用软件操作 GPIO 的方式，那么可将 GPIO_1 同外界设备互连。

8.3.2.4 通讯格式

在 SPI 通讯过程中，发送或者接收操作均是基于 SPI 时钟的。通讯格式受到 SPI_CFG. SAMPLE 和 SPI_ CLK_POL 控制。SPI_CFG. SAMPLE 为 Phase 控制位，SPI_ CLK_POL 为 Polarity 控制位。

Polarity 控制了 SPI 时钟信号在默认情况下的电平状态。Polarity 为 0 时，默认时钟电平为低电平；Polarity 为 1 时，默认电平为高电平。

Phase 控制了 SPI 数据的发送/接收时刻。Phase 为 0 时，时钟从默认电平到第一个跳变边沿为采样数据时刻，Phase 为 1 时，时钟从默认电平到第一个跳变边沿为发送数据时刻。

（1）当 polarity 为 0 时，默认时钟为低电平，第一个跳变沿为上升沿，此时:

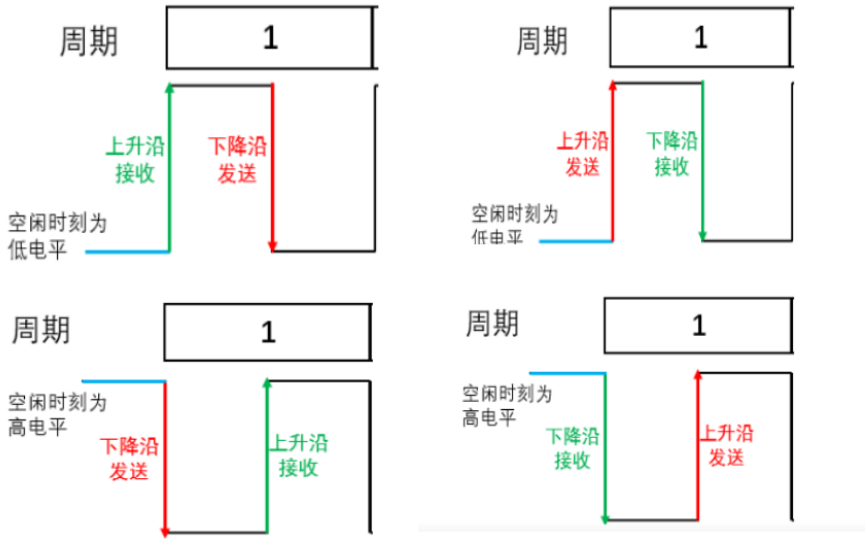
如左上图，当 phase 为 0 时:第一个上升沿为采样数据时刻，第一个下降沿为发送数据时刻；

如右上图，当 phase 为 1 时:第一个上升沿为发送数据时刻，第一个下降沿为采样数据时刻；

（2）当 polarity 为 1 时，默认时钟为高电平，第一个跳变沿为下降沿，此时:

如左下图，当 phase 为 0 时:第一个下降沿为发送数据时刻，第一个上升沿为采样数据时刻；

如右下图，当 phase 为 1 时:第一个下降沿为采样数据时刻，第一个上升沿为发送数据时刻；



8.3.2.5 数据格式及长度

SPI 数据传输格式分成两种:MSB 和 LSB。数据传输格式受到 SPI_CFG.ENDIAN 控制。注意，在数据传输过程中硬件自动实现传输格式的转换，无需软件介入。

SPI 数据长度可配，范围是从 8-Bit 到 16-Bit。SPI_SIZE.BITSIZE 控制长度。

8.3.2.6 DMA 传输

在大容量数据传输应用下，SPI 接口支持 DMA 传输，减轻 MCU 的负担。一次传输，最大传输量为由 DMA 模块决定，最小传输量为 1 字节。在全双工模式下，接收和发送均可实现 DMA 传输；在半双工模式下，仅接收或发送实现 DMA 传输。

在接收到新的数据后，硬件自动产生 DMA 请求，通过 DMA 模块将数据搬移到 RAM 中。在发送新数据前，硬件自动产生 DMA 请求，通过 DMA 模块将数据从 RAM 中搬移到 SPI 接口。因 SPI 无 FIFO，SPI 发送一次 DMA 请求，DMA 只能搬移一个字节数据。**若要实现多字节搬移，DMA 需配置为多轮搬移，每一轮搬移一个字节的方式**。

DMA 传输需要配置 DMA 模块相应寄存器。

因 SPI 接口支持 DMA 传输，也支持 MCU 传输。两者区别在于--DMA 传输，发送的数据来自 DMA 的搬移；MCU 传输，发送的数据来自 MCU 的搬移。

DMA 传输，推荐软件配置流程如下:

- 初始化 DMA 模块，将本次发送的数据来源，接收的数据去向配置好，传输长度配置完毕。
- 初始化 GPIO 模块，将 SPI 复用的 GPIO 配置完毕。
- 初始化 SPI 接口，SPI_IE/SPI_CFG/SPI_BAUD/SPI_SIZE 等寄存器配置完毕。
- 触发 SPI 接口，进入发送/接收状态。触发条件是 MCU 对 SPI_TXDATA 寄存器执行写操作，因最终发送的数据来自 DMA，本次 MCU 写入的数据不会混入 SPI 发送流程。

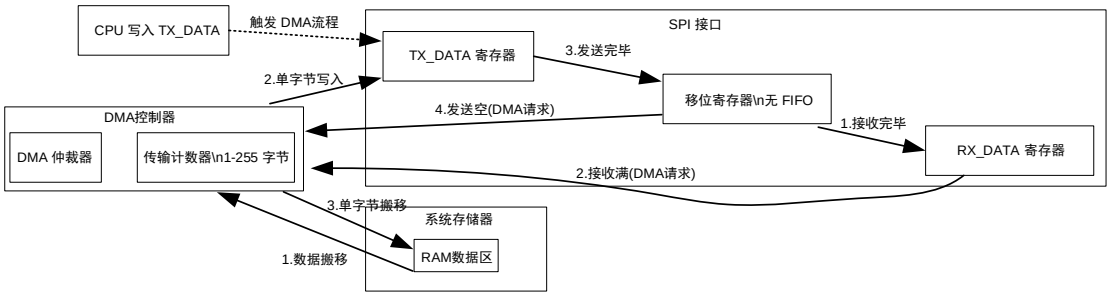


图 8-6 SPI DMA 数据流与握手逻辑框图

8.3.2.7 MCU 传输

一次只能发送/接收一个 SPI_SIZE.BITSIZE 长度的数据，每次完成后需要通过中断或者轮询的方式判断传输是否完成。无论是主模式还是从模式，写 SPI_TXDATA 寄存器，才能触发传输。主模式为主动发送，从模式为加载数据到发送队列等待主模式发出时钟信号，开始传输。推荐软件配置流程如下:

- 初始化 GPIO 模块，将 SPI 复用的 GPIO 配置完毕。
- 初始化 SPI 接口，SPI_IE/SPI_CFG/SPI_BAUD/SPI_SIZE 等寄存器配置完毕。
- MCU 对 SPI_TXDATA 寄存器执行写操作，触发 SPI 接口进入发送流程。从模式下，数据加载到内部状态机等待主设备发起读取操作；主模式下，触发发送。

注意:若需要连续发送，则需要重新配置 SPI_TXDATA 寄存器。通过中断或者轮询方式获得传输完毕信息。

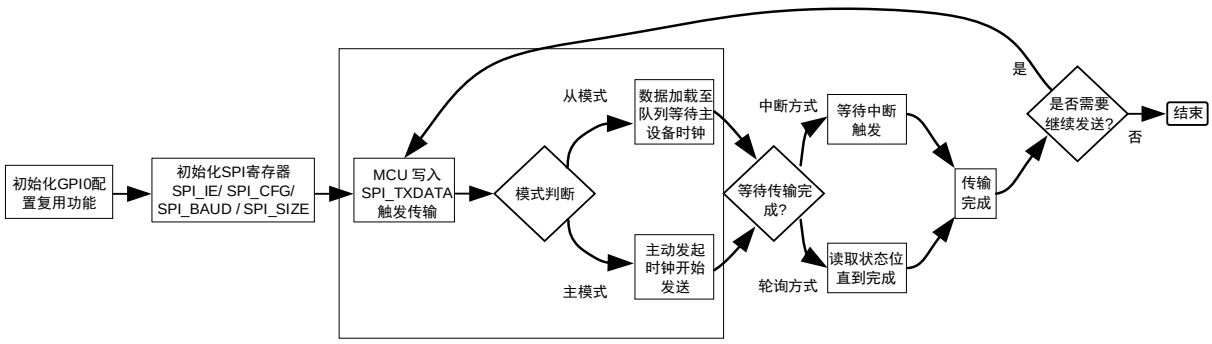


图 8-7 SPI 传输的软件配置与操作流程

8.3.2.8 外部事件传输

在大容量数据传输应用下，SPI 接口支持 DMA 传输。传输过程中，可被打断也可不被打断。所谓打断是指，当前字节传输完成，需等待外部事件才开始下一个字节的传输；不打断是指，当前字节传输完成，直接下一个字节的传输。打断模式需要同其它模块配合使用。例如定时器模块，定时器可触发下一字节的传输。打断模式仅在 Master 模式有效。SPI_IE.TRANS_TRIG 控制了是否使用打断模式。

8.3.2.9 中断处理

SPI 接口包含三种类型的中断事件，分别是:数据传输完成事件，异常事件和溢出事件。

- 数据完成事件，当前数据传输完成。高电平有效，对 SPI_IE. CMPLT_IF 写 1 清除。
- 异常事件，SPI 接口为 Slave 模式，若在传输过程中片选信号受到干扰，被拉高，将产生片选异常事件。高电平有效，对 SPI_IE. AB_IF 写 1 清除。
- 溢出事件，SPI_RX_DATA 寄存器数据没有及时被读走，，将产生溢出事件。高电平有效，对 SPI_IE. OV_IF 写 1 清除。

上述事件，默认是不触发 SPI 中断，可以通过配置 SPI_IE[7:4]使能事件产生中断。

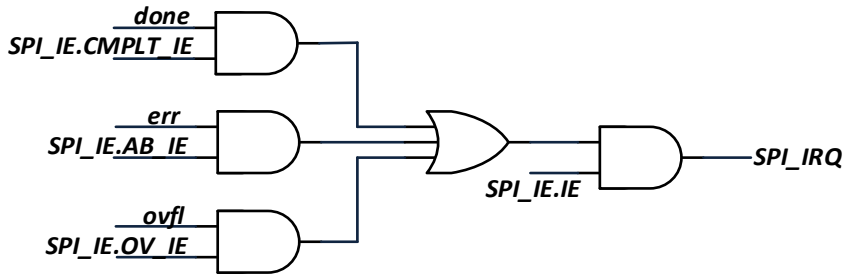


图 8-8 SPI 模块中断选信号产生图

数据传输完毕后，可通过 DMA 中断或者 SPI 自身中断判断结束。

- 发送模式下，DMA 先完成搬移操作，SPI 后发送完毕。SPI 发送完毕，可作为本次传输完成标识。
- 接收模式下，SPI 接收完毕，触发 DMA 搬移。DMA 搬移完成，可作为本次传输完成标识。

溢出事件。在全双工模式下，发送和接收的 DMA 均有效，一般情况下不会发送溢出事件；在半双工模式下，只有发送（或接收），此时硬件屏蔽了接收（或发送）的溢出判断

8.3.2.10 波特率设置

SPI 接口时钟通过对系统时钟分频获得，分频系数来自 SPI_BAUD. BAUD。SPI 传输波特率配置计算公式为:

SPI 传输波特率 = 系统时钟 / (2*(BAUD + 1))

SPI 协议为半拍协议，上升沿发送数据，下降沿采集数据；或者下降沿发送数据，上升沿采样数据。

SPI 接口采用同步设计，需要对外部设备的信号进行同步采样，同步时钟为系统时钟。数据和时钟信号（此时为 Slave 模式）的同步，需要两拍系统时钟。考虑到时钟相位的偏移，此时需要一拍系统时钟的冗余，由此推导出最快的 SPI 传输波特率为系统时钟的 1/8，高电平周期为四拍系统时钟，低电平周期为四拍系统时钟。因此，SPI_BAUD.BAUD 的配置值不能小于 3。

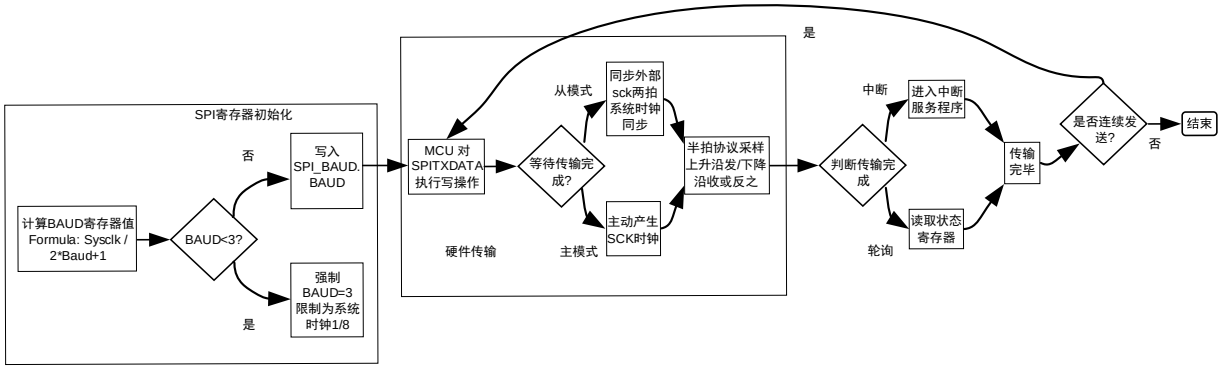


图 8-9 SPI 工作原理

8.4 寄存器

8.4.1 地址分配

SPI 模块寄存器的基地址是 0x4001_0000，模块寄存器列表如下。

表 8-1 SPI 模块控制寄存器列表

名称	偏移	说明
SPI0_CFG	0x00	SPI 配置寄存器
SPI0_IE	0x04	SPI 中断寄存器
SPI0_BAUD	0x08	SPI 波特率寄存器
SPI0_TXDATA	0x0C	SPI 发送数据寄存器
SPI0_RXDATA	0x10	SPI 接收数据寄存器
SPI0_SIZE	0x14	SPI 传输数据长度寄存器

8.4.2 SPI0_CFG SPI 控制寄存器

地址:0x4001_0000

复位值:0x0024

表 8-2 系统控制寄存器 SPI_CFG

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									DUPLEX	CS	MS	CPHA	CPOL	ENDIAN	EN
									RW	RW	RW	RW	RW	RW	RW
									0	1	0	0	1	0	0

位置	位名称	说明
[31:8]		未使用

[7:6]	DUPLEX	半双工模式设置 0X:关闭半双工模式 10:开启半双工模式，仅发送 11:开启半双工模式，仅接收
[5]	CS	SPI 从设备下，片选信号来源。默认值为 1。 0:Slave 模式下，片选信号恒为有效值--0 1:Slave 模式下，片选信号来自 Master 设备
[4]	MS	SPI 主从模式选择。默认值为 0。 0:Slave 模式 1:Master 模式
[3]	CPHA	SPI 相位选择。默认值为 0。 0:Phase 为 0 1:Phase 为 1
[2]	CPOL	SPI 极性选择。默认值为 0。 0:Polarity 为 0 1:Polarity 为 1
[1]	ENDIAN	SPI 模块传输顺序。默认值为 0。 0:MSB，高位先传输 1:LSB，低位先传输
[0]	EN	SPI 模块使能信号。默认值为 0。 0:关闭 SPI 模块 1:开启 SPI 模块

8.4.3 SPI0_IE SPI 中断寄存器

地址:0x4001_0004

复位值:0x0

表 8-3 SPI_IE 中断寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								IE	CMPLT_IE	AB_IE	OV_IE	TRANS_TRIG	CMPLT_IF	AB_IF	OV_IF
								RW	RW	RW	RW	RW	RW	RW	RW
								0	0	0	0	0	0	0	0

位置	位名称	说明
[31:8]		未使用
[7]	IE	SPI 中断使能开关。默认值为 0。 0:关闭 SPI 中断 1:使能 SPI 中断
[6]	CMPLT_IE	SPI 传输，完成事件中断使能信号。 0:屏蔽此中断源 1:使能此中断源

[5]	AB_IE	SPI 传输，异常事件中断使能信号。 0:屏蔽此中断源 1:使能此中断源
[4]	OV_IE	SPI 传输，溢出事件中断使能信号。默认值为 0。 0:屏蔽此中断源 1:使能此中断源
[3]	TRANS_TRIG	传输触发选择。 1:外部触发 0:内部自动执行。仅主模式有效
[2]	CMPLT_IF	SPI 传输，完成事件。高电平有效，写 1 清除。
[1]	AB_IF	SPI 传输，异常事件。Slave 模式下，传输未完成，发生片选信号无效事件。高电平有效，写 1 清除。
[0]	OV_IF	SPI 传输，溢出事件。前次接收的旧数据没有被取得走，本次接收的新数据已经到达。 高电平有效，写 1 清除。

8.4.4 SPI0_BAUD SPI 波特率寄存器

地址:0x4001_0008

复位值:0x0

表 8-4 SPI_BAUD 控制寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRANS_MODE				BAUD											
RW				RW											
0				0											

位置	位名称	说明
[31:9]		未使用
[15]	TRANS_MODE	SPI 数据搬移方式。默认为 0，DMA 方式。 0:SPI 接口支持 DMA 搬移数据到 SPI 接口，完成发送和接收。 1:SPI 接口支持 MCU 搬移数据到 SPI 接口，完成发送和接收。
[14:12]		未使用
[11:0]	BAUD	SPI 传输波特率配置，SPI 实际传输速度计算公式为: SPI 传输速度 = 系统时钟 / (2*(BAUD + 1)) 切记，BAUD 的配置值不能小于 3。

8.4.5 SPI0_TXDATA SPI 数据发送寄存器

地址:0x4001_000C

复位值:0x0

表 8-5 SPI_TXDATA 数据发送寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TX_DATA															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	TX_DATA	SPI 数据发送寄存器

8.4.6 SPI0_RXDATA SPI 数据接收寄存器

地址:0x4001_0010

复位值:0x0

表 8-6 SPI_RXDATA 数据接收寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RX_DATA															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	RX_DATA	SPI 数据接收寄存器

8.4.7 SPI0_SIZE SPI 数据传输长度寄存器

地址:0x4001_0014

复位值:0x0

表 8-7 SPI_SIZE 数据传输长度寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											BITSIZE				
											RW				
											0				

位置	位名称	说明
[31:5]		未使用
[4:0]	BITSIZE	字节长度寄存器。

		0x00:非法值 0x07:非法值 0x08:8-Bit 0x09:9-Bit … 0x0E:14-Bit 0x0F:15-Bit 0x10:16-Bit

9 I2C

9.1 概述

I2C 总线接口连接微控制器和串行 I2C 总线。它提供多主机功能，控制所有 I2C 总线特定的时序、协议、仲裁和定时。支持标准和快速两种模式。

9.2 主要特性

- 多主机功能:该模块既可做主设备也可做从设备。

  I2C 主设备功能:产生时钟、START 和 STOP 事件。

  I2C 从设备功能:可编程的 I2C 硬件地址比较（仅支持 7 位硬件地址）、停止位检测。
- 根据系统分频，实现不同的通讯速度。
- 状态标志:发送器/接收器模式标志、字节发送结束标志、I2C 总线忙标志。
- 错误标志:主模式时的仲裁丢失、地址/数据传输后的应答(ACK)错误、检测到错位的起始或停止条件。
- 一个中断向量，包含五个中断源:总线错误中断源、完成中断源、NACK 中断源、硬件地址匹配中断源和传输完成中断源。
- 具单字节缓冲器的 DMA。

9.3 功能描述

9.3.1 功能框图

本接口采用同步串行设计，实现 MCU 同外部设备之间的 I2C 传输。支持轮询和中断方式获得传输状态信息。本接口的主要功能模块如下图所示。

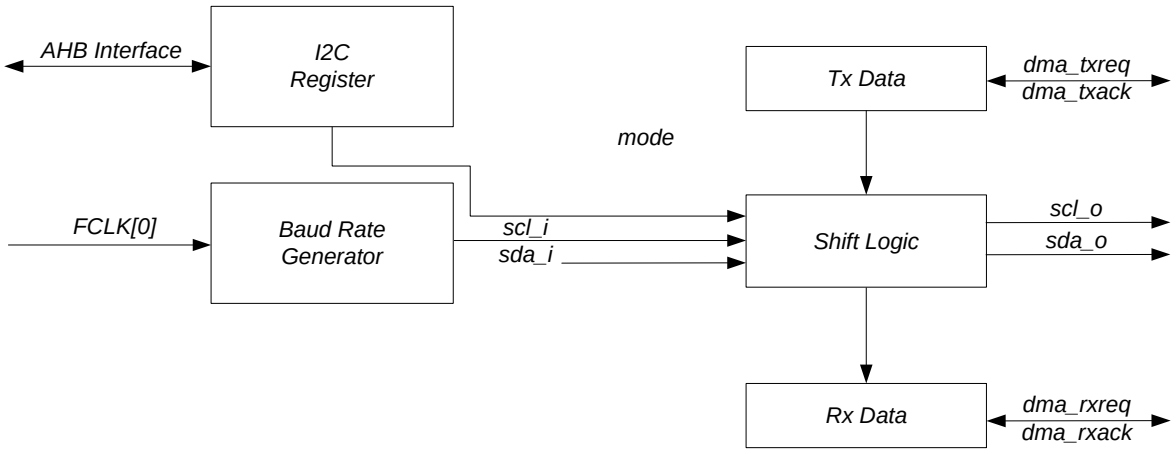


图 9-1I2C 模块顶层功能框图

I2C 接口同外界通讯只有 SCL 和 SDA 两根信号线。SDA 为双向复用信号线，受到 sda_oe 控制。模块级，I2C 接口信号包括，scl_i，sda_i，scl_o，sda_o 和 sda_oe。

scl_i:时钟信号。当 I2C 接口配置为从模式时，此为 I2C 总线的时钟输入信号。

sda_i:数据信号。当 I2C 接口接收数据时（无论主模式还是从模式），此为 I2C 总线的数据输入信号。

scl_o:时钟信号。当 I2C 接口配置为主模式时，此为 I2C 总线的时钟输出信号。

sda_o:数据信号。当 I2C 接口发送数据时（无论主模式还是从模式），此为 I2C 总线的数据输出信号。

sda_oe:数据使能信号。当 sda_o 输出时，sda_oe 有效；当 sda_i 输入时，sda_oe 无效。

9.3.2 功能说明

I2C 模块接收和发送数据，并将数据从串行转换成并行，或并行转换成串行。可以开启或禁止中断。接口通过数据引脚(SDA)和时钟引脚(SCL)连接到 I2C 总线。

9.3.2.1 模式选择

接口可以下述 4 种模式中的一种运行:

- 从发送模式
- 从接收模式
- 主发送模式
- 主接收模式

I2C 接口默认主从均不使能。接口根据配置情况，进入主模式或者从模式。当仲裁丢失或产生停止信号时，主模式自动释放总线并产生相应异常中断。允许多主机功能。

主模式时，I2C 接口启动数据传输并产生时钟信号。串行数据传输总是以起始条件开始并以停止条件结束。起始条件和停止条件都是在主模式下由软件控制产生。

从模式时，I2C 接口能识别它自己的地址(7 位)。软件能够控制开启或禁止硬件地址比较功能，硬件地址比较功能可降低 MCU 的负担。只有地址匹配才通知 MCU 进行相关处理。

数据和地址按 8 位/字节进行传输，高位在前。跟在起始条件后的 1 个字节是地址。地址只在主模式发送。

在一个字节传输的 8 个时钟后的第 9 个时钟期间，接收器必须回送一个应答位(ACK)给发送器。

软件可以开启或禁止应答(ACK)，并可以设置 I2C 接口的地址。

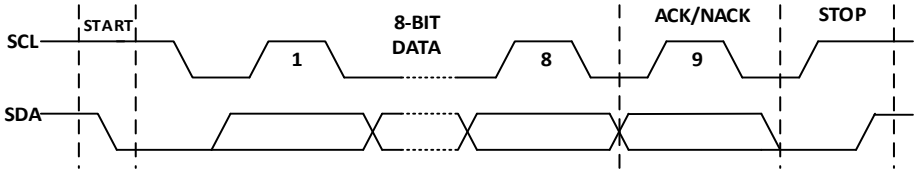


图 9-2 基本 I2C 传输时序图

I2C 接口没有 FIFO，若一次性发送大量数据，为了降低 MCU 的负担，需 DMA 配合。I2C 接口支持 DMA 传输（多字节传输）和非 DMA 传输（单字节传输）。上述四种传输模式进一步扩展为:

- 从模式单字节发送，从模式 DMA 发送
- 从模式单字节接收，从模式 DMA 接收
- 主模式单字节发送，主模式 DMA 发送
- 主模式单字节接收，主模式 DMA 接收

一般情况下，非 DMA 方式时，一次传输一个字节（可反复单次传输，需软件介入提供数据）。DMA 方式，一次连续传输可以多字节（最大不超过 32 字节，极端情况一次传输一个字节，因无 FIFO，每次 DMA 请求，仅传输一个字节，多轮完成本次数据传输）。

上述所有模式，遵循如下基本原则:

- 单字节发送，中断将在 8-bit 数据发送完毕且收到响应后（ACK/NACK 均可）产生。
- 单字节接收，中断将在 8-bit 数据接收完毕后产生。
- DMA 发送，正常情况下，中断将在数据发送完毕且收到响应后（ACK/NACK 均可）产生。
- DMA 接收，正常情况下，中断将在数据接收完毕后产生。
- 当 I2C 接口配置为主模式时，检测到错误后，I2C 接口会主动释放总线，恢复到起始状态并产生中断信号。

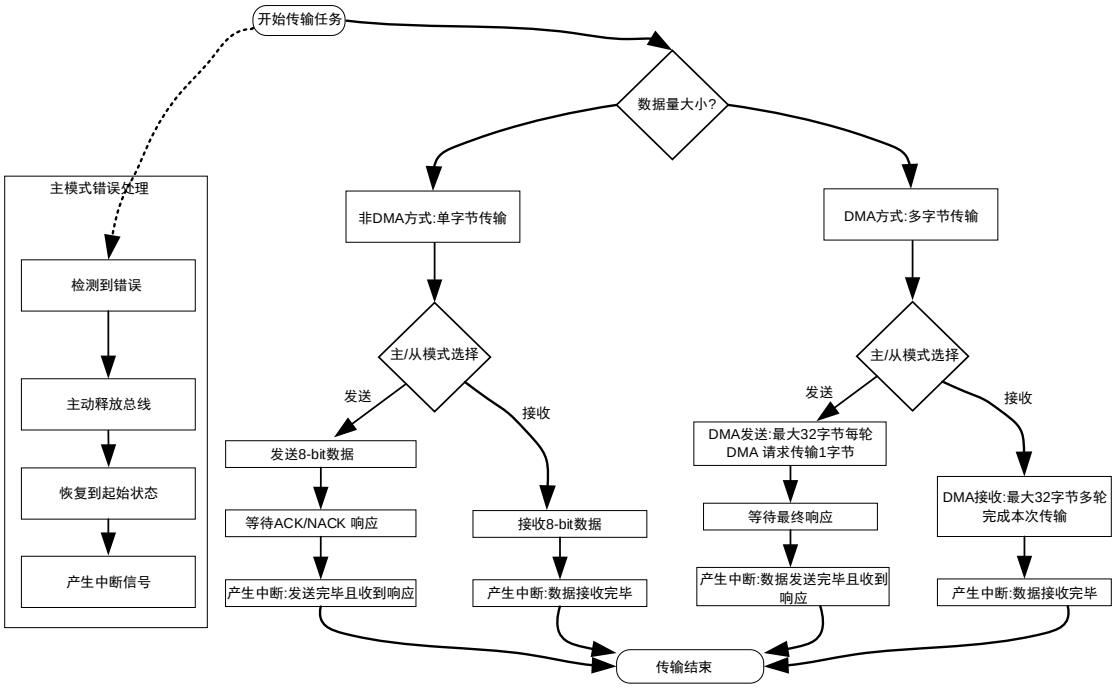


图 9-3 I2C 传输模式决策与执行流程图

9.3.2.2 从模式

默认情况下，I2C 接口主模式和从模式均关闭。若工作在从模式，需使能从模式。为了产生正确的时序，必须通过系统寄存器 SYS_CLK_DIV0 设定 I2C 接口的工作时钟频率，I2C 接口时钟基于系统高速主时钟进行分频，SYS_CLK_DIV0 是 I2C 接口工作时钟的分频系数。

- 从模式下，I2C 接口时刻在监控总线上的信号。一旦检测到起始条件，其将保存地址位数据和读写位数据。
- 从模式下，若硬件地址匹配功能开启，只有地址匹配的情况下，才会产生中断，通知 MCU 进行后续处理。若没有开启，每次收到地址及读写位数据，都将产生中断。
- 从模式下，单字节接收模式。每次收到一个字节的数据后，产生中断，此时 I2C 接口可拉低 SCL，直至中断完成，继续后续操作。
- 从模式下，单字节发送模式。每次发送一个字节完毕后且收到响应（ACK/NACK），产生中断，此时 I2C 接口可拉低 SCL，直至中断完成，继续后续操作。
- 从模式下，DMA 接收模式。每次收到 SIZE 约定后的数据，产生中断，此时 I2C 接口可拉低 SCL，直至中断完成。
- 从模式下，DMA 发送模式。每次发送 SIZE 约定后的数据并收到响应（ACK/NACK），产生中断，此时 I2C 接口可拉低 SCL，直至中断完成。

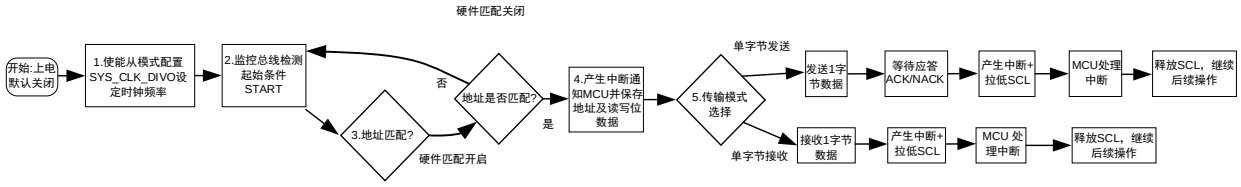


图 9-4 I2C 从模式工作流程图

9.3.2.2.1 从模式传输

单字节传输，并不意味着仅仅传输一个字节数据，其含义为每次传输完一个字节的数据后，将产生中断判断是否还要继续传输。单字节传输的极端情况是仅传输一个字节的数据。下图为单字节传输的总线示意图。从图可知，一般单字节传输的流程如下:

- 地址匹配，产生地址匹配中断，准备开始传输。
- 若是接收模式，一个字节接收完毕后，产生中断，软件判断是否继续接收，返回 ACK/NACK 响应。
- 若是发送模式，一个字节发送完毕后，等待响应（ACK/NACK），产生中断，根据响应判断后续操作。
- 获得总线 STOP 事件，本次传输完成。

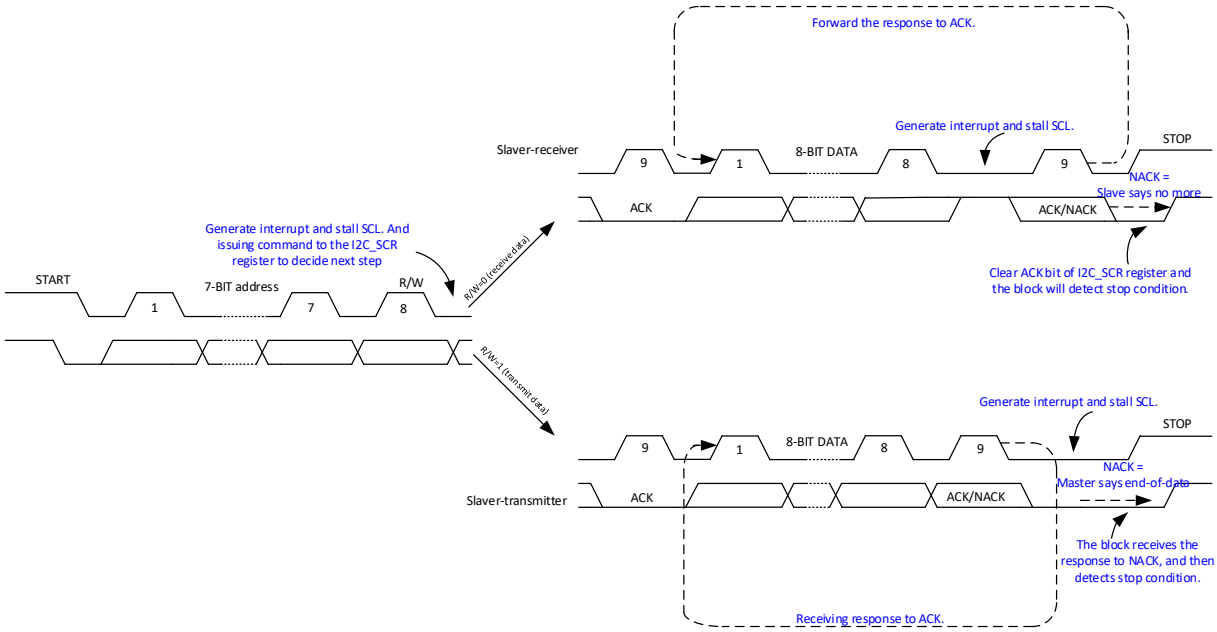


图 9-5 从模式传输示意图

9.3.2.2.2 从模式发送

地址匹配后，从发送器将字节从 I2C_DATA 寄存器经由内部移位寄存器发送到 SDA 线上。在 I2C_DATA 数据没有准备好之前，从设备可拉底 SCL，直到待发送数据已写入 I2C_DATA 寄存器。I2C 接口在发送完毕每个字节后都执行下列操作:

- 如果接收到 ACK 位，装载下一个字节数据，继续传输。装载过程中，可拉底 SCL。
- 如果接收到 NACK 位，停止下一个字节的装载。
- 等待 STOP 事件，停止本次传输。

9.3.2.2.3 从模式单字节接收

地址匹配后，从接收器将通过内部移位寄存器从 SDA 线接收到的数据存入 I2C_DATA 寄存器。I2C 接口在接收到每个字节后都执行下列操作:

- 如果设置了 ACK 位，在一个字节接收完毕后，产生一个 ACK 应答脉冲。
- 如果清除了 ACK 位，在一个字节接收完毕后，产生一个 NACK 应答脉冲。
- 等待 STOP 事件，结束本次传输。

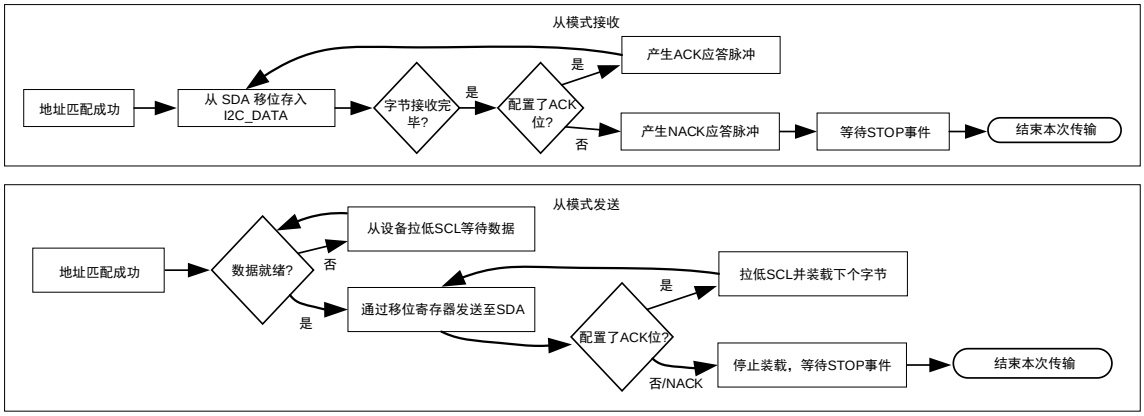


图 9-6 I2C 从模式（发送/接收/DMA）的逻辑流程图

9.3.2.3 从模式 DMA 传输

从模式下，一般仅配置 I2C 时钟、从地址以及硬件地址匹配使能，等待总线有访问请求后，根据芯片实际情况决定是否响应本次传输请求。DMA 传输，其含义为每次传输多个字节的数据后，将产生中断判断是否还要继续传输。DMA 传输的极端情况是仅传输一个字节的数据。DMA 传输，一般建议开启硬件地址比较功能，NACK 中断，传输完成中断。一般 DMA 传输的流程如下:

- 配置 I2C 从地址，使能 I2C 中断（可使能硬件地址比较中断）。地址匹配，产生 I2C 地址匹配中断，在中断处理函数中，配置 DMA，准备好发送数据或者准备好接收地址。然后写 I2C_SCR，准备开始传输或者停止本次传输。
- 若是接收模式，I2C_BSIZE.BURST_SIZE 约定的字节接收完毕后，产生中断，软件判断是否继续接收，返回 ACK/NACK 响应。
- 若是发送模式，I2C_BSIZE.BURST_SIZE 约定的字节发送完毕后，等待响应（ACK/NACK），产生中断，根据响应判断后续操作。
- 获得总线完成标志，本次传输完成。

9.3.2.3.1 从模式 DMA 发送

地址匹配后，配置完毕 DMA。通过发送 DMA 请求，将字节从 RAM 搬移到 I2C_DATA 寄存器，然后经由内部移位寄存器发送到 SDA 线上。在 I2C_DATA 数据没有准备好之前，从设备可拉底 SCL，直到待发送数据已写入 I2C_DATA 寄存器。从模式下发送数据，需要软件协助触发第一次 DMA 搬移，配置 I2C_BCR.BYTE_CMPLT 为 1 即可。I2C 接口在发送完毕 I2C_BSIZE.BURST_SIZE 约定的字节数据后都执行下列操作:

- 如果接收到 ACK 位，配置 DMA，准备下一批数据，继续传输。准备过程中，可拉低 SCL。
- 如果接收到 NACK 位，停止准备下一批数据，停止本次传输。

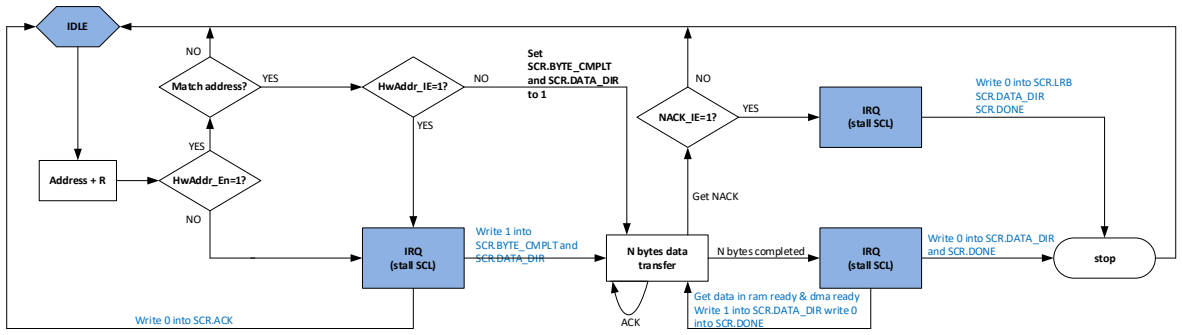


图 9-7 从模式下多字节发送示意图

9.3.2.3.2 从模式 DMA 接收

地址匹配后，配置好 DMA，从 SDA 线接收到的数据先存入 I2C_DATA 寄存器，然后通过 DMA 搬移到 RAM。I2C 接口在接收到一个字节后都将执行 DMA 请求。完成 I2C_BCR.BURST_SIZE 约定的数据传输后，执行下列操作:

- 如果设置了 ACK 位，在 I2C_BCR.BURST_SIZE 约定数据接收完毕后，产生一个 ACK 应答脉冲。
- 如果清除了 ACK 位，在 I2C_BCR.BURST_SIZE 约定数据接收完毕后，产生一个 NACK 应答脉冲。

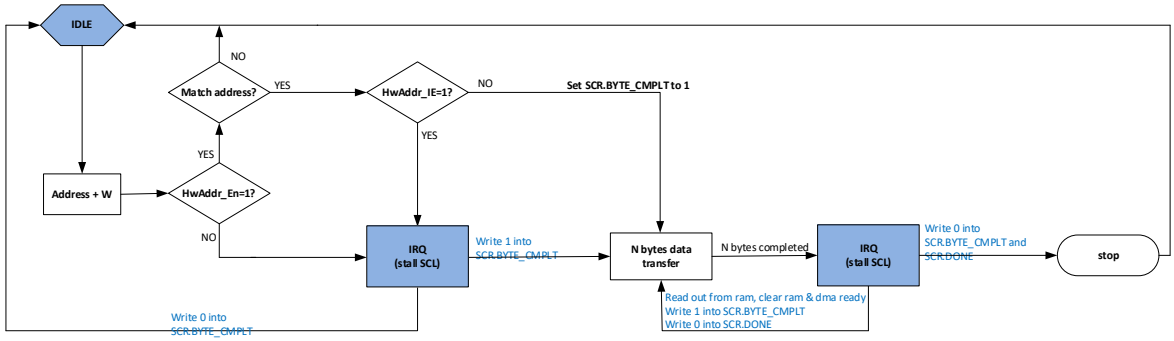


图 9-8 从模式下多字节接收示意图

9.3.2.4 主模式

默认情况下，I2C 接口主模式和从模式均关闭。若工作在主模式，需使能主模式。为了产生正确的时序，必须在系统寄存器 CLK_DIV0 中设定 I2C 接口的工作时钟。

I2C 接口执行主模式传输之前，需要判断总线是否空闲。可读取 I2C_MSCR 寄存器的 BIT3，查询当前总线状态。若总线处于忙的状态，可以开启 I2C 中断，通过收到 STOP 中断事件判断总线是否空闲下来。只有空闲状态下，才能正常发送 START 状态，以及后续的数据。

9.3.2.4.1 主模式单字节传输

单字节传输，并不意味着仅仅传输一个字节数据，其含义为每次传输完一个字节的数据后，将产生中断判断是否还要继续传输。单字节传输的极端情况是仅传输一个字节的数据。图 6 为单字节传输的总线示意图。从图可知，一般单字节传输的流程如下:

- 判断总线是否空闲，若空闲，准备开始传输。
- 若是接收模式，一个字节接收完毕后，产生中断，软件判断是否继续接收，返回 ACK/NACK 响应。
- 若是发送模式，一个字节发送完毕后，等待响应（ACK/NACK），产生中断，根据响应判断后续操作。
- 发送总线 STOP 事件，本次传输完成。

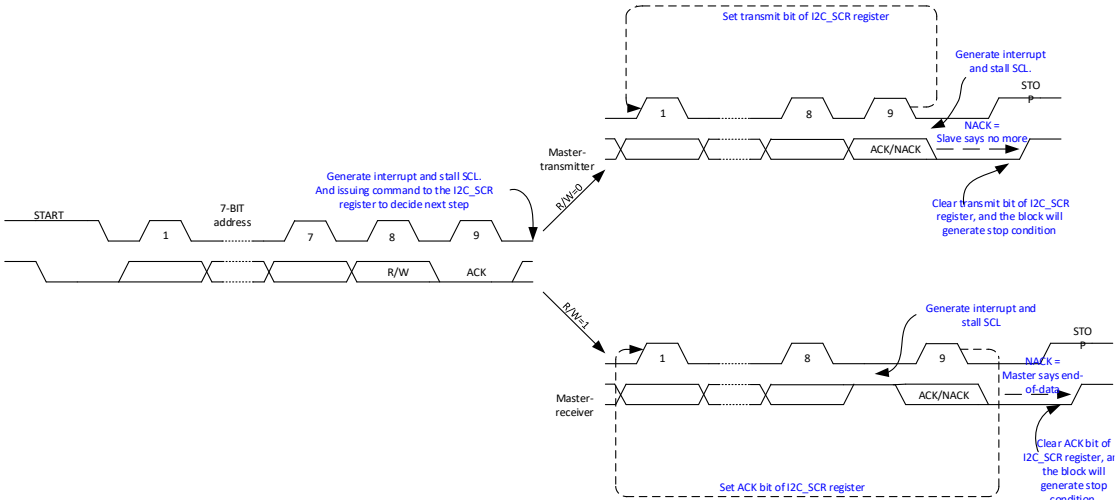


图 9-9 主模式下单字节传输示意图

9.3.2.4.2 主模式单字节发送

开始传输后，I2C 接口将字节从 I2C_DATA 寄存器经由内部移位寄存器发送到 SDA 线上。在 I2C_DATA 数据没有准备好之前，主设备可不产生 SCL 时钟信号，直到待发送数据已写入 I2C_DATA 寄存器。I2C 接口在发送完毕每个字节后都执行下列操作:

- 如果接收到 ACK 位，装载下一个字节数据，继续传输。装载过程中，可拉底 SCL。
- 如果接收到 NACK 位，停止下一个字节的装载。
- 产生 STOP 事件，结束本次传输。

9.3.2.4.3 主模式单字节接收

开始传输后，I2C 接口将通过内部移位寄存器从 SDA 线接收到的数据存入 I2C_DATA 寄存器。I2C 接口在接收到每个字节后都执行下列操作:

- 如果设置了 ACK 位，在一个字节接收完毕后，产生一个 ACK 应答脉冲。
- 如果清除了 ACK 位，在一个字节接收完毕后，产生一个 NACK 应答脉冲。
- 产生 STOP 事件，结束本次传输。

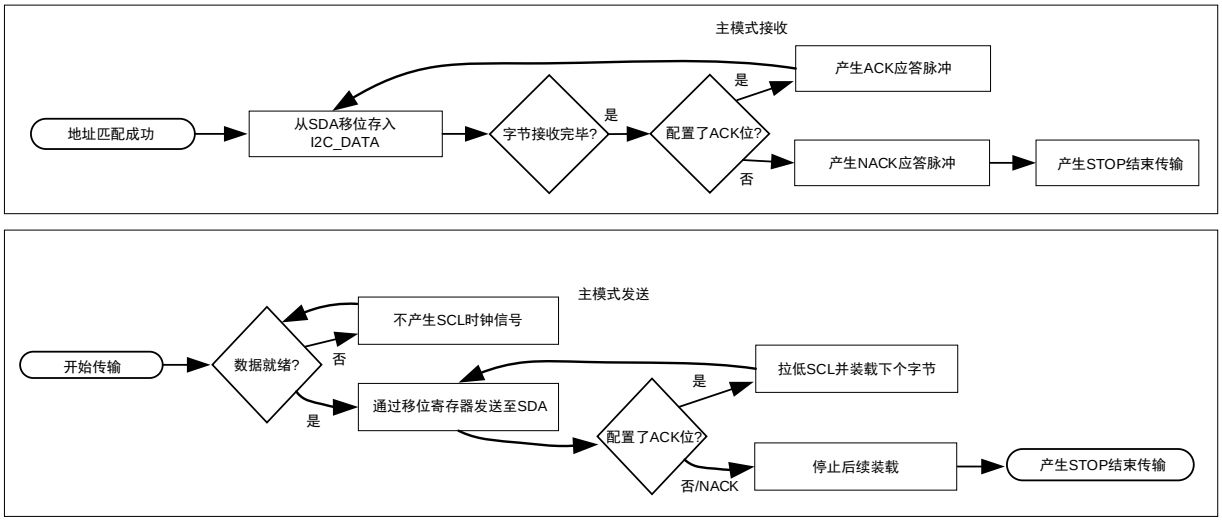


图 9-10 I2C 主模式发送和接收的逻辑流程图

9.3.2.4.4 主模式 DMA 传输

DMA 传输，其含义为每次传输多个字节的数据后，将产生中断判断是否还要继续传输。DMA 传输的极端情况是仅传输一个字节的数据。DMA 传输，一般建议开启 NACK 中断，传输完成中断。一般 DMA 传输的流程如下:

- 总线空闲，准备开始传输。
- 若是接收模式，I2C_BCR.BURST_SIZE 约定的字节接收完毕后，产生中断，软件判断是否继续接收，返回 ACK/NACK 响应。
- 若是发送模式，I2C_BCR.BURST_SIZE 约定的字节发送完毕后，等待响应（ACK/NACK），产生中断，根据响应判断后续操作。
- 发送 STOP 事件，本次传输完成。

9.3.2.4.5 主模式 DMA 发送

总线空闲，配置完毕 DMA。通过发送 DMA 请求，将字节从 RAM 搬移到 I2C_DATA 寄存器，然后经由内部移位寄存器发送到 SDA 线上。在 I2C_DATA 数据没有准备好之前，主设备可不产生 SCL 时钟，直到待发送数据已写入 I2C_DATA 寄存器。I2C 接口在发送完毕 SIZE 约定的字节数据后都执行下列操作:

- 如果接收到 ACK 位，配置 DMA，准备下一批数据，继续传输。准备过程中，可拉低 SCL。
- 如果接收到 NACK 位，停止加载下一批数据。

- 如果本次数据发送完毕，停止后续发送。
- 产生 STOP 事件，停止本次传输。

异常情况是:

- 若从设备地址不匹配或者从设备没有准备好，此时从设备将返回 NACK
- 主设备产生 STOP 事件，停止本次传输。

等待一段时间后，重新配置 I2C 寄存器，关闭 DMA 对应的通道使能信号，重新配置 DMA 寄存器，再次发送传输请求。关闭 DMA 对应通道是因为 I2C 有预取，DMA 已经不是初始状态。

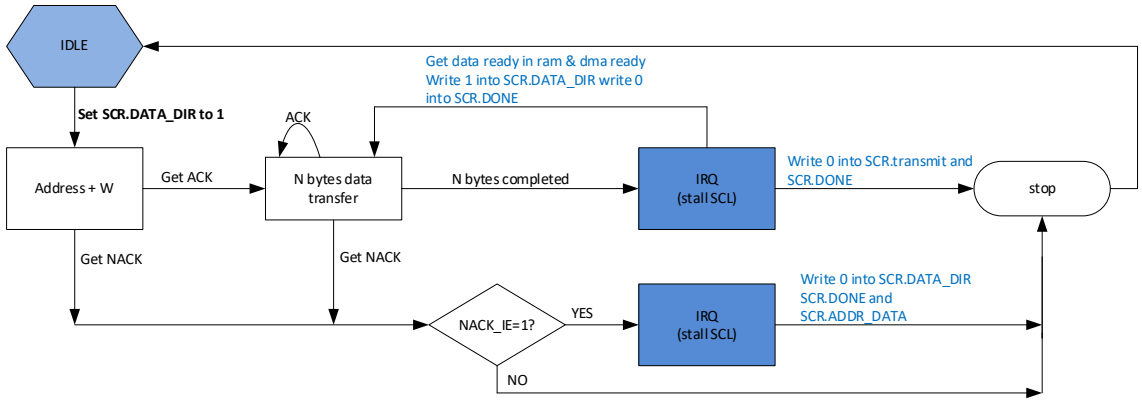


图 9-11 主模式下多字节发送示意图

9.3.2.4.6 主模式 DMA 接收

总线空闲，配置好 DMA 从 SDA 线接收到的数据先存入 I2C_DATA 寄存器，然后通过 DMA 搬移到 RAM。I2C 接口在接收到一个字节后都将执行 DMA 请求。完成 I2C_BCR.BURST_SIZE 约定的数据传输后，执行下列操作:

- 如果设置了 ACK 位，在 I2C_BCR.BURST_SIZE 约定数据接收完毕后，产生一个 ACK 应答脉冲。
- 如果清除了 ACK 位，在 I2C_BCR.BURST_SIZE 约定数据接收完毕后，产生一个 NACK 应答脉冲。
- 产生 STOP 事件，停止本次传输。

异常情况是:

- 若从设备地址不匹配或者从设备没有准备好，此时从设备将返回 NACK。
- 主设备产生 STOP 事件，停止本次传输。

等待一段时间后，重新配置 I2C 寄存器，再次发送传输请求。因为上一次没有收到有效数据，

DMA 并没有任何动作，所以不用重置 DMA。

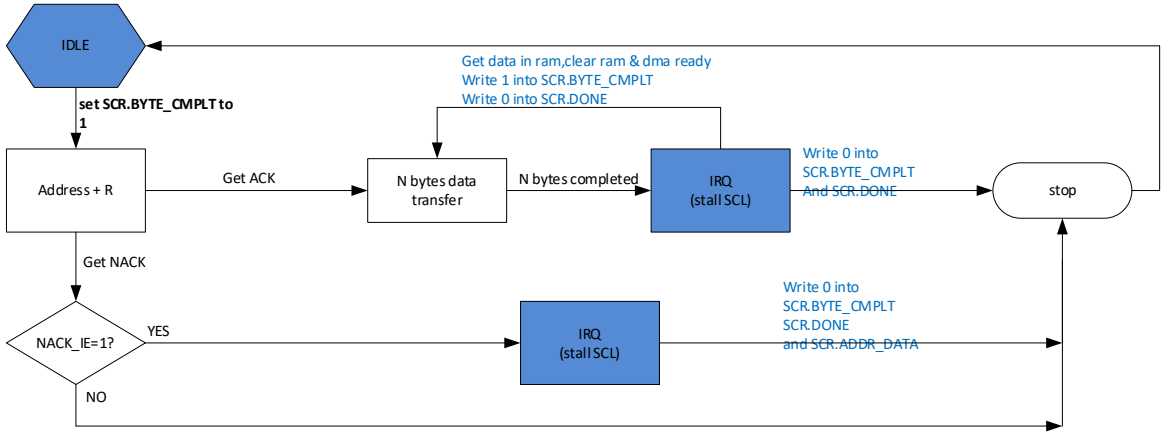


图 9-12 主模式下多字节接收示意图

9.3.2.5 DMA 传输

在大容量数据传输应用下，I2C 接口支持 DMA 传输，减轻 MCU 的负担。一次传输，最大传输量为 32 字节，最小传输量为 1 字节。因 I2C 无 FIFO，I2C 发送一次 DMA 请求，DMA 只能搬移一个字节数据。若要实现多字节搬移，DMA 需配置为多轮搬移，每一轮搬移一个字节的方式。

在接收到新的数据后，硬件自动产生 DMA 请求，通过 DMA 模块将数据搬移到 RAM 中。在发送新数据前，硬件自动产生 DMA 请求，通过 DMA 模块将数据从 RAM 中搬移到 I2C 接口。

DMA 传输需要配置 DMA 模块相应寄存器。

因 I2C 接口支持 DMA 传输，也支持 MCU 传输。两者区别在于 DMA 传输，发送的数据来自 DMA 的搬移；MCU 传输，发送的数据来自 MCU 的搬移。

DMA 传输，推荐软件配置流程如下:

- 初始化 DMA 模块，将本次发送的数据来源，接收的数据去向配置好，传输长度配置完毕。
- 初始化 GPIO 模块，将 I2C 复用的 GPIO 配置完毕。
- 初始化 I2C 接口，I2C_CFG/I2C_BCR/I2C_BSIZE 等寄存器配置完毕。
- 主模式下，触发 I2C 接口，进入发送状态；从模式下，等待主发送传输请求。

若 I2C 接口为从发送模式，需要考虑预取，I2C_BCR. SLV_DMA_PREF 为预取开关。一般从模式传输的时候，可以开启硬件地址比较(I2C_ADDR. ADDR_CMP)，可选择是否开启硬件地址比较中断使能(I2C_BCR. BURST_ADDR_CMP)。

- 开启硬件地址比较中断，从设备收到的地址同自身匹配成功后，会产生中断。通知软件此时主设备请求获得从设备数据，软件判断是否接收，若接收就回 ACK，软件需要 I2C_BCR. SLV_DMA_PREF 置 1，协助硬件预取第一次传输的数据；否则就回 NACK。

关闭硬件地址比较中断，一旦总线上出现 START 事件，从设备硬件预取第一次传输数据，无论从设备是否地址匹配成功。匹配成功，也不会产生地址匹配中断，直接开始数据传输。匹配不成功，

从设备不会传输数据。此时，若匹配不成功，因为 I2C 有预取的操作，为后续匹配成功后传输正常，需要对 DMA 进行清除操作

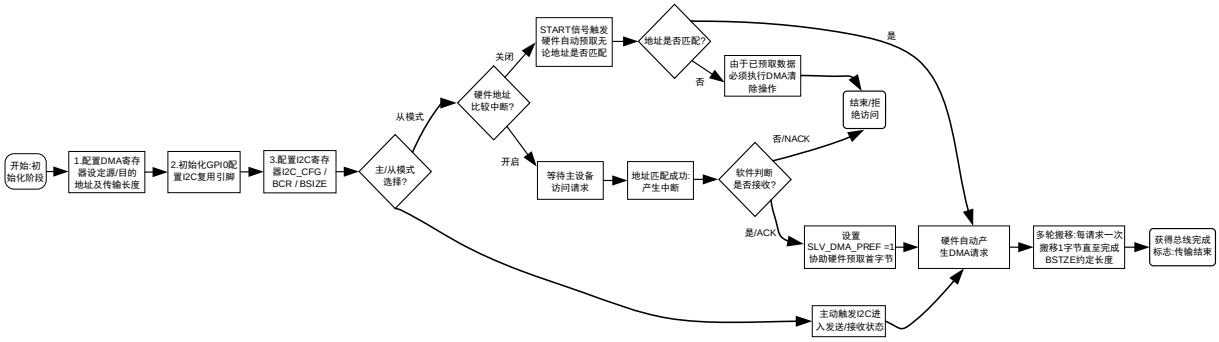


图 9-13 I2C 接口在大容量数据传输下的 DMA 配置与执行逻辑流程图

9.3.2.6 I2C 总线异常处理

在一个地址或数据字节传输期间，当 I2C 接口检测到一个外部的停止或起始条件则产生总线错误。一般而言，产生总线错误是由于总线上有干扰、某些 I2C 设备没有同步于本 I2C 网络自行发送了 START 事件/STOP 事件。根据 I2C 协议规定，发生总线错误的时候，在收到 START 事件/STOP 事件后要重置本 I2C 设备的接口逻辑。对于从设备而言，这个操作是没有问题的；对于主设备而言，总线错误强行要求其释放总线并重置其 I2C 接口逻辑。因为主设备是不响应外部 START 和 STOP 事件的，发生总线错误后，需要中断处理函数处理本次异常，并指导主设备继续监视总线情况，以便后续执行 I2C 总线传输。

本 I2C 接口。主模式下，总线错误可被检测到同时总线错误中断也会产生；从模式下，总线错误将触发地址数据被接收，同时让 I2C 接口恢复空闲状态并产生中断。

9.3.2.7 中断处理

I2C 接口包含三种类型的中断事件，分别是:数据传输完成事件，总线错误事件、STOP 事件、NACK 事件和硬件地址匹配事件。

- 数据完成事件。当前数据传输完成，高电平有效，对 I2C_SCR.Done 写 0 清除。
- 总线错误事件。传输过程中，总线产生错误的 START 事件/STOP 事件，高电平有效，对 I2C_SCR.STT_ERR 写 0 清除。
- STOP 事件。当前数据传输完成，主设备发送 STOP 事件，从设备收到 STOP 事件并产生相应中断。高电平有效，对 I2C_SCR.STOP_EVT 写 0 清除。
- NACK 事件。发送端接收到 NACK 响应，表明接收端无法继续后续传输。高电平有效，对 I2C_SCR.RX_ACK 写 0 清除。
- 硬件地址匹配事件。从模式下接收到的地址同本设备地址匹配，产生相应中断。高电平有效，对 I2C_SCR.ADDR_DATA 写 0 清除。

9.3.2.8 通讯速度设置

I2C 接口的工作时钟来自系统时钟的分频，分频寄存器为 SYS 模块的 CLK_DIV0。

I2C 接口采用同步设计，需要对外部设备的信号进行同步采样，同步时钟为 I2C 接口工作时钟。数据和时钟信号的时钟频率为接口工作时钟/16。

- I2C 模块工作时钟频率 = 系统频率 / (CLK_DIV0 + 1)
- I2C 波特率 = I2C 模块工作时钟频率 / 17

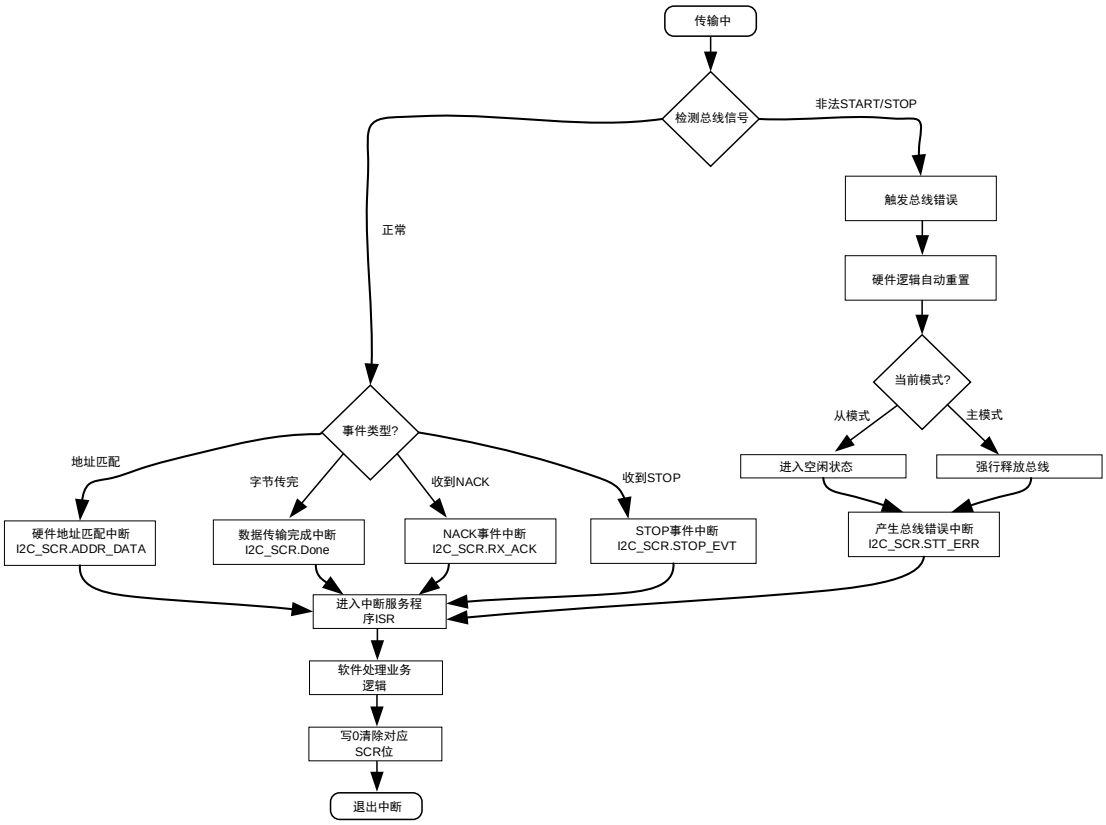


图 9-14 I2C 总线错误处理及中断管理流程图

9.4 寄存器

9.4.1 地址分配

I2C 模块寄存器的基地址是 0x4001_0100，寄存器列表如下:

表 9-1 I2C 寄存器地址分配表

名称	偏移	说明
I2C0_ADDR	0x00	I2C 地址寄存器

I2C0_CFG	0x04	I2C 配置寄存器
I2C0_SCR	0x08	I2C 状态寄存器
I2C0_DATA	0x0C	I2C 数据寄存器
I2C0_MSCR	0x10	I2C 主模式寄存器
I2C0_BCR	0x14	I2C 传输控制寄存器
I2C0_BSIZE	0x18	I2C 传输长度寄存器

9.4.2 I2C0_ADDR 地址寄存器

地址:0x4001_0100

复位值:0x0

表 9-2 地址寄存器 I2C0_ADDR

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								ADDR_CMP	ADDR						
								RW	RW						
								0	0						

位置	位名称	说明
[31:8]		未使用
[7]	ADDR_CMP	I2C 硬件地址比较使能开关，默认值为 0。 0:关闭 1:开启
[6:0]	ADDR	主模式下，用于配置需要进行通信的从机地址； 从模式下，用于配置该节点的从机地址；

9.4.3 I2C0_CFG 系统控制寄存器

地址:0x4001_0104

复位值:0x0

表 9-3 系统控制寄存器 I2C_CFG

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								IE	TC_IE	BUS_ERR_IE	STOP_IE			MST_MODE	SLV_MODE
								RW	RW	RW	RW			RW	RW
								0	0	0	0			0	0

位置	位名称	说明
[31:8]		未使用
[7]	IE	I2C 中断使能信号。默认值为 0。

		1:使能 I2C 中断 0:关闭 I2C 中断
[6]	TC_IE	I2C 数据传输完成中断使能信号。默认值为 0。 1:使能此中断源 0:屏蔽此中断源
[5]	BUS_ERR_IE	I2C 总线错误事件中断使能信号。默认值为 0。 1:使能此中断源 0:屏蔽此中断源
[4]	STOP_IE	I2CSTOP 事件中断使能信号。默认值为 0。 1:使能此中断源 0:屏蔽此中断源
[3:2]		NA
[1]	MST_MODE	I2C 主模式使能信号。默认值为 0。 1:使能主模式 0:关闭主模式
[0]	SLV_MODE	I2C 从模式使能信号。默认值为 0。 1:使能从模式 0:关闭从模式

9.4.4 I2C0_SCR 状态控制寄存器

地址:0x4001_0108

复位值:0x0

表 9-4 状态控制寄存器 I2C_SCR

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								STT_ERR	LOST_ARB	STOP_EVT	BYTE_CMPLT	ADDR_DATA	DATA_DIR	RX_ACK	Done
								RW	RW	RW	RW	RW	RW	RW	RW
								0	0	0	0	0	0	0	0

位置	位名称	说明
[31:8]		未使用
[7]	STT_ERR	总线错误状态标志位，用于主模式发送/主模式接收，写 0 清除。 0:无 START/STOP 总线错误 1:有 START/STOP 总线错误
[6]	LOST_ARB	总线仲裁丢失状态标志位，用于主模式发送/主模式接收，发生总线仲裁丢失事件将此位置 1，无中断事件产生，在字节完成中断中需查此位。 总线上任何 START 事件将导致硬件清除此位。

		0:无总线仲裁丢失错误发生 1:有总线仲裁丢失错误发生
[5]	STOP_EVT	STOP 事件状态标志位，用于主模式发送/从模式发送/主模式接收/从模式接收。写 0 清除。 0:无 STOP 事件 1:有 STOP 事件
[4]	BYTE_CMPLT	下一字节 ACK 位。若作为发送方，无须配置此位。若作为接收方（主/从模式接收）， 0:字节接收完成，向发送方返回 NACK，表示我方不能接收更多数据 1:字节接收完成，向发送方返回 ACK，表示我方可以继续接收数据
[3]	ADDR_DATA	地址字节标志位，用于从模式。START 后，从机收到的第一个字节为地址字节，此位是状态位。写 0 清除。 0:收到的不是地址字节。 1:收到的是地址字节。
[2]	DATA_DIR	发送或接收控制位，主模式发送/从模式发送，此位置 1，触发发送，硬件自动清零；主模式接收/从模式接收，此位置 0，等待接收。 0:接收 1:触发发送
[1]	RX_ACK	接收响应标志位，用于主模式发送/从模式发送。此位是我方作为发送方，收到的接收方反馈。我方收到此反馈后，可对该位写 0 来执行清零操作。 0:发送数据后，接收到 ACK 响应。 1:发送数据后，接收到 NACK 响应。
[0]	Done	传输完成状态标志位，用于主模式发送/从模式发送/主模式接收/从模式接收。写 0 清除。 0:传输未完成 1:传输已完成

一般，进入中断后，需读取 I2C_SCR 寄存器，获得当前 I2C 总线状态及当前传输处于什么阶段；然后，对 I2C_SCR 进行写操作，写入不同的值，软件通知硬件下一步如何处理。

9.4.5 I2C0_DATA 数据寄存器

地址:0x4001_010C

复位值:0x0

表 9-5 数据寄存器 I2C_DATA

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								DATA							
								RW							
								0							

位置	位名称	说明
[31:8]		未使用
[7:0]	DATA	数据寄存器，用于主模式发送/从模式发送/主模式接收/从模式接收。发送方，写入发送数据；接收方，读取接收数据。注意，地址数据也是数据，主模式只能将要发送地址数据写入此寄存器。

9.4.6 I2C0_MSCR 主模式寄存器

地址:0x4001_0110

复位值:0x0

表 9-6 主模式寄存器 I2C_MSCR

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												BUSY	MST_CHECK	RESTART	START
												RW	RW	RW	RW
												0	0	0	0

位置	位名称	说明
[31:4]		未使用
[3]	BUSY	I2C 总线，闲忙状态。 0:空闲。 1:忙碌。
[2]	MST_CHECK	主模式争抢总线标志位。争抢到总线，置 1；STOP 事件或者发生总线冲突本模块释放总线，置 0。
[1]	RESTART	再次触发 START 事件，写 1 有效。发送 START 完毕，硬件清 0。I2C_CFG[1]置 1，才能实现写 1 操作。
[0]	START	触发 START 事件并发送地址数据至总线，写 1 有效。I2C_CFG[1]置 1，才能实现写 1 操作。

9.4.7 I2C0_BCR I2C 传输控制寄存器

地址:0x4001_0114

复位值:0x0

表 9-7 DMA 传输控制寄存器 I2C_BCR

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

	BURST_NACK	BURST_ADDR_CMP	BUSRT_EN	SLV_DMA_PREF	
	RW	RW	RW	RW	
	0	0	0	0	

位置	位名称	说明
[31:8]		未使用
[7]	BURST_NACK	I2C 传输，NACK 事件中断使能信号。 1:使能此中断源 0:屏蔽此中断源
[6]	BURST_ADDR_CMP	I2C 传输，硬件地址匹配中断使能信号。 1:使能此中断源 0:屏蔽此中断源
[5]	BUSRT_EN	I2C 多数据传输使能，需要采用 DMA 方式。 1:使能 0:关闭
[4]	SLV_DMA_PREF	I2C 多数据传输。从模式执行 DMA 方式发送，触发硬件预取第一个字节。硬件自动清零。 1:使能 0:关闭

9.4.8 I2C0_BSIZE I2C 传输长度寄存器

地址:0x4001_0118

复位值:0x0

表 9-8 DMA 传输长度寄存器 I2C_BSIZE

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											SIZE				
											RW				
											0				

位置	位名称	说明
[31:8]		未使用
[4:0]	SIZE	I I2C 数据传输长度寄存器，用于多字节传输。 实际传输字节数 = B[3:0] + 1

10 CMP

10.1 概述

比较器信号处理模块(以下简称CMP模块，为便于区分后续图示中模拟比较器使用Comparator表示，数字比较器信号处理模块使用 CMP 表示)，用于处理 2 个模拟轨到轨比较器产生的输出信号，由一系列使能、极性控制、滤波等数字电路组成。信号处理时钟由系统主时钟分频得到，此模块也用于向 CPU 产生比较器中断。

CMP0/1 可以使用 MCPWM 的 4 路 P 通道进行开窗控制。

模拟比较器未经滤波的原始输出值，可以通过读取 CMP_DATA 值获得。同时模拟比较器未经滤波的原始输出值也可以通过配置 GPIO 的第二功能送出，具体 GPIO 第二功能配置及引进位置，请参考器件 datasheet。

关于模拟比较器的更多说明，包括其输入端信号的选择，迟滞的配置，请参考章节 5.1.6。

10.2 寄存器

10.2.1 地址分配

CMP 模块寄存器的基地址是 0x4001_0200，寄存器列表如下:

表 10-1 比较器寄存器列表

名称	偏移地址	说明
CMP_IE	0x00	比较器中断使能寄存器
CMP_IF	0x04	比较器中断标志寄存器
CMP_TCLK	0x08	比较器分频时钟控制寄存器
CMP_CFG	0x0C	比较器控制寄存器
CMP_BLCWIN	0x10	比较器开窗控制寄存器 0
CMP_DATA	0x14	比较器输出数值寄存器

10.2.2 CMP_IE 中断使能寄存器

地址:0x4001_0200

复位值:0x0

表 10-2 CMP_IE 比较器中断使能寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						CMP1_RE	CMP0_RE							CMP1_IE	CMP0_IE
						RW	RW							RW	RW

	0	0		0	0

位置	位名称	说明
[31:10]		未使用
[9]	CMP1_RE	比较器 1 DMA 请求使能，高有效
[8]	CMP0_RE	比较器 0 DMA 请求使能，高有效
[7:2]		未使用
[1]	CMP1_IE	比较器 1 中断使能，高有效
[0]	CMP0_IE	比较器 0 中断使能，高有效

10.2.3 CMP_IF 中断标志寄存器

地址:0x4001_0204

复位值:0x0

表 10-3 CMP_IF 比较器中断标志寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														CMP1_IF	CMP0_IF
														RW	RW
														0	0

位置	位名称	说明
[31:2]		未使用
[1]	CMP1_IF	比较器 1 中断标志，高有效，写 1 清零
[0]	CMP0_IF	比较器 0 中断标志，高有效，写 1 清零

当使能 CMP DMA 请求时，即 CMP_IE.CMPx_RE=1，在 DMA 收到相应请求并开始进行数据搬移时，DMA 自动将对应的 CMPx_IF 位清除，不再需要软件清除。

10.2.4 CMP_TCLK 分频时钟控制寄存器

地址:0x4001_0208

复位值:0x0

表 10-4 CMP_TCLK 比较器分频时钟控制寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
					COMM_DIV										
					RW										
					3'h4										

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

FIL1_CLK_DIV16	CLK1_EN	FIL1_CLK_DIV2	FIL0_CLK_DIV16	CLK0_EN	FIL0_CLK_DIV2
RW	RW	RW	RW	RW	RW
0	0	0	0	0	0

位置	位名称	说明
[31:27]		未使用
[26:24]	COMM_DIV	比较器 0/1 共用滤波时钟分频系数，影响进入比较器中断的时间，最大支持到 4
[23:16]		未使用
[15:12]	FIL1_CLK_DIV16	比较器 1 滤波时钟分频，基于 MCLK 进行 1~16 分频，影响进入比较器中断的时间
[11]	CLK1_EN	比较器 1 滤波时钟使能，高有效
[10:8]	FIL1_CLK_DIV2	比较器 1 滤波时钟分频 0:1 分频 1:2 分频 2:4 分频 3:8 分频 4:16 分频 5:32 分频, 6:64 分频 7:128 分频
[7:4]	FIL0_CLK_DIV16	比较器 0 滤波时钟分频，基于 MCLK 进行 1~16 分频，影响进入比较器中断的时间
[3]	CLK0_EN	比较器 0 滤波时钟使能，高有效
[2:0]	FIL0_CLK_DIV2	比较器 0 滤波时钟分频 0:1 分频 1:2 分频 2:4 分频 3:8 分频 4:16 分频 5:32 分频, 6:64 分频 7:128 分频

以比较器 0 为例，CMP0 滤波时间宽度使用如下公式进行计算

滤波时间宽度= Period(FCLK)*(2$^{(COMM_DIV+CMP_TCLK.FIL0_CLK_DIV2)}$*(CMP_TCLK.FIL0_CLK_DIV16+1)-1)，其中 FCLK 为 CMP 模块的主时钟，受 SYS_CLK_FEN 控制。需要注意的是，产生 CMP 滤波时钟需要使能 CMP_TCLK.CLK_EN 位。

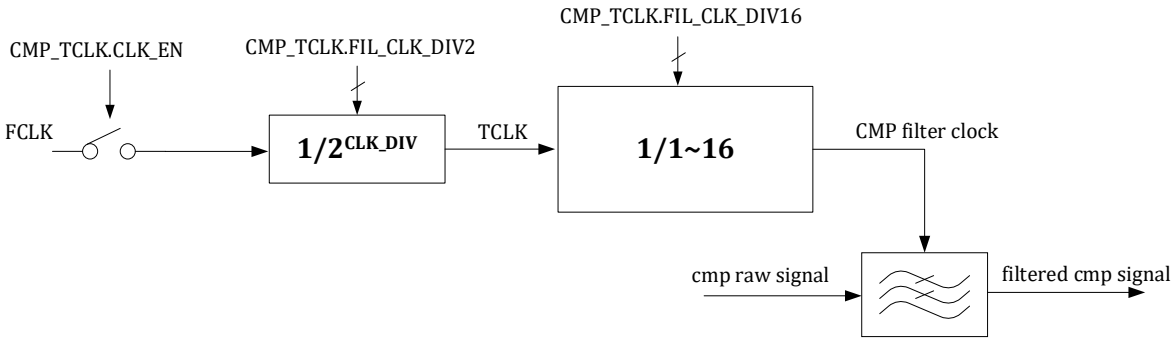


图 10-1 比较器滤波时钟产生

CMP 模块使用此滤波时钟对模拟比较器的输出信号进行滤波，即只有信号稳定时间超过设定的滤波时间宽度才能通过滤波器，CMP 模块输出的滤波后的信号才会发生变化，并产生相应中断。如果输入信号稳定时间不足滤波时间宽度即发生变化，则 CMP 模块输出的滤波后的信号维持原值不变。

因为滤波时钟可以进行分频，因此 CMP 信号的滤波宽度范围是 0~128*16*16-1 个总线周期，即 1~32767 个系统主时钟周期。

10.2.5 CMP_CFG 控制寄存器

地址:0x4001_020C

复位值:0x0

表 10-5 CMP_CFG 比较器控制寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								CMP1_W_PWM_POL	CMP1_IRQ_TRIG	CMP1_IN_EN	CMP1_POL	CMP0_W_PWM_POL	CMP0_IRQ_TRIG	CMP0_IN_EN	CMP0_POL
								RW	RW	RW	RW	RW	RW	RW	RW
								0	0	0	0	0	0	0	0

位置	位名称	说明
[31:8]		未使用
[7]	CMP1_W_PWM_POL	比较器 1 开窗 PWM 信号极性选择，在 CMP_BLCWIN1 使能情况下使用
[6]	CMP1_IRQ_TRIG	比较器 1 中断触发类型，0:电平触发，1:边沿触发
[5]	CMP1_IN_EN	比较器 1 信号输入使能
[4]	CMP1_POL	比较器 1 极性选择，0:高电平有效；1:低电平有效
[3]	CMP0_W_PWM_POL	比较器 0 开窗 PWM 信号极性选择，在 CMP_BLCWIN0 使能情况下使用
[2]	CMP0_IRQ_TRIG	比较器 0 中断触发类型，0:电平触发，1:边沿触发
[1]	CMP0_IN_EN	比较器 0 信号输入使能
[0]	CMP0_POL	比较器 0 极性选择，0:高电平有效；1:低电平有效

比较器的极性及使能控制如图 10-2 所示。

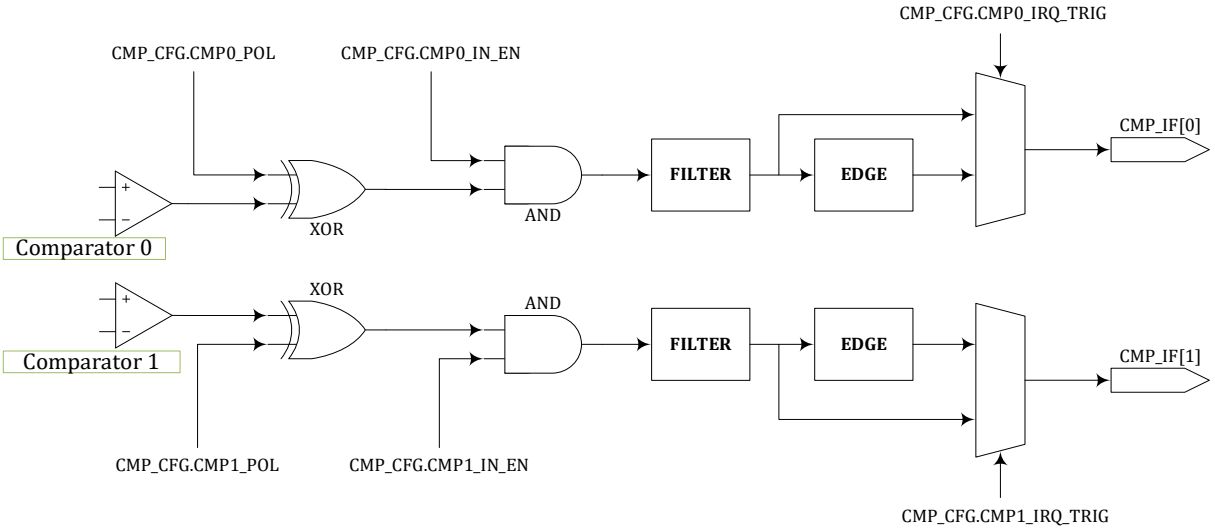


图 10-2 比较器控制及中断产生逻辑

比较器 0 和比较器 1 可以与 MCPWM 模块联合动作，其中 MCPWM 模块的 P 管控制信号可以作为比较器开窗的控制信号。但比较器自身的中断信号产生与开窗控制无关，仅仅受 CMP_CFG 寄存器影响。比较器 2 不支持开窗控制。

MCPWM 的 fail 信号可以来自 GPIO，也可以来自比较器模块，使用 MCPWM0_CH_FAIL 寄存器进行控制。如果 MCPWM 的 fail 信号来自比较器，则是经过比较器模块内部的开窗控制的。fail 信号进入 MCPWM 后也会进行极性使能以及滤波等处理，与比较器模块的实现类似，但完全独立，由 MCPWM 内部的寄存器进行控制。MCPWM 内部与 fail 相关的错误中断信号产生收到 MCPWM 内部有关极性使能滤波控制寄存器的影响。具体请参考 MCPWM 章节。

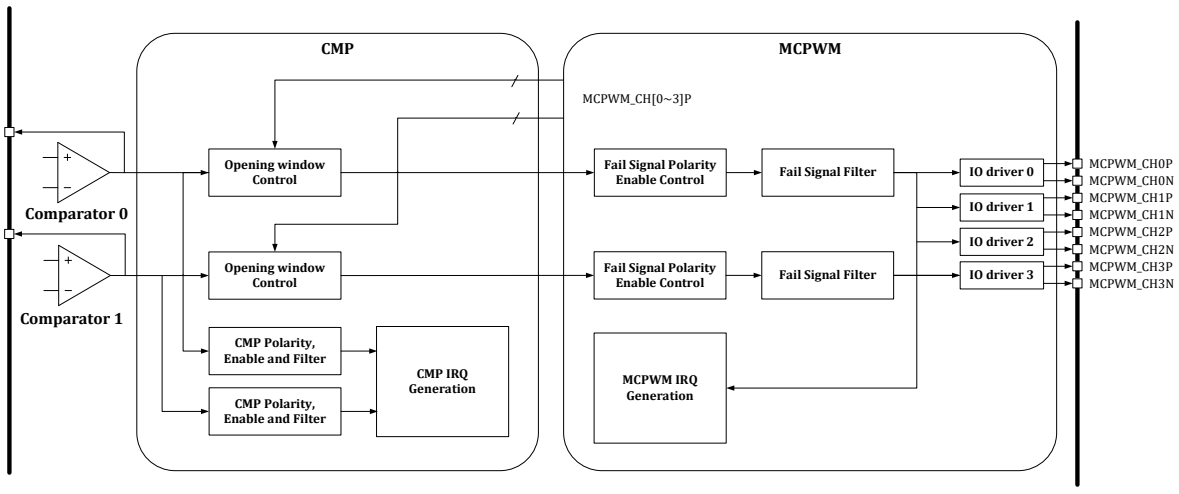


图 10-3 CMP 与 MCPWM 的联动

对于比较器的开窗功能，若 CMP_CFG.CMP0_PWM_POL=1，则在对应 MCPWM CHNx_P 信号为 1 时，比较器 0 可以产生比较信号输出，其他时刻比较信号为 0；反之，若 CMP_CFG.CMP0_PWM_POL=0，则在对应 MCPWM CHNx_P 信号为 0 时，比较器 0 可以产生比较信号输出，其他时刻比较信号为 0。比较器 1 的开窗控制信号极性由 CMP_CFG.CMP1_PWM_POL 位进行控制，逻辑相同。

注意:CMP_CFG.CMP0_PWM_POL 和 CMP_CFG.CMP1_PWM_POL 同时会影响送入 MCPWM 模块作为 FAIL 信号的比较器信号，如图 10-4 所示。来自比较器的 MCPWM FAIL 信号为模拟比较器输出的原始信号，未经过比较器数字接口模块的滤波处理，但是可以被 MCPWM 的通道信号进行开窗控制，开窗控制设置见比较器数字接口模块。FAIL 信号进入 MCPWM 模块后，可以通过设置 MCPWM_TCLK 进行滤波。

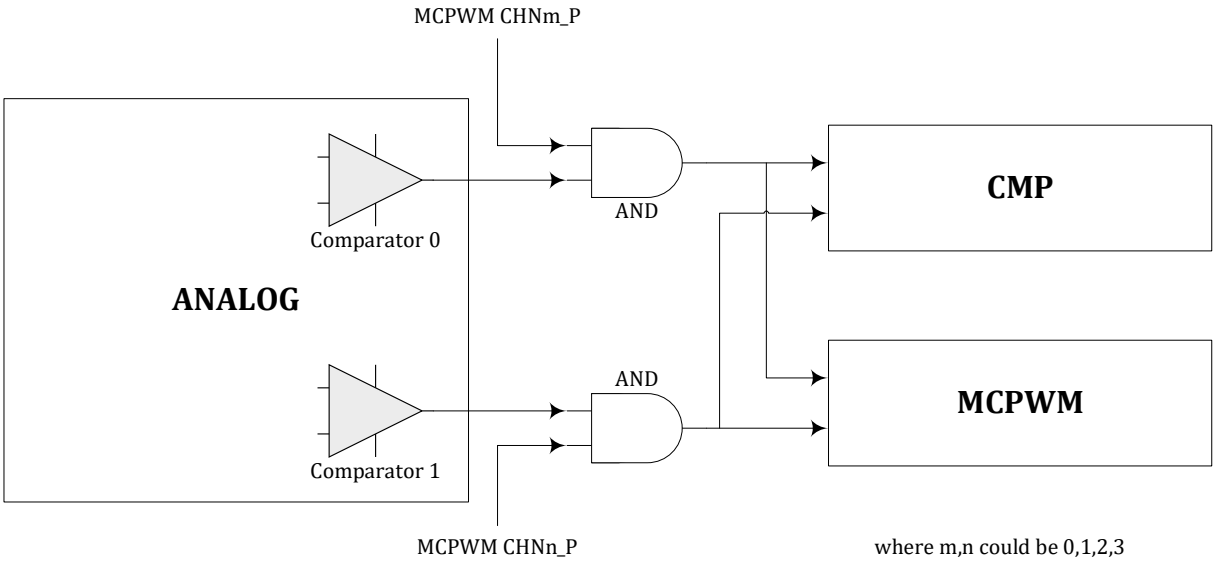


图 10-4 比较器开窗功能图示

10.2.6 CMP_BLCWIN 开窗控制寄存器

地址:0x4001_0210

复位值:0x0

表 10-6 CMP_ BLCWIN 比较器开窗控制寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								CMP1_CHN3P_WIN_EN	CMP1_CHN2P_WIN_EN	CMP1_CHN1P_WIN_EN	CMP1_CHN0P_WIN_EN	CMP0_CHN3P_WIN_EN	CMP0_CHN2P_WIN_EN	CMP0_CHN1P_WIN_EN	CMP0_CHN0P_WIN_EN
								RW	RW	RW	RW	RW	RW	RW	RW
								0	0	0	0	0	0	0	0

位置	位名称	说明
[31:8]		保留
[7]	CMP1_CHN3P_WIN_EN	使用 MCPWM 模块 CHN3_P 通道输出的 P 管开关控制信号作为比较器 1 开窗使能
[6]	CMP1_CHN2P_WIN_EN	使用 MCPWM 模块 CHN2_P 通道输出的 P 管开关控制信号作

		为比较器 1 开窗使能
[5]	CMP1_CHN1P_WIN_EN	使用 MCPWM 模块 CHN1_P 通道输出的 P 管开关控制信号作为比较器 1 开窗使能
[4]	CMP1_CHN0P_WIN_EN	使用 MCPWM 模块 CHN0_P 通道输出的 P 管开关控制信号作为比较器 1 开窗使能
[3]	CMP0_CHN3P_WIN_EN	使用 MCPWM 模块 CHN3_P 通道输出的 P 管开关控制信号作为比较器 0 开窗使能
[2]	CMP0_CHN2P_WIN_EN	使用 MCPWM 模块 CHN2_P 通道输出的 P 管开关控制信号作为比较器 0 开窗使能
[1]	CMP0_CHN1P_WIN_EN	使用 MCPWM 模块 CHN1_P 通道输出的 P 管开关控制信号作为比较器 0 开窗使能
[0]	CMP0_CHN0P_WIN_EN	使用 MCPWM 模块 CHN0_P 通道输出的 P 管开关控制信号作为比较器 0 开窗使能

10.2.7 CMP_DATA 输出数据寄存器

地址:0x4001_0214

复位值:0x0

表 10-7 CMP_ DATA 比较器输出数据寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						CMP1_FLT_DATA	CMP0_FLT_DATA							CMP1_RAW_DATA	CMP0_RAW_DATA
						R	R							R	R
						0	0							0	0

位置	位名称	说明
[31:10]		未使用
[9]	CMP1_FLT_DATA	比较器 1 经过滤波后的信号
[8]	CMP0_FLT_DATA	比较器 0 经过滤波后的信号
[7:2]		未使用
[1]	CMP1_RAW_DATA	比较器 1 原始输出信号，直接来自模拟比较器 1
[0]	CMP0_RAW_DATA	比较器 0 原始输出信号，直接来自模拟比较器 0

11 HALL

11.1 综述

芯片共支持 3 路 HALL 信号输入。

对于输入的 HALL 传感器信号，所进行的处理包括:

滤波，消除 HALL 信号毛刺的影响

捕获，HALL 输入有变化时，记录当前的定时器值，并输出中断

溢出，HALL 信号长时间不发生变化导致计数器溢出，并输出中断

11.2 实现说明

11.2.1 信号来源

HALL 信号来源于 GPIO，对于每一路 HALL 信号，芯片有两个 IO 可以作为该信号的来源。通过配置 GPIO 寄存器，用户可以选择将其中一个 GPIO 的输入信号做为 HALL 信号使用。

详细管脚位置说明见芯片器件 datasheet。

11.2.2 工作时钟

HALL 模块工作频率可调。通过配置 HALL_CFG.CLK_DIV 寄存器，可以选择系统主时钟的 1/2/4/8 分频作为 HALL 模块工作频率，滤波和计数均采用该频率工作。

11.2.3 信号滤波

滤波模块主要用于去除 HALL 信号上的毛刺。

滤波包括两级滤波器，两级滤波电路可单独开启，也可全部开启:

第一级采用 7 判 5 进行滤波，即连续 7 个采样点中，如果达到或超过 5 个 1 则输出 1，如果达到或超过 5 个 0 则输出 0，否则输出保持上一次的滤波结果。通过配置 HALL_CFG.FIL_75 可以选择是否使能第一级滤波器。具体如下图所示:

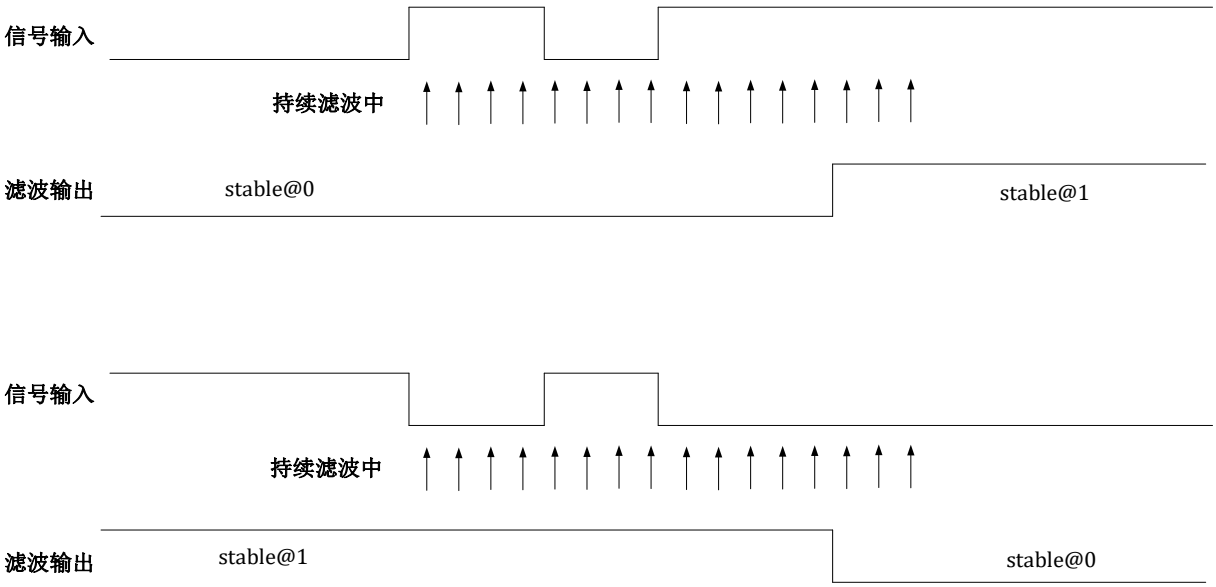


图 11-1 7/5 滤波模块框图

第二级采用连续滤波，在连续 N 个采样点中，如全为 0 则输出 0，如全为 1 则输出 1，否则输出保持上一次的滤波结果。

通过配置 HALL_CFG.FIL_LEN 可以配置第二级滤波器滤波深度，即连续采样个数。连续采样个数最大为 2^{15}，滤波时间常数计算公式如下:

$$T_{filter} = T_{clk} * (HALL\_CFG.FIL\_LEN[14:0] + 1)$$

举例，在 96MHz 工作频率下，周期 T_{clk} 是 10.42ns，寄存器配置最大为 32767，最长滤波宽度为约 10.42ns×32768≈340us。

通过访问 HALL_INFO.FIL_DATA[2:0]可以捕捉滤波后的 HALL 信号；HALL_INFO.RAW_DATA[2:0]则是滤波前原始 HALL 输入信号，详见 11.3.3。

11.2.4 捕获

捕获模块用于测量两次 HALL 信号变化之间的时间，其核心为一个 24 位计数器，在 96MHz 工作频率下，如果通过 HALL_CFG.CLK_DIV=3 设置 Hall 时钟 8 分频，则最大可以记录约 2^24*8/96e6=1. 4s 的时间宽度，达到 10.42ns 的时间分辨率。

HALL_CNT 从 0 开始计数，当发生 HALL 信号变化时，将此时刻的 HALL_CNT 值保存到 HALL_WIDTH 寄存器，将此时刻的 HALL 信号保存到 HALL_INFO.FIL_DATA，输出 HALL 信号变化中断，HALL_CNT 重新从 0 开始计数。

当计数器计数值达到 HALL_TH 时，输出 HALL 计数器溢出中断，计数器重新从 0 开始计数。

11.2.5 中断

捕获、溢出事件触发中断，中断使能控制位位于 HALL_CFG.CHG_IE 和 HALL_CFG.OV_IE，中断标志位位于 HALL_INFO.CHG_IF 和 HALL_INFO.OV_IF。终端标志可以通过对 HALL_INFO.CHG_IF 和 HALL_INFO.OV_IF 写 1 清空。

HALL 中断事件可以作为 DMA 请求，但需要在 HALL_CFG 中使能 CHG_RE，OV_RE 或 SW_RE。

当 DMA 收到传输请求开始数据搬运后，会将中断标志清除，不再需要软件清除。

11.2.6 数据流程

HALL 模块的数据流程如下图所示，FCLK 为受 SYS_CLK_FEN.HALL_CLK_EN 门控信号控制的 HALL 时钟，开通后为 96MHz 的 PLL 时钟。

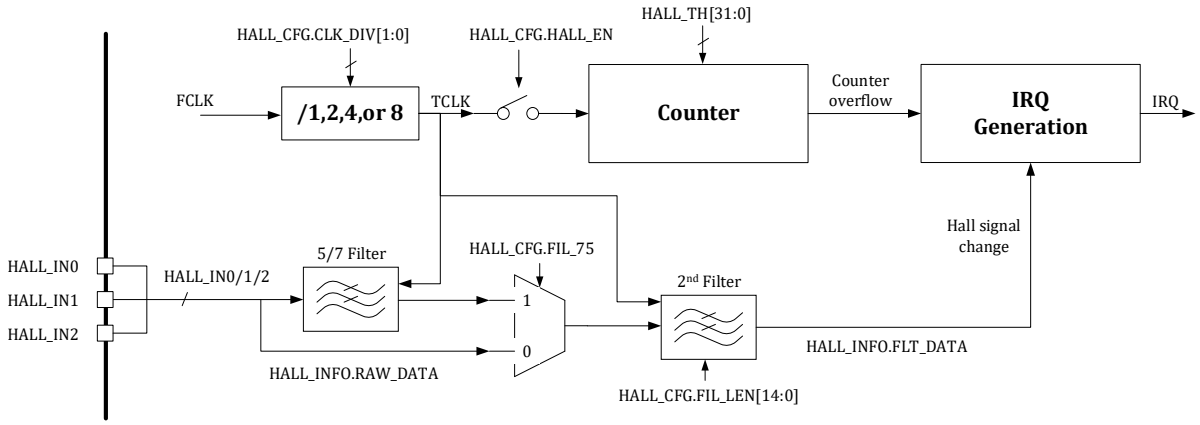


图 11-2 数据流程框图

11.3 寄存器

11.3.1 地址分配

HALL 模块寄存器的基地址是 0x4001_0300，寄存器列表如下:

表 11-1 HALL 模块寄存器地址分配

名称	偏移	描述
HALL0_CFG	0x00	HALL 模块配置寄存器
HALL0_INFO	0x04	HALL 模块信息寄存器
HALL0_WIDTH	0x08	HALL 宽度计数值寄存器
HALL0_TH	0x0C	HALL 模块计数器门限值寄存器
HALL0_CNT	0x10	HALL 计数寄存器

11.3.2 HALL0_CFG HALL 模块配置寄存器

地址:0x4001_0300

复位值:0x0

表 11-2 HALL_CFG HALL 模块配置寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SW_IE	OV_IE	CHG_IE		OV_RE	CHG_RE	HALL_EN				FIL_75			CLK_DIV	
	RW	RW	RW		RW	RW	RW				RW			RW	

	0	0	0		0	0	0		0		0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FIL_LEN														
	RW														
	0														

位置	位名称	说明
[31]		未使用
[30]	SW_IE	软件触发 HALL 信号变化中断使能，高电平有效。当 SW_IE=1 时，软件向 HALL_INFO.SW_IF 写 1，可以手动产生 HALL 信号变化中断，并令 HALL_INFO.CHG_IF 置位。
[29]	OV_IE	HALL 计数器溢出中断使能开关。默认关闭。 0: 关闭 1: 使能
[28]	CHG_IE	HALL 信号变化中断使能开关。默认关闭。 0: 关闭 1: 使能
[27]		保留
[26]	OV_RE	HALL 计数器溢出 DMA 请求使能开关。默认关闭。 0: 关闭 1: 使能
[25]	CHG_RE	HALL 信号变化 DMA 请求使能开关。默认关闭。 0: 关闭 1: 使能
[24]	HALL_EN	HALL 模块使能开关。默认关闭。 0: 关闭 1: 使能
[23:21]		未使用
[20]	FIL_75	7/5 滤波开关（连续采样 7 次，5 次值一致）。默认关闭。 0: 关闭 1: 使能
[19:18]		未使用
[17:16]	CLK_DIV	HALL 时钟分频系数。默认不分频。 00:不分频 01:2 分频 10:4 分频 11:8 分频
[15]		未使用
[14:0]	FIL_LEN	滤波宽度，低于对应脉冲宽度的信号将被硬件自动过滤掉。滤波宽度的计算公式为[14:0] + 1。

11.3.3 HALL0_INFO HALL 模块信息寄存器

地址:0x4001_0304

复位值:0x0

表 11-3 HALL_INFO HALL 模块信息寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
													SW_IF	OV_IF	CHG_IF
													WO	RW1C	RW1C
													0	0	0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					RAW_DATA			Reserved					FLT_DATA		
RW					RO			RW					RO		
0					0			0					0		

位置	位名称	说明
[31:19]		未使用
[18]	SW_IF	软件触发 HALL 信号变化中断。写 1 触发，自动清零。
[17]	OV_IF	HALL 计数器溢出事件标志，写 1 清空
[16]	CHG_IF	HALL 信号变化事件标志，写 1 清空
[15:11]	Reserved	系统保留，必须写入 0，读出 0
[10:8]	RAW_DATA	HALL 值，未滤波结果
[7:3]	Reserved	系统保留，必须写入 0，读出 0
[2:0]	FLT_DATA	HALL 值，滤波结果

11.3.4 HALL0_WIDTH HALL 宽度计数值寄存器

地址:0x4001_0310

复位值:0x0

表 11-4 HALL_WIDTH HALL 宽度计数值寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
								CAP_CNT							
								RO							
								0							

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CAP_CNT															
RO															
0															

位置	位名称	说明
[31:24]		未使用
[23:0]	CAP_CNT	HALL 宽度计数器值

11.3.5 HALL0_TH HALL 模块计数器门限值寄存器

地址:0x4001_030C

复位值:0x0

表 11-5 HALL_TH HALL 模块计数器门限值寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
								TH							
								RW							
								0							

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TH															
RW															
0															

位置	位名称	说明
[31:24]		未使用
[23:0]	TH	HALL 计数器门限值

11.3.6 HALL0_CNT HALL 计数寄存器

地址:0x4001_0308

复位值:0x0

表 11-6 HALL_CNT HALL 计数寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
								CNT							
								RW							
								0							

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
RW															
0															

位置	位名称	说明
[31:24]		未使用
[23:0]	CNT	HALL 计数值，写入任意值可清零

12 ADC

12.1 概述

LKS32MC09x 系列芯片集成了 2 路 12bit SAR-ADC 转换核心，16 个模拟 IO 输入信号/4 个 OPA 输出/温度传感器输出/模拟地均可作为 ADC 的被采样信号。主要有以下特性:

- 2Msps 采样率，32MHz 工作频率
- ADC0 支持 12 路通道选择，ADC1 支持 8 路通道选择
- 配备 1 个模拟看门狗，可同时检测上下阈值
- 支持过采样
- 支持软件、硬件触发功能
- 可以与 MCPWM/TIMER/CL 单元联动，触发指示信号可通过 GPIO 送出调试
- 支持自定义采样序列，序列次数和通道号可灵活配置
- 支持左对齐、右对齐模式
- 支持差分输入模拟信号
- 支持单段采样和两段采样
- 支持硬件过采样，过采样后有效位数可达 16bit 以上
- 支持空闲采样优先级的可配置以及空闲采样通道数的可配置

ADC 采样的量词含义约定:

1 次采样:完成对应的一次模拟信号量到数字信号量的采样转换并存储至 ADC_DATx 寄存器;

1 段采样:可能包含 1 次或若干次采样，若干次采样可以是相同的模拟信号，也可以是不同的模拟信号。采样开始通常由 MCPWM、TIMER 或软件进行触发，一个触发信号完成一段采样，采样完成后产生相应的段采样完成中断。

12.1.1 功能框图

ADC0 接口包括 12 个数据寄存器（ADC 12 次采样各个通道模拟量对应的数字量），以及若干控制寄存器。ADC1 接口包括 8 个数据寄存器（ADC 8 次采样各个通道模拟量对应的数字量），以及若干控制寄存器。

可以同一时刻进行 2 个通道的采样。

以 ADC0 为例，数据寄存器 ADC0_DATx 用于存储 ADC0 第 x 次采样得到的数字量。被转换的模拟信号来源由寄存器 ADC0_CHNx 中的某 4bit 进行选择（详见 12.3.3）。以 ADC0_CHN0 为例，位[3:0]选择第 0 次采样的模拟信号来源，ADC01_CH4~ADC01_CH9，ADC0_CH10~ADC0_CH13 任选，若 ADC0_CHN0[3:0]=0，ADC0_CHN0[7:4]=4，则第 0 个采样的模拟量正端信号来自 OPA0_OUT，第 1 个采样的模拟量正端信号对应 IO ADC01_CH4，以此类推。

采样通道数寄存器 ADC_CHNT 控制每段采样的次数，1~12 对应 1~12 次，不可设置为 0 次。两段采样次数之和不应超过 12 次。

控制逻辑根据触发配置寄存器 ADC_TRIG 选择来自 MCPWM 或 TIMER 的触发信号启动一段采样或者软件触发启动。MCPWM/TIMER 会送出定时触发信号。

一段转换（一段内的所有通道采样转换完毕）完成，触发 ADC 转换完成中断。

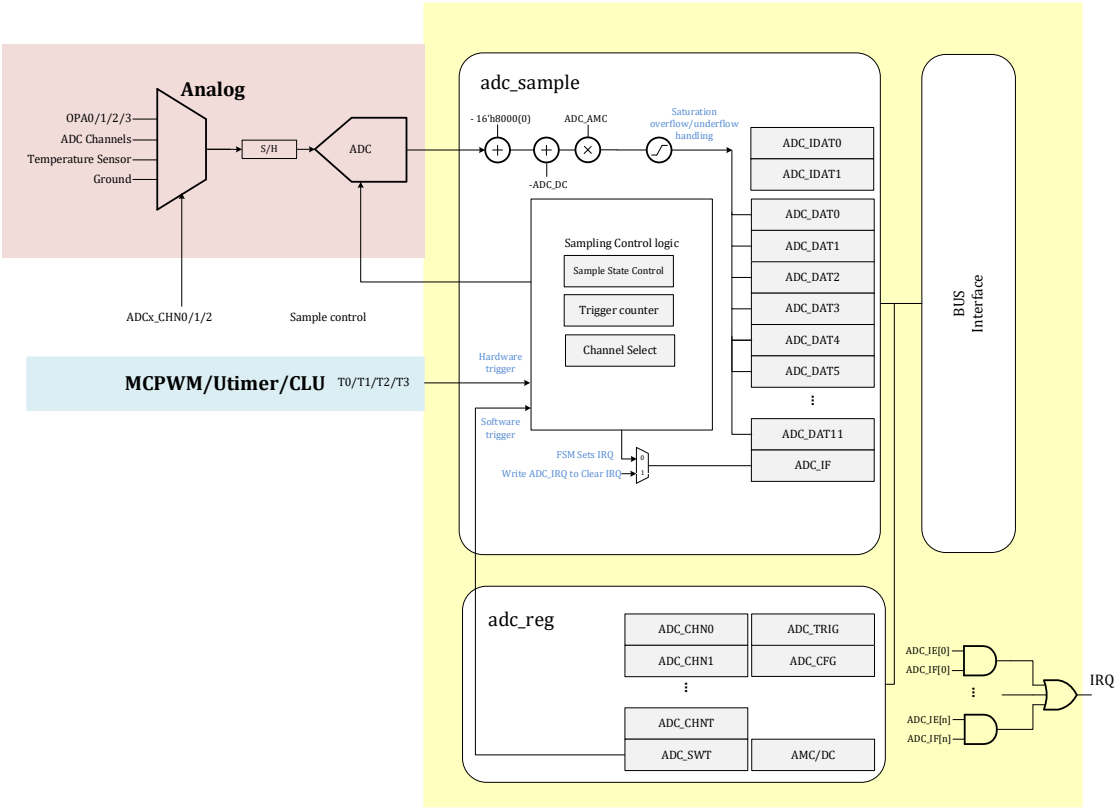


图 12-1 ADC 采集模块功能框图

来源可选使得用户可以灵活配置采样顺序、以及采样信号来源，甚至实现对单个信号多次采样的目的。控制寄存器使得用户可以配置采样个数，提高采样频率/降低采样功耗。

正负端信号来源均可配置，使得用户可以灵活每次采样的差分信号来源，灵活使用 IO 资源。

过采样允许用户在采样率要求不高但精度要求的场景下，通过多次采样对信号进行平均从而得到更高的信噪比。

12.1.2 ADC 触发方式

- 支持单段触发和两段触发
- 可以设置采样触发事件发生次数从而实现间隔触发
- 可以软件触发
- 每段采样触发完成可产生对应中断标志，如果使能中断请求，则会向 NVIC 产生中断服务请求
- 触发指示信号可以通过 GPIO 送出用于调试

- 支持空闲触发采样

ADC 触发分为常规触发(NT: Normal Trigger)和空闲触发(IT: Idle Trigger)两种触发。空闲触发和常规触发的优先级是可以配置的。

当选择常规触发的优先级高于空闲触发的优先级时。如果 ADC 正在进行常规采样转换，此时发生了空闲触发，则 ADC 会继续完成常规触发的通道采样转换，完成后再进行空闲触发采样转换；如果 ADC 正在进行空闲采样转换，此时发生了常规触发，则常规触发会打断空闲采样转换，等常规触发采样完成后再进行空闲触发，此时空闲采样是从第 0 次采样开始重新采样，而非接着被打断的地方继续采样。

当选择空闲触发的优先级高于常规触发的优先级时。如果 ADC 正在进行空闲采样转换，此时发生了常规触发，则 ADC 会继续完成空闲触发的通道采样转换，完成后再进行常规触发采样转换；如果 ADC 正在进行常规采样转换，此时发生了空闲触发，则空闲触发会打断常规采样转换，等空闲触发采样完成后再进行常规触发，此时常规采样会从被空闲触发打断的地方继续进行采样，而不用从第 0 次开始重新采样。图 12-2 和图 12-3 中 Nsample、Isample 分别指常规采样和空闲采样，Nsample x、Isample x 分别指的是第 x 次的常规采样和第 x 次的空闲采样，如 Nsample 0 和 Isample 0 分别指的是第 0 次的常规采样和第 0 次的空闲采样。

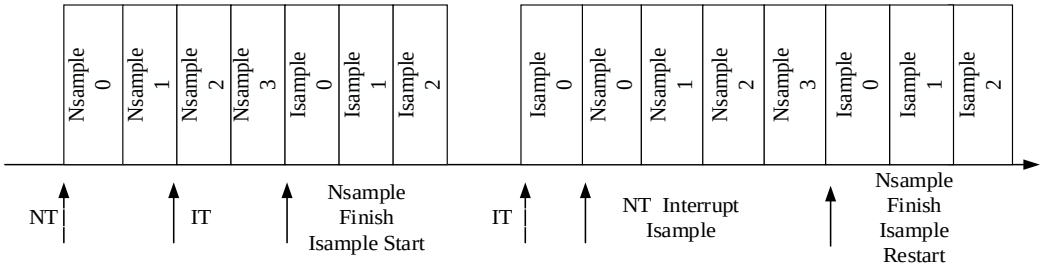


图 12-2 常规触发优先级高

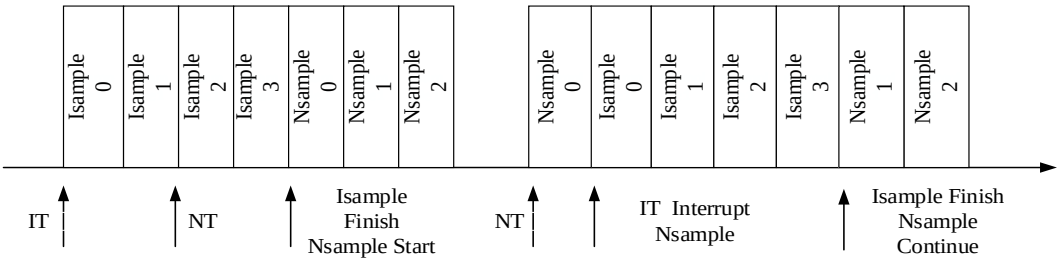


图 12-3 空闲触发优先级高

12.1.3 ADC 通道选择

ADC0 有 3 个通道信号来源寄存器，控制采样序列 0~11 的信号选择。ADC_CHN0 控制第 0~3 次采样， ADC_CHN1 控制第 4~7 次采样，ADC_CHN2 控制第 8~11 次采样。每次采样通道值选择范围都是 0~15，对应通道 0~15， 也就是可以对某一个通道进行多次采样。每一个采样对应一个结果寄存器，转换结束后，可以直接读取对应结果寄存器中获取到 ADC 采样结果。ADC0 空闲采样的通道数可选 0~6 个，且 ADC0 的空闲采样结果和常规采样结果共用 12 个数据寄存器即

ADC0_DAT0~ADC0_DAT11。空闲采样的结果按采样顺序依次存放至 ADC0_DAT11~ADC0_DAT6，即第 0 次空闲采样的结果存放在 ADC0_DAT11 中，第 1 次空闲采样的结果存放在 ADC0_DAT10 中。

ADC1 有 8 个通道信号来源寄存器。

表 12-1 ADC0 通道选择与寄存器配置对应关系

ADC0 采样序列	对应的采样数据寄存器	对应信号来源寄存器
第 0 次常规采样	ADC0_DAT0	ADC0_CHN0[3:0]
第 1 次常规采样	ADC0_DAT1	ADC0_CHN0[7:4]
第 2 次常规采样	ADC0_DAT2	ADC0_CHN0[11:8]
.....		
第 9 次常规/第 2 次空闲采样	ADC0_DAT9	ADC0_CHN2[7:4]
第 10 次常规/第 1 次空闲采样	ADC0_DAT10	ADC0_CHN2[11:8]
第 11 次常规/第 0 次空闲采样	ADC0_DAT11	ADC0_CHN2[15:12]

表 12-2 ADC1 通道选择与寄存器配置对应关系

ADC1 采样序列	对应的采样数据寄存器	对应信号来源寄存器
第 0 次常规采样	ADC1_DAT0	ADC1_CHN0[3:0]
第 1 次常规采样	ADC1_DAT1	ADC1_CHN0[7:4]
第 2 次常规采样	ADC1_DAT2	ADC1_CHN0[11:8]
.....		
第 5 次常规采样	ADC1_DAT5	ADC1_CHN1[7:4]
第 6 次常规采样	ADC1_DAT6	ADC1_CHN1[11:8]
第 7 次常规采样	ADC1_DAT7	ADC1_CHN1[15:12]

12.1.4 ADC 中断

ADC 中断信号在每段采样完成后置高。

软件或硬件触发事件如果在 ADC 工作时发生，则产生异常触发中断

ADC_DAT0 具备阈值中断，阈值可以设置为上阈值/下阈值，通过 ADC_CFG[1]设置，当 ADC_DAT0 超过 ADC_DAT0_TH 时发生中断。

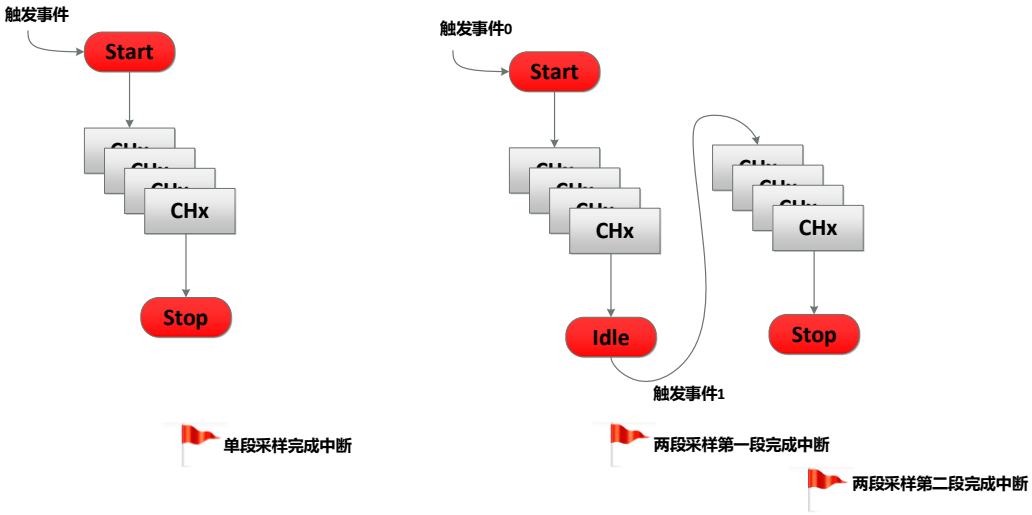


图 12-4 ADC 中断产生

12.1.5 ADC 输出数制

ADC 输出数据为 12bit 补码，输入信号 0 对应 12’b0000_0000_0000。

ADC 有两种量程设置 3.6V 和 7.2V。以 3.6V 量程为例，输入信号-3.6V 对应 12’b1000_0000_0000，输入信号+3.6V 对应 12’b0111_1111_1111。ADC 转换后的 12bit 补码需进行符号扩展后存入 16bit 位宽的采样数据寄存器，左对齐/右对齐可根据配置寄存器进行设置。以 12’b1000_0000_1101 为例，如果配置为左对齐，右侧补 4 个 0，存入 ADC_DAT 的值为 16’b1000_0000_1101_0000；如果配置为右对齐，左侧进行符号扩展，存入 ADC_DAT 的值为 16’b1111_1000_0000_1101。推荐统一使用左对齐方式。

由于芯片使用 5V 供电，因此 7.2V 量程实际支持的差分信号范围是±5V。

表 12-3 ADC 输出数字量数制转换

ADC 3.6V 量程时不同输入信号/V	ADC 7.2V 量程时不同输入信号/V	转为有符号数后的数值
3.6	7.2	12’b0111_1111_1111
0	0	12’b0000_0000_0000
-3.6	-7.2	12’b1000_0000_0000

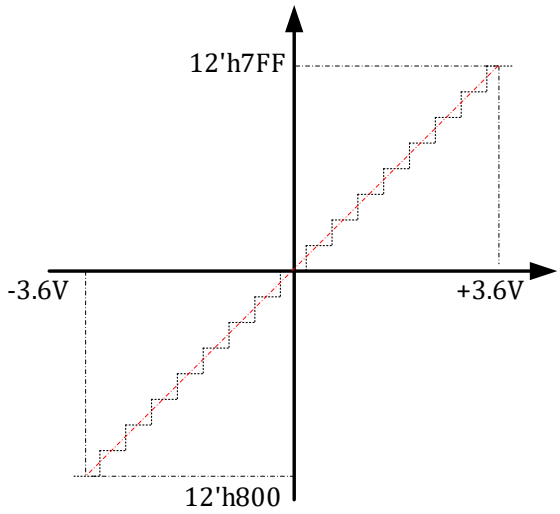


图 12-5 2/3 增益设置下 ADC 模数转换数制量程

12.1.6 ADC 量程

ADC 有两种量程设置:3.6V 和 7.2V。7.2V 量程下，对应最大±5V 的输入信号幅度，3.6V 量程下，对应最大±3.6V 的输入信号幅度。

在 ADC 采样通道配置为运放的输出信号时（即 OPA0~OPA3），应选择合适的运放增益，使得具体应用上的最大信号可被放大到接近+/-3.3V 的水平，同时将 ADC 配置为 3.6V 量程。举例来说，相线电流最大 100A（正弦波有效值），MOS 内阻（假设为 MOS 内阻采样）为 5mR，则运放的最大输入信号幅值为+/-707mV。此时应该选择运放的放大倍数为 4.5 倍，则放大后的信号约为+/-3.18V。

如果因为客观原因，运放的输出信号经放大后，最大信号仍然小于+/-2.4V，则应将 ADC 配置为 3.6V 量程。

在 ADC 采样通道配置为 GPIO 复用口输入的信号时，同样根据信号的最大幅度来选择 ADC 增益。由于 IO 口的限制，GPIO 复用口输入的信号范围只能在-0.3V~AVDD+0.3V 之间。

12.1.7 ADC 校正

ADC 硬件接口模块可以进行直流偏置校正与增益校正。

ADC_AMC 存储的是增益校正系数 $AMP_{correction}$，为 10bit 无符号定点数，ADC_AMC[9]为整数部分，ADC_AMC[8:0]为小数部分。可以表示数值在 1 附近的定点数。

ADC_DC 存储的是 ADC 的直流偏置，通常在校正阶段通过测量通道 15（从 0 开始计数）的 AVSS（内部地）得到 ADC 直流偏置数值并存入 flash 中，并在系统加载阶段由软件将直流偏置写入 ADC_DC 寄存器中。

记 ADC 输出的数字量为 D_{ADC}，D_{ADC} 对应的真实值为 D，D_0 为编码数制的 0，则

$$D = (D_{ADC}-D_0-DC_{offset})*AMP_{correction}$$

最终硬件会将进行校正后的 D 存入相应的采样数据寄存器。ADC 接口硬件电路会根据每个通道的增益配置(ADC_GAIN0/1)来自动选择 $AMP_{correction}$ 与 DC_{offset}。

使用外部基准时，将相应 ADC 的 AMC 和 DC 寄存器改为默认值。

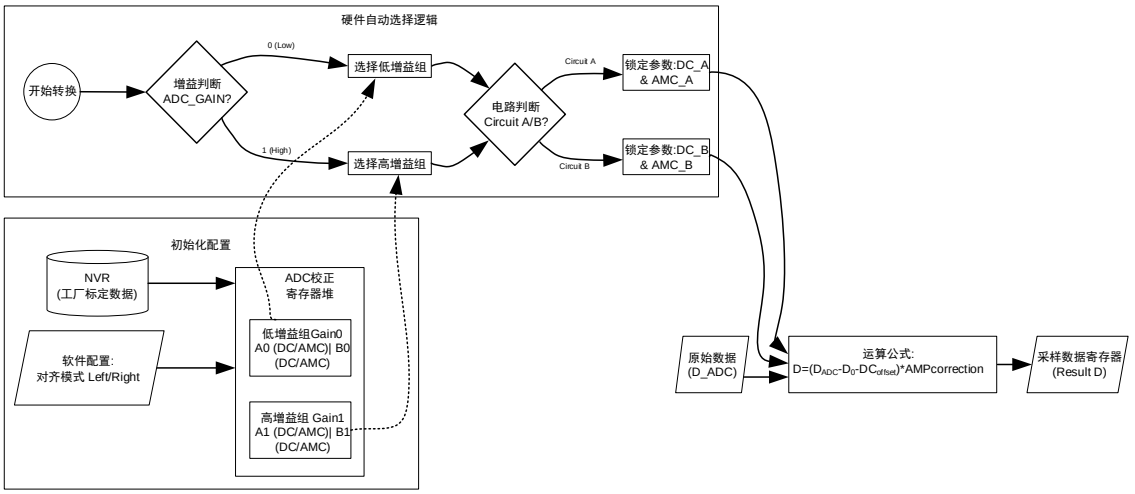


图 12-6 ADC 校正处理流程图

12.1.8 ADC 阈值监测(模拟看门狗)

每个 ADC 接口模块配备有 1 组阈值监测电路，同时进行上阈值和下阈值监测，ADC 的数据寄存器可以单独配置是否启用某组阈值监测，1 个数据寄存器可以同时启用多组阈值监测，但通常不这样配置。如果使能阈值监测，当 ADC 完成某次转换，且将经过校正的数据写入 ADC0_DAT 寄存器时，会进行阈值比较，如果写入的数据大于上阈值或小于下阈值则对应的阈值超限中断标志会置 1。

阈值为 12bit 有符号数，因此阈值比较与数据的左右对齐无关。左对齐时 ADC0_DATx[15:4]与阈值进行比较，右对齐时，ADC0_DATx[11:0]与阈值进行比较。

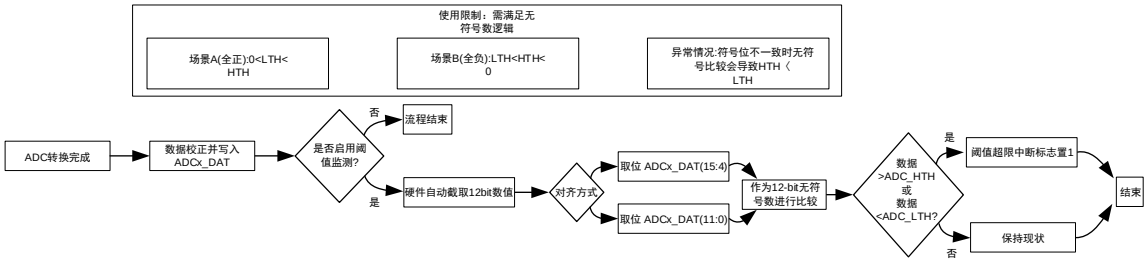


图 12-7 ADC 校正处理流程图

12.1.9 过采样

ADC 支持对信号过采样求平均后再写入数据寄存器，过采样率范围是 1~128 倍，但只能是 2 的幂次，通过 ADC0_CFG.OVSR 配置。默认 1 次采样即写入数据寄存器，即不进行过采样。如果配置了过采样倍数，则由 ADC0_CHNx 指定的所有信号，均进行多次采样求平均后才写入数据寄存器。写入数据寄存器的数值与 ADC 多次转换数值的关系如下公式所示。

$$\text{ADC0\_DAT} = \frac{1}{OVSR}\sum_{i=0}^{OVSR-1}\text{ADC0\_DAT\_RAW}_i$$

过采样可以配合阈值监测使用，此时只有当平均后的数值超过阈值范围时才产生阈值超限事件。

当配置了过采样模式后，每段采样转换时间按倍数增加，并在采样转换完成后产生中断。

通过 ADC0_CFG.TROVS，可以配置一次触发即完成多次(ADC0_CFG.OVSR 次)采样并进行数据平均，如图 12-所示，ADC0_CFG.TROVS=0，ADC0_CFG.OVSR=1 即过采样率为 2，触发后，ADC 对每个信号都采样两次平均后才将结果写入对应的 ADC0_DAT 寄存器；如果 ADC0_CFG.TROVS=1，则需要多次(ADC0_CFG.OVSR 次)触发才积累足够数据进行平均，如图 12-所示，ADC0_CFG.OVSR=1 即过采样率仍为 2，则每 2 次触发才累计 2 次数据进行平均并写入数据寄存器。当需要多次触发进行累加时，每次触发只能采样一个通道，即要求 ADC0_CHNT=1，如果采样多个不同信号，当通道切换时，会导致不同通道数据累加在一起而得到错误的转换后数据。

过采样可以配合连续采样进行使用，这种场景中，ADC 连续反复对信号进行采样，累计到过采样次数后将数据存入数据寄存器。

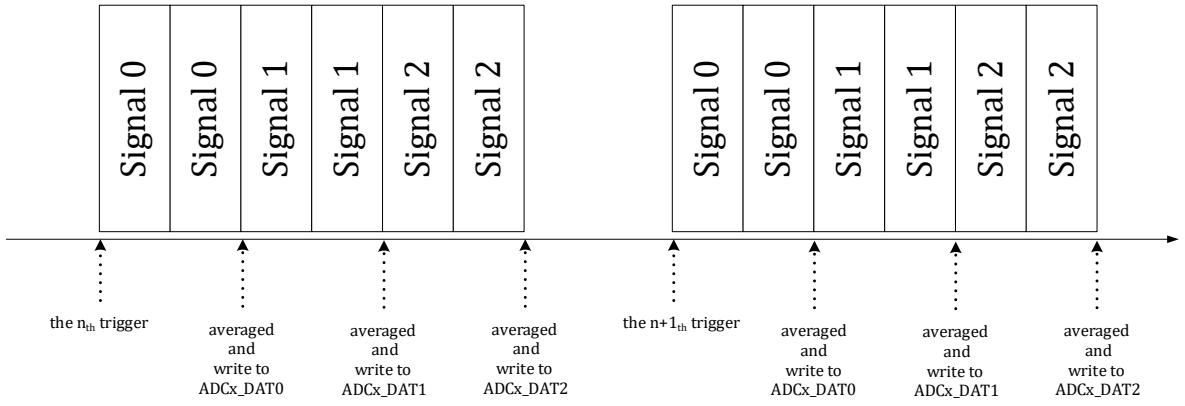


图 12-6 过采样转换时序示例 1

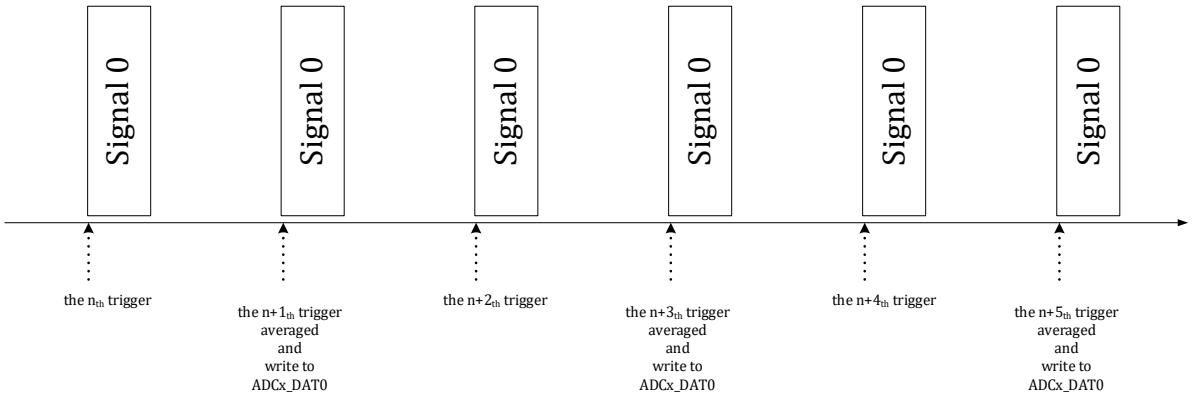


图 12-7 过采样转换时序示例 2

只有常规采样支持过采样，常规采样过程中出现空闲采样不会影响过采样的数据累积。

12.2 ADC0 寄存器

12.2.1 地址分配

ADC0 在芯片中的基地址是 0x4001_0400；

表 12-4 ADC0 寄存器列表

名称	偏移地址	说明
ADC0_DAT0	0x00	ADC0 第 0 次常规采样数据
ADC0_DAT1	0x04	ADC0 第 1 次常规采样数据
ADC0_DAT2	0x08	ADC0 第 2 次常规采样数据
ADC0_DAT3	0x0C	ADC0 第 3 次常规采样数据
ADC0_DAT4	0x10	ADC0 第 4 次常规采样数据
ADC0_DAT5	0x14	ADC0 第 5 次常规采样数据
ADC0_DAT6	0x18	ADC0 第 6 次常规采样数据/第 5 次空闲采样数据
ADC0_DAT7	0x1C	ADC0 第 7 次常规采样数据/第 4 次空闲采样数据
ADC0_DAT8	0x20	ADC0 第 8 次常规采样数据/第 3 次空闲采样数据
ADC0_DAT9	0x24	ADC0 第 9 次常规采样数据/第 2 次空闲采样数据
ADC0_DAT10	0x28	ADC0 第 10 次常规采样数据/第 1 次空闲采样数据
ADC0_DAT11	0x2C	ADC0 第 11 次常规采样数据/第 0 次空闲采样数据
ADC0_CHN0	0x50	ADC0 第 0~ 3 次常规采样输入信号选择
ADC0_CHN1	0x54	ADC0 第 4~ 7 次常规采样输入信号选择
ADC0_CHN2	0x58	ADC0 第 8~11 次常规采样输入信号选择
ADC0_CHNT	0x60	ADC0 各种触发模式下采样次数
ADC0_GAIN	0x64	ADC0 增益选择
ADC0_CFG	0x74	ADC0 模式配置
ADC0_TRIG	0x78	ADC0 采样触发配置
ADC0_SWT	0x7C	ADC0 软件触发
ADC0_DC0	0x80	ADC0 增益为 0 时 DC offset
ADC0_AMC0	0x84	ADC0 增益为 0 时增益校正系数
ADC0_DC1	0x88	ADC0 增益为 1 时 DC offset
ADC0_AMC1	0x8C	ADC0 增益为 1 时增益校正系数
ADC0_IE	0x90	ADC0 中断使能
ADC0_IF	0x94	ADC0 中断标志
ADC0_LTH	0xC4	ADC0 数据低阈值
ADC0_HTH	0xC8	ADC0 数据高阈值
ADC0_GEN	0xCC	ADC0 阈值监测使能

12.2.2 采样数据寄存器

12.2.2.1 ADC0_DAT0

地址:0x4001_0400

复位值:0x0

表 12-5 采样数据寄存器 ADC0_DAT0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT0															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DAT0	ADC0 第 0 次采样数据

12.2.2.2 ADC0_DAT1

地址:0x4001_0404

复位值:0x0

表 12-6 采样数据寄存器 ADC0_DAT1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT1															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DAT1	ADC0 第 1 次采样数据

12.2.2.3 ADC0_DAT2

地址:0x4001_0408

复位值:0x0

表 12-7 采样数据寄存器 ADC0_DAT2

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT2															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DAT2	ADC0 第 2 次采样数据

12.2.2.4 ADC0_DAT3

地址:0x4001_040C

复位值:0x0

表 12-8 采样数据寄存器 ADC0_DAT3

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT3															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DAT3	ADC0 第 3 次采样数据

12.2.2.5 ADC0_DAT4

地址:0x4001_0410

复位值:0x0

表 12-9 采样数据寄存器 ADC0_DAT4

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT4															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DAT4	ADC0 第 4 次采样数据

12.2.2.6 ADC0_DAT5

地址:0x4001_0414

复位值:0x0

表 12-10 采样数据寄存器 ADC0_DAT5

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT5															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DAT5	ADC0 第 5 次采样数据

12.2.2.7 ADC0_DAT6

地址:0x4001_0418

复位值:0x0

表 12-11 采样数据寄存器 ADC0_DAT6

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT6															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DAT6	ADC0 第 6 次采样数据/第 5 次空闲采样数据

12.2.2.8 ADC0_DAT7

地址:0x4001_041C

复位值:0x0

表 12-12 采样数据寄存器 ADC0_DAT7

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT7															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DAT7	ADC0 第 7 次采样数据/第 4 次空闲采样数据

12.2.2.9 ADC0_DAT8

地址:0x4001_0420

复位值:0x0

表 12-13 采样数据寄存器 ADC0_DAT8

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT8															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DAT8	ADC0 第 8 次采样数据/第 3 次空闲采样数据

12.2.2.10 ADC0_DAT9

地址:0x4001_0424

复位值:0x0

表 12-14 采样数据寄存器 ADC0_DAT9

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT9															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DAT9	ADC0 第 9 次采样数据/第 2 次空闲采样数据

12.2.2.11 ADC0_DAT10

地址:0x4001_0428

复位值:0x0

表 12-15 采样数据寄存器 ADC0_DAT10

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT10															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DAT10	ADC0 第 10 次采样数据/第 1 次空闲采样数据

12.2.2.12 ADC0_DAT11

地址:0x4001_042C

复位值:0x0

表 12-16 采样数据寄存器 ADC0_DAT11

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT11															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DAT11	ADC0 第 11 次采样数据/第 0 次空闲采样数据

12.2.3 信号来源寄存器

12.2.3.1 ADC0_CHN0

地址:0x4001_0450

复位值:0x0

表 12-17 信号来源寄存器 ADC0_CHN0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PDS3				PDS2				PDS1				PDS0			
RW				RW				RW				RW			
0				0				0				0			

位置	位名称	说明
[31:16]		未使用
[15:12]	PDS3	ADC0 第 3 次采样正端输入信号选择
[11:8]	PDS2	ADC0 第 2 次采样正端输入信号选择
[7:4]	PDS1	ADC0 第 1 次采样正端输入信号选择
[3:0]	PDS0	ADC0 第 0 次采样正端输入信号选择

12.2.3.2 ADC0_CHN1

地址:0x4001_0454

复位值:0x0

表 12-18 信号来源寄存器 ADC0_CHN1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

PDS7	PDS6	PDS5	PDS4
RW	RW	RW	RW
0	0	0	0

位置	位名称	说明
[31:16]		未使用
[15:12]	PDS7	ADC0 第 7 次采样正端输入信号选择 或第 4 次空闲采样正端输入信号选择
[11:8]	PDS6	ADC0 第 6 次采样正端输入信号选择 或第 5 次空闲采样正端输入信号选择
[7:4]	PDS5	ADC0 第 5 次采样正端输入信号选择
[3:0]	PDS4	ADC0 第 4 次采样正端输入信号选择

12.2.3.3 ADC0_CHN2

地址:0x4001_0458

复位值:0x0

表 12-19 信号来源寄存器 ADC0_CHN2

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PDS11				PDS10				PDS9				PDS8			
RW				RW				RW				RW			
0				0				0				0			

位置	位名称	说明
[31:16]		未使用
[15:12]	PDS11	ADC0 第 11 次常规采样正端输入信号选择 或第 0 次空闲采样正端输入信号选择
[11:8]	PDS10	ADC0 第 10 次采样正端输入信号选择 或第 1 次空闲采样正端输入信号选择
[7:4]	PDS9	ADC0 第 9 次采样正端输入信号选择 或第 2 次空闲采样正端输入信号选择
[3:0]	PDS8	ADC0 第 8 次采样正端输入信号选择 或第 3 次空闲采样正端输入信号选择

12.2.3.4 ADC 通道信号选择

3 个 ADC 接口可以选择的被采集模拟信号不完全相同，具体如表 12-20 所示

表 12-20 ADC 模拟信号来源分布

寄存器	不同配置值对应通道信号
ADC0_CHNx	0x0: OPA0 输出 0x1: OPA1 输出 0x2: OPA2 输出 0x3: OPA3 输出 0x4: ADC01_CH4 0x5: ADC01_CH5 0x6: ADC01_CH6 0x7: ADC01_CH7 0x8: ADC0_CH8 0x9: REF24 0xA: ADC01_CH10 0xB: ADC01_CH11 0xC: ADC0_CH12 0xD: ADC0_CH13 0xE: DAC0 输出 0xF: 内部地 AVSS

12.2.4 采样通道数寄存器

12.2.4.1 ADC0_CHNT

地址:0x4001_0460

复位值:0x0

表 12-21 采样通道数寄存器 ADC0_CHNT

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				IS1				S2				S1			
				RW				RW				RW			
				0				0				0			

位置	位名称	说明
[31:12]		未使用
[11:8]	IS1	空闲采样次数
[7:4]	S2	第二段常规采样次数
[3:0]	S1	第一段常规采样次数

注意:采样次数不允许配置为 0。1 表示 1 次采样，2 表示 2 次采样，……，12 表示 12 次采样。如果常规采样使用两段采样，则两段采样次数之和不应超过 12。

空闲采样仅支持单段采样，采样次数可以配置为 1~6。如果启用了空闲采样，则空闲采样与常规采样次数之和不应该超过 12。

12.2.5 配置寄存器

12.2.5.1 ADC0_GAIN

地址:0x4001_0464

复位值:0x0

表 12-22 增益选择寄存器 ADC0_GAIN

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				DG11	DG10	DG9	DG8	DG7	DG6	DG5	DG4	DG3	DG2	DG1	DG0
				RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
				0	0	0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31:12]		未使用
[11]	DG11	DAT11 增益选择，0:±3.6V 量程，1:±5V 量程
[10]	DG10	DAT10 增益选择，0:±3.6V 量程，1:±5V 量程
[9]	DG9	DAT9 增益选择，0:±3.6V 量程，1:±5V 量程
[8]	DG8	DAT8 增益选择，0:±3.6V 量程，1:±5V 量程
[7]	DG7	DAT7 增益选择，0:±3.6V 量程，1:±5V 量程
[6]	DG6	DAT6 增益选择，0:±3.6V 量程，1:±5V 量程
[5]	DG5	DAT5 增益选择，0:±3.6V 量程，1:±5V 量程
[4]	DG4	DAT4 增益选择，0:±3.6V 量程，1:±5V 量程
[3]	DG3	DAT3 增益选择，0:±3.6V 量程，1:±5V 量程
[2]	DG2	DAT2 增益选择，0:±3.6V 量程，1:±5V 量程
[1]	DG1	DAT1 增益选择，0:±3.6V 量程，1:±5V 量程
[0]	DG0	DAT0 增益选择，0:±3.6V 量程，1:±5V 量程

12.2.5.2 ADC0_CFG

地址:0x4001_0474

复位值:0x0

表 12-23 模式配置寄存器 ADC0_CFG

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			NSMP	FSM_RS	DATA_ALIGN	IDLE_PRI	CSMP	TCNT				TROVS	OVSR		
			RW	RW	RW	RW	RW	RW				RW	RW		
			0	0	0	0	0	0				0	0		

位置	位名称	说明
[31:13]		未使用
[12]	NSMP	0:单段采样，1:两段采样
[11]	FSM_RS	状态机复位控制信号。软件写入 1 产生复位，将 ADC 内部状态机回到初始状态，完成后自动回到 0。该复位控制，不影响 ADC 其它寄存器的配置值。 读取该位返回 ADC 当前状态，1 表示 ADC 目前正在采样转换工作中，0 表示空闲。
[10]	DATA_ALIGN	ADC_DAT 对齐方式 0:左对齐，右端补 4'h0， 1:右对齐，左端补 4bit 符号位
[9]	IDLE_PRI	空闲触发优先级 0:空闲触发优先级低于常规触发 1:空闲触发优先级高于常规触发
[8]	CSMP	连续采样模式 0:不开启 1:开启连续采样模式，触发到来后，ADC 即开始采样转换，完成所有信号的转换后，无需等待触发立即从第 0 个信号开始新一轮的采样转换
[7:4]	TCNT	触发一次采样所需的事件数。 0:表示需要发生 1 次事件才能触发一次采样 1:表示需要发生 2 次事件才能触发一次采样 …… 15:表示需要发生 16 次事件才能触发一次采样
[3]	TROVS	过采样触发模式 0:一次触发即连续过采样多次至 OVSR，并将数据平均后存入，可以配置采样多个通道，每个通道都采样 OVSR 次后才进行下一个通道的采样。 1:一次触发只进行一次采样转换，需要 OVSR 次触发才完成足够数据的采集并进行平均，而后存入数据寄存器。受到累加器个数限制，在此种配置下，ADC0_CHNT 只能配置采样一个通道。
[2:0]	OVSR	过采样率

		0:1，默认 1 次采样即存入数据 1:2 次采后存入数据 2:4 次采样后存入数据 3:8 次采样后存入数据 4:16 次采样后存入数据 5:32 次采样后存入数据 6:64 次采样后存入数据 7:128 次采样后存入数据

12.2.5.3 ADC0_TRIG

地址:0x4001_0478

复位值:0x0

表 12-24 采样触发配置寄存器 ADC0_TRIG

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
				CL_T3_IEN	CL_T2_IEN	CL_T1_IEN	CL_T0_IEN	UTIMER2_CMP1_IEN	TIMER2_CMP0_IEN	TIMER0_CMP1_IEN	TIMER0_CMP0_IEN	MCPWM_T3_IEN	MCPWM_T2_IEN	MCPWM_T1_IEN	MCPWM_T0_IEN
				RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
				0	0	0	0	0	0	0	0	0	0	0	0

15	14	13	12	11	7	6	5	4	6	5	4	3	2	1	0
				CL_T3_NEN	CL_T2_NEN	CL_T1_NEN	CL_T0_NEN	UTIMER2_CMP1_IEN	UTIMER2_CMP0_IEN	UTIMER0_CMP1_IEN	UTIMER0_CMP0_IEN	MCPWM_T3_NEN	MCPWM_T2_NEN	MCPWM_T1_NEN	MCPWM_T0_NEN
				RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
				0	0	0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31:28]		未使用
[27]	CL_T3_IEN	CL_OUTPUT[3]触发 ADC 空闲采样使能，高有效
[26]	CL_T2_IEN	CL_OUTPUT[2]触发 ADC 空闲采样使能，高有效
[25]	CL_T1_IEN	CL_OUTPUT[1]触发 ADC 空闲采样使能，高有效
[24]	CL_T0_IEN	CL_OUTPUT[0]触发 ADC 空闲采样使能，高有效
[23]	UTIMER2_CMP1_IEN	TIMER1 比较/捕获事件 1 触发 ADC 空闲采样使能，高有效
[22]	UTIMER2_CMP0_IEN	TIMER1 比较/捕获事件 0 触发 ADC 空闲采样使能，高有效
[21]	UTIMER0_CMP1_IEN	TIMER0 比较/捕获事件 1 触发 ADC 空闲采样使能，高有效

[20]	UTIMER0_CMP0_IEN	TIMER0 比较/捕获事件 0 触发 ADC 空闲采样使能，高有效
[19]	MCPWM_T3_IEN	MCPWM0 T3 事件触发 ADC 空闲采样使能，高有效
[18]	MCPWM_T2_IEN	MCPWM0 T2 事件触发 ADC 空闲采样使能，高有效
[17]	MCPWM_T1_IEN	MCPWM0 T1 事件触发 ADC 空闲采样使能，高有效
[16]	MCPWM_T0_IEN	MCPWM0 T0 事件触发 ADC 空闲采样使能，高有效
[15:12]		未使用
[11]	CL_T3_NEN	CL_OUTPUT[3]触发 ADC 常规采样使能，高有效
[10]	CL_T2_NEN	CL_OUTPUT[2]触发 ADC 常规采样使能，高有效
[9]	CL_T1_NEN	CL_OUTPUT[1]触发 ADC 常规采样使能，高有效
[8]	CL_T0_NEN	CL_OUTPUT[0]触发 ADC 常规采样使能，高有效
[7]	UTIMER2_CMP1_EN	TIMER1 比较/捕获事件 1 触发 ADC 常规采样使能，高有效
[6]	UTIMER2_CMP0_EN	TIMER1 比较/捕获事件 0 触发 ADC 常规采样使能，高有效
[5]	UTIMER0_CMP1_EN	TIMER0 比较/捕获事件 1 触发 ADC 常规采样使能，高有效
[4]	UTIMER0_CMP0_EN	TIMER0 比较/捕获事件 0 触发 ADC 常规采样使能，高有效
[3]	MCPWM_T3_NEN	MCPWM0 T3 事件触发 ADC 常规采样使能，高有效
[2]	MCPWM_T2_NEN	MCPWM0 T2 事件触发 ADC 常规采样使能，高有效
[1]	MCPWM_T1_NEN	MCPWM0 T1 事件触发 ADC 常规采样使能，高有效
[0]	MCPWM_T0_NEN	MCPWM0 T0 事件触发 ADC 常规采样使能，高有效

12.2.6 软件触发寄存器

12.2.6.1 ADC0_SWT

地址:0x4001_047C

复位值:0x0

表 12-25 软件触发寄存器 ADC0_SWT

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWT															
WO															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	SWT	写入数据为 0x5AA5 时，产生一次常规触发 写入数据位 0xF00F 时，产生一次空闲触发

注意，软件触发采集寄存器为只写寄存器，且只有写入数据为 0x5AA5/0xF00F 时产生软件触发事件，一次总线的写入产生一次软件触发，数据写入产生一个软件触发后寄存器自动清零，下一次软件触发则再次写入 0x5AA5/0xF00F。

12.2.7 校正寄存器

ADC 的可选模拟通道中一个信号源为 GND，通过对这个通道的测量可以得到系统的 DC 偏置。

通常系统初始化后会进行一次 GND 信号的测量，并将测量值存入 DC offset 寄存器，后续每次其他 channel 的信号的采样值会自动减去 DC offset，再存入转换后的数字量寄存器。

考虑到信号误差，去除 DC offset 的信号可能会发生溢出，对于溢出的数据会做饱和处理，以使信号范围在-1.2V-+1.2V 或-2.4V-+2.4V 之间。

ADC 有两种量程:3.6V 和 7.2V。3.6V 量程设置下，对应最大±3.6V 的输入信号幅度，7.2V 量程设置下，对应最大±5V 的输入信号幅度。两种量程使用不同的 DC offset 和增益校正系数。因此存在两组校正寄存器，分别为 ADC0_DC0，ADC0_AMC0 和 ADC0_DC1，ADC0_AMC1。值得注意的是校正寄存器的值只有在发生硬件复位的时候才会被清零，发生软复位的时候校正寄存器的值不会发生变化。

12.2.7.1 ADC0_DC0

地址:0x4001_0480

复位值:0x0 左右，与芯片校正值有关

表 12-26 0 档增益直流偏置寄存器 ADC0_DC0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DC_OFFSET															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DC_OFFSET	ADC 采样电路 DC offset

考虑到 ADC 的 DC offset 是接近 0 的数值，因此此处寄存器仅有低 10bit 是有实际实现的，高 6bit 仅仅是 ADC0_DC[9]的符号扩展，同时 ADC0_DC 寄存器参与 ADC 数据校正时也会进行符号扩展。

即如果向 ADC0_DC 写入 0x12B0；实际写入的是 0x2B0，而读出时会读出 0xFFB0。

此处存入的 ADC_DC 值应该对应的是右对齐的 offset 数值，当 ADC0_CFG 寄存器配置为左对齐时，硬件会根据对齐的设置，自动调整 ADC0_DC 参与 ADC 校正。具体来说，右对齐时，ADC0_DC[15:0]直接参与校正运算，左对齐时，ADC0_DC[15:0]会先左移 4 位然后参与 ADC 校正运算。

12.2.7.2 ADC0_AMC0

地址:0x4001_0484

复位值:0x200 左右，与芯片校正值有关

表 12-27 0 档增益增益校正寄存器 ADC0_AMC0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						AMC									
						RW									
						0x200									

位置	位名称	说明
[31:10]		未使用
[9:0]	AMC	ADC 采样电路增益校正系数

ADC 的增益校正系数是一个接近 1 的数值，0x200 标定为 1，举例来说 0x1F0 小于 1，0x205 则大于 1。

12.2.7.3 ADC0_DC1

地址:0x4001_0488

复位值:0x0 左右，与芯片校正值有关

表 12-28 1 档增益直流偏置寄存器 ADC0_DC1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DC_OFFSET															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DC_OFFSET	ADC 采样电路 DC offset

12.2.7.4 ADC0_AMC1

地址:0x4001_048C

复位值:0x200

表 12-29 1 档增益增益校正寄存器 ADC0_AMC1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						AM_CALI									
						RW									
						0x200									

位置	位名称	说明
[31:10]		未使用
[9:0]	AM_CALI	ADC 采样电路增益校正系数

12.2.8 中断寄存器

12.2.8.1 ADC0_IE

地址:0x4001_0490

复位值:0x0

表 12-30 中断使能寄存器 ADC0_IE

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ISF_RE	HERR_RE	SERR_RE			AWD0_RE	SF2_RE	SF1_RE	ISF_IE	HERR_IE	SERR_IE			AWD0_IE	SF2_IE	SF1_IE
RW	RW	RW			RW	RW	RW	RW	RW	RW			RW	RW	RW
0	0	0			0	0	0	0	0	0			0	0	0

位置	位名称	说明
[31:16]		未使用
[15]	ISF_RE	空闲采样完成 DMA 请求使能
[14]	HERR_RE	硬件触发发生在非空闲状态 DMA 请求使能
[13]	SERR_RE	软件触发发生在非空闲状态 DMA 请求使能
[12:11]		未使用
[10]	AWD0_RE	阈值监测 0 超限 DMA 请求使能
[9]	SF2_RE	第二段采样完成 DMA 请求使能
[8]	SF1_RE	第一段采样完成 DMA 请求使能
[7]	ISF_IE	空闲采样完成中断使能
[6]	HERR_IE	硬件触发发生在非空闲状态中断使能
[5]	SERR_IE	软件触发发生在非空闲状态中断使能
[4:3]		未使用
[2]	AWD0_IE	阈值监测 0 超限中断使能
[1]	SF2_IE	第二段常规采样完成中断使能
[0]	SF1_IE	第一段常规采样完成中断使能

12.2.8.2 ADC0_IF

地址:0x4001_0494

复位值:0x0

表 12-31 中断标志寄存器 ADC0_IF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								ISF_IF	HERR_IF	SERR_IF			AWD0_IF	SF2_IF	SF1_IF
								RW1C	RW1C	RW1C			RW1C	RW1C	RW1C
								0	0	0			0	0	0

位置	位名称	说明
[31:8]		未使用
[7]	ISF_IF	空闲采样完成中断标志
[6]	HERR_IF	硬件触发发生在非空闲状态中断标志
[5]	SERR_IF	软件触发发生在非空闲状态中断标志
[4:3]		未使用
[2]	AWD0_IF	阈值监测 0 超限中断标志
[1]	SF2_IF	第二段常规采样完成中断标志
[0]	SF1_IF	第一段常规采样完成中断标志

当发生特定事件时，即使中断使能位 IE=0，对应的 IF 仍会置位，但不会向处理器提起中断服务请求。

只有当软件/硬件触发 ADC 进行常规采样，且 ADC 此时正在进行常规采样；或软件/硬件触发 ADC 进行空闲采样，且 ADC 此时正在进行空闲采样时会产生触发错误中断标志 ADC_IF[6:5]。

以上 ADC0_IF 标志位，0:表示未发生中断，1: 表示发生过中断，写 1 清零。

12.2.9 模拟看门狗

12.2.9.1 ADC0_LTH

地址为:0x4001_04C4

复位值:0xF800

表 12-32 下阈值寄存器 ADC0_ LTH

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Sign				LTH											
RO				RW											
0xF				0x800											

位置	位名称	说明
[31:16]		未使用

[15:12]		符号扩展
[11:0]	LTH	ADC 模拟看门狗 0 下阈值

ADC0_LTH 只有[11:0]可以写入，读出时[15:12]为符号扩展位，ADC_LTH 以 BIT[11]作为符号位。

12.2.9.2 ADC0_HTH

地址为:0x4001_04C8

复位值:0x0000_07FF

表 12-33 上阈值寄存器 ADC0_ HTH

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				HTH											
				RW											
				0x7FF											

位置	位名称	说明
[31:16]		未使用
[15:12]		符号扩展
[11:0]	HTH	ADC 模拟看门狗 0 上阈值

ADC0_HTH 只有[11:0]可以写入，读出时[15:12]为符号扩展位，ADC_HTH 以 BIT[11]作为符号位。

12.2.9.3 ADC0_GEN

地址为:0x4001_04CC

复位值:0x0

表 12-34 监测使能寄存器 ADC0_ GEN

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GEN															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	GEN	ADC 模拟看门狗 0 对应使能位 BIT0: DAT0 看门狗监测使能 BIT1: DAT1 看门狗监测使能 …… BIT7: DAT13 看门狗监测使能

由于只有一个模拟看门狗，即只有一组高低阈值。同一时刻一般只使能一个 ADC_DAT 寄存器的阈值监测。如果同时使能多组，则多组 ADC_DAT 寄存器被相同的高低阈值监测。

举例来说，如果设置 ADC_GEN[1]=1，则看门狗 0 会监测 ADC0_DAT1 的值，如果大于 ADC0_TH0.HTH 或小于 ADC0_TH0.LTH 则产生对应中断。

12.3 ADC1 寄存器

12.3.1 地址分配

ADC1 在芯片中的基地址是 0x4001_0500。

表 12-35 ADC1 寄存器列表

名称	偏移地址	说明
ADC1_DAT0	0x00	ADC1 第 0 次常规采样数据
ADC1_DAT1	0x04	ADC1 第 1 次常规采样数据
ADC1_DAT2	0x08	ADC1 第 2 次常规采样数据
ADC1_DAT3	0x0C	ADC1 第 3 次常规采样数据
ADC1_DAT4	0x10	ADC1 第 4 次常规采样数据
ADC1_DAT5	0x14	ADC1 第 5 次常规采样数据
ADC1_DAT6	0x18	ADC1 第 6 次常规采样数据
ADC1_DAT7	0x1C	ADC1 第 7 次常规采样数据
ADC1_CHN0	0x50	ADC1 第 0~ 3 次常规采样输入信号选择
ADC1_CHN1	0x54	ADC1 第 4~ 7 次常规采样输入信号选择
ADC1_CHNT	0x60	ADC1 各种触发模式下采样次数
ADC1_GAIN	0x64	ADC1 增益选择
ADC1_CFG	0x74	ADC1 模式配置
ADC1_TRIG	0x78	ADC1 采样触发配置
ADC1_SWT	0x7C	ADC1 软件触发
ADC1_DC0	0x80	ADC1 增益为 0 时 DC offset
ADC1_AMC0	0x84	ADC1 增益为 0 时增益校正系数
ADC1_DC1	0x88	ADC1 增益为 1 时 DC offset
ADC1_AMC1	0x8C	ADC1 增益为 1 时增益校正系数
ADC1_IE	0x90	ADC1 中断使能
ADC1_IF	0x94	ADC1 中断标志
ADC1_LTH	0xC4	ADC1 数据低阈值
ADC1_HTH	0xC8	ADC1 数据高阈值
ADC1_GEN	0xCC	ADC1 阈值监测使能

12.3.2 采样数据寄存器

12.3.2.1 ADC1_DAT0

地址:0x4001_0500

复位值:0x0

表 12-36 采样数据寄存器 ADC1_DAT0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT0															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DAT0	ADC1 第 0 次采样数据

12.3.2.2 ADC1_DAT1

地址:0x4001_0504

复位值:0x0

表 12-37 采样数据寄存器 ADC1_DAT1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT1															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DAT1	ADC1 第 1 次采样数据

12.3.2.3 ADC1_DAT2

地址:0x4001_0508

复位值:0x0

表 12-38 采样数据寄存器 ADC1_DAT2

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

DAT2
RW
0

位置	位名称	说明
[31:16]		未使用
[15:0]	DAT2	ADC1 第 2 次采样数据

12.3.2.4 ADC1_DAT3

地址:0x4001_050C

复位值:0x0

表 12-39 采样数据寄存器 ADC1_DAT3

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT3															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DAT3	ADC1 第 3 次采样数据

12.3.2.5 ADC1_DAT4

地址:0x4001_0510

复位值:0x0

表 12-40 采样数据寄存器 ADC1_DAT4

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT4															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DAT4	ADC1 第 4 次采样数据

12.3.2.6 ADC1_DAT5

地址:0x4001_0514

复位值:0x0

表 12-41 采样数据寄存器 ADC1_DAT5

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT5															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DAT5	ADC1 第 5 次采样数据

12.3.2.7 ADC1_DAT6

地址:0x4001_0518

复位值:0x0

表 12-42 采样数据寄存器 ADC1_DAT6

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT6															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DAT6	ADC1 第 6 次采样数据

12.3.2.8 ADC1_DAT7

地址:0x4001_051C

复位值:0x0

表 12-43 采样数据寄存器 ADC1_DAT7

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT7															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DAT7	ADC1 第 7 次采样数据

12.3.3 信号来源寄存器

12.3.3.1 ADC1_CHN0

地址:0x4001_0550

复位值:0x0

表 12-44 信号来源寄存器 ADC1_CHN0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PDS3				PDS2				PDS1				PDS0			
RW				RW				RW				RW			
0				0				0				0			

位置	位名称	说明
[31:16]		未使用
[15:12]	PDS3	ADC1 第 3 次采样正端输入信号选择
[11:8]	PDS2	ADC1 第 2 次采样正端输入信号选择
[7:4]	PDS1	ADC1 第 1 次采样正端输入信号选择
[3:0]	PDS0	ADC1 第 0 次采样正端输入信号选择

12.3.3.2 ADC1_CHN1

地址:0x4001_0554

复位值:0x0

表 12-45 信号来源寄存器 ADC1_CHN1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PDS7				PDS6				PDS5				PDS4			
RW				RW				RW				RW			
0				0				0				0			

位置	位名称	说明
[31:16]		未使用
[15:12]	PDS7	ADC1 第 7 次采样正端输入信号选择
[11:8]	PDS6	ADC1 第 6 次采样正端输入信号选择
[7:4]	PDS5	ADC1 第 5 次采样正端输入信号选择

[3:0]	PDS4	ADC1 第 4 次采样正端输入信号选择

12.3.3.3 ADC 通道信号选择

3 个 ADC 接口可以选择的被采集模拟信号不完全相同，具体如表 12-所示。

表 12-46 ADC 模拟信号来源分布

寄存器	不同配置值对应通道信号
ADC1_CHNx	0x0: OPA0 输出 0x1: OPA1 输出 0x2: OPA2 输出 0x3: OPA3 输出 0x4: ADC01_CH4 0x5: ADC01_CH5 0x6: ADC01_CH6 0x7: ADC01_CH7 0x8: ADC1_CH8 0x9: ADC1_CH9 0xA: ADC01_CH10 0xB: ADC01_CH11 0xC: ADC1_CH12 0xD: ADC1_CH13 0xE: 温度传感器 0xF: 电源 AVDD

12.3.4 采样通道数寄存器

12.3.4.1 ADC1_CHNT

地址:0x4001_0560

复位值:0x0

表 12-47 采样通道数寄存器 ADC1_CHNT

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						IS1		S2				S1			
						RW		RW				RW			
						0		0				0			

位置	位名称	说明
[31:8]		未使用
[7:4]	S2	第二段常规采样次数
[3:0]	S1	第一段常规采样次数

注意:采样次数不允许配置为 0。1 表示 1 个通道，2 表示 2 个通道，…… ，8 表示 8 个通道。如果常规采样使用两段采样，则两段采样通道数之和不应超过 8。

12.3.5 配置寄存器

12.3.5.1 ADC1_GAIN

地址:0x4001_0564

复位值:0x0

表 12-48 增益选择寄存器 ADC1_GAIN

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								DG7	DG6	DG5	DG4	DG3	DG2	DG1	DG0
								RW	RW	RW	RW	RW	RW	RW	RW
								0	0	0	0	0	0	0	0

位置	位名称	说明
[31:8]		未使用
[7]	DG7	DAT7 增益选择，0:±3.6V 量程，1:±5V 量程
[6]	DG6	DAT6 增益选择，0:±3.6V 量程，1:±5V 量程
[5]	DG5	DAT5 增益选择，0:±3.6V 量程，1:±5V 量程
[4]	DG4	DAT4 增益选择，0:±3.6V 量程，1:±5V 量程
[3]	DG3	DAT3 增益选择，0:±3.6V 量程，1:±5V 量程
[2]	DG2	DAT2 增益选择，0:±3.6V 量程，1:±5V 量程
[1]	DG1	DAT1 增益选择，0:±3.6V 量程，1:±5V 量程
[0]	DG0	DAT0 增益选择，0:±3.6V 量程，1:±5V 量程

12.3.5.2 ADC1_CFG

地址:0x4001_0574

复位值:0x0

表 12-49 模式配置寄存器 ADC1_CFG

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			NSMP	FSM_RS	DATA_ALIGN	IDLE_PRI	CSMP	TCNT				TROVS	OVSR		
			RW	RW	RW	RW	RW	RW				RW	RW		
			0	0	0	0	0	0				0	0		

位置	位名称	说明

[31:13]		未使用
[12]	NSMP	0:单段采样，1:两段采样
[11]	FSM_RS	状态机复位控制信号。软件写入 1 产生复位，将 ADC 内部状态机回到初始状态，完成后自动回到 0。该复位控制，不影响 ADC 其它寄存器的配置值。 读取该位返回 ADC 当前状态，1 表示 ADC 目前正在采样转换工作中，0 表示空闲。
[10]	DATA_ALIGN	ADC_DAT 对齐方式 0:左对齐，右端补 4'h0， 1:右对齐，左端补 4bit 符号位
[9]		未使用
[8]	CSMP	连续采样模式 0:不开启 1:开启连续采样模式，触发到来后，ADC 即开始采样转换，完成所有信号的转换后，无需等待触发立即从第 0 个信号开始新一轮的采样转换
[7:4]	TCNT	触发一次采样所需的事件数。 0:表示需要发生 1 次事件才能触发一次采样 1:表示需要发生 2 次事件才能触发一次采样 …… 15:表示需要发生 16 次事件才能触发一次采样
[3:0]		未使用

12.3.5.3 ADC1_TRIG

地址:0x4001_0578

复位值:0x0

表 12-50 采样触发配置寄存器 ADC1_TRIG

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				CL_NT3_EN	CL_NT2_EN	CL_NT1_EN	CL_NT0_EN	UTIMER1_CMP1_IEN	UTIMER1_CMP0_IEN	UTIMER0_CMP1_IEN	UTIMER0_CMP0_IEN	MCPWM0_T3_EN	MCPWM0_T2_EN	MCPWM0_T1_EN	MCPWM0_T0_EN
				RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
				0	0	0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31:12]		未使用
[11]	CL_NT3_EN	CL_OUTPUT[3]触发 ADC 常规采样使能，高有效
[10]	CL_NT2_EN	CL_OUTPUT[2]触发 ADC 常规采样使能，高有效
[9]	CL_NT1_EN	CL_OUTPUT[1]触发 ADC 常规采样使能，高有效
[8]	CL_NT0_EN	CL_OUTPUT[0]触发 ADC 常规采样使能，高有效

[7]	UTIMER1_CMP1_EN	TIMER1 比较事件 1 触发 ADC 常规采样使能，高有效
[6]	UTIMER1_CMP0_EN	TIMER1 比较事件 0 触发 ADC 常规采样使能，高有效
[5]	UTIMER0_CMP1_EN	TIMER0 比较事件 1 触发 ADC 常规采样使能，高有效
[4]	UTIMER0_CMP0_EN	TIMER0 比较事件 0 触发 ADC 常规采样使能，高有效
[3]	MCPWM0_T3_EN	MCPWM0 T3 事件触发 ADC 常规采样使能，高有效
[2]	MCPWM0_T2_EN	MCPWM0 T2 事件触发 ADC 常规采样使能，高有效
[1]	MCPWM0_T1_EN	MCPWM0 T1 事件触发 ADC 常规采样使能，高有效
[0]	MCPWM0_T0_EN	MCPWM0 T0 事件触发 ADC 常规采样使能，高有效

12.3.6 软件触发寄存器

12.3.6.1 ADC1_SWT

地址:0x4001_057C

复位值:0x0

表 12-51 软件触发寄存器 ADC1_SWT

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWT															
WO															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	SWT	写入数据为 0x5AA5 时，产生一次常规触发

注意，软件触发采集寄存器为只写寄存器，且只有写入数据为 0x5AA5 时产生软件触发事件，一次总线的写入产生一次软件触发，数据写入产生一个软件触发后寄存器自动清零，下一次软件触发则再次写入 0x5AA5。

12.3.7 校正寄存器

ADC 的可选模拟通道中一个信号源为 GND，通过对这个通道的测量可以得到系统的 DC 偏置。

通常系统初始化后会进行一次 GND 信号的测量，并将测量值存入 DC offset 寄存器，后续每次其他 channel 的信号的采样值会自动减去 DC offset，再存入转换后的数字量寄存器。

考虑到信号误差，去除 DC offset 的信号可能会发生溢出，对于溢出的数据会做饱和处理，以使信号范围在-1.2V-+1.2V 或-2.4V-+2.4V 之间。

ADC 有两种量程:3.6V 和 7.2V。3.6V 量程设置下，对应最大±3.6V 的输入信号幅度，7.2V 量程设置下，对应最大±5V 的输入信号幅度。两种量程使用不同的 DC offset 和增益校正系数。因此存在两组校正寄存器，分别为 ADC1_DC0，ADC1_AMC0 和 ADC1_DC1，ADC1_AMC1。值得注意的是

校正寄存器的值只有在发生硬件复位的时候才会被清零，发生软复位的时候校正寄存器的值不会发生变化。

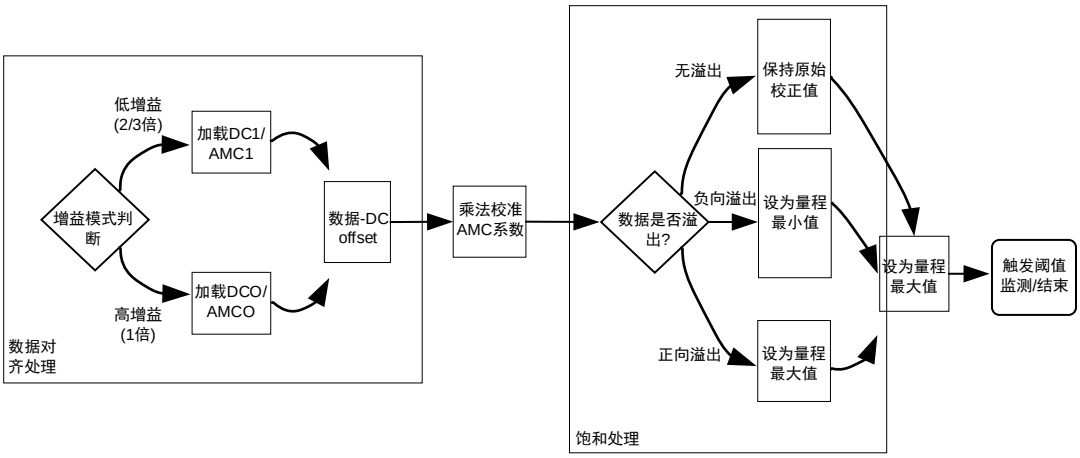


图 12-8 ADC 自动校准逻辑流程图

12.3.7.1 ADC1_DC0

地址:0x4001_0580

复位值:0x0

表 12-52 0 档增益直流偏置寄存器 ADC1_DC0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DC_OFFSET															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DC_OFFSET	ADC 采样电路 DC offset

考虑到 ADC 的 DC offset 是接近 0 的数值，因此此处寄存器仅有低 10bit 是有实际实现的，高 6bit 仅仅是 ADC1_DC[9]的符号扩展，同时 ADC1_DC 寄存器参与 ADC 数据校正时也会进行符号扩展。

即如果向 ADC1_DC 写入 0x12B0；实际写入的是 0x2B0，而读出时会读出 0xFFB0。

此处存入的 ADC_DC 值应该对应的是右对齐的 offset 数值，当 ADC1_CFG 寄存器配置为左对齐时，硬件会根据对齐的设置，自动调整 ADC1_DC 参与 ADC 校正。具体来说，右对齐时，ADC1_DC[15:0]直接参与校正运算，左对齐时，ADC1_DC[15:0]会先左移 2 位然后参与 ADC 校正运算。

12.3.7.2 ADC1_AMC0

地址:0x4001_0584

复位值:0x200

表 12-53 0 档增益增益校正寄存器 ADC1_AMC0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						AMC									
						RW									
						0x200									

位置	位名称	说明
[31:10]		未使用
[9:0]	AMC	ADC 采样电路增益校正系数

ADC 的增益校正系数是一个接近 1 的数值，0x200 标定为 1，举例来说 0x1F0 小于 1，0x205 则大于 1。

12.3.7.3 ADC1_DC1

地址:0x4001_0588

复位值:0x0

表 12-54 1 档增益直流偏置寄存器 ADC1_DC1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DC_OFFSET															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	DC_OFFSET	ADC 采样电路 DC offset

12.3.7.4 ADC1_AMC1

地址:0x4001_058C

复位值:0x200

表 12-55 1 档增益增益校正寄存器 ADC1_AMC1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						AM_CALI									
						RW									
						0x200									

位置	位名称	说明
[31:10]		未使用
[9:0]	AM_CALI	ADC 采样电路增益校正系数

12.3.8 中断寄存器

12.3.8.1 ADC1_IE

地址:0x4001_0590

复位值:0x0

表 12-56 中断使能寄存器 ADC1_IE

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ISF_RE	HERR_RE	SERR_RE			AWD0_RE	SF2_RE	SF1_RE	ISF_IE	HERR_IE	SERR_IE			AWD0_IE	SF2_IE	SF1_IE
RW	RW	RW			RW	RW	RW	RW	RW	RW			RW	RW	RW
0	0	0			0	0	0	0	0	0			0	0	0

位置	位名称	说明
[31:15]		未使用
[14]	HERR_RE	硬件触发发生在非空闲状态 DMA 请求使能
[13]	SERR_RE	软件触发发生在非空闲状态 DMA 请求使能
[12:11]		未使用
[10]	AWD0_RE	阈值监测 0 超限 DMA 请求使能
[9]	SF2_RE	第二段采样完成 DMA 请求使能
[8]	SF1_RE	第一段采样完成 DMA 请求使能
[7]		未使用
[6]	HERR_IE	硬件触发发生在非空闲状态中断使能
[5]	SERR_IE	软件触发发生在非空闲状态中断使能
[4:3]		未使用
[2]	AWD0_IE	阈值监测 0 超限中断使能
[1]	SF2_IE	第二段常规采样完成中断使能
[0]	SF1_IE	第一段常规采样完成中断使能

12.3.8.2 ADC1_IF

地址:0x4001_0594

复位值:0x0

表 12-57 中断标志寄存器 ADC1_IF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									HERR_IF	SERR_IF			AWD0_IF	SF2_IF	SF1_IF
									RW1C	RW1C			RW1C	RW1C	RW1C
									0	0			0	0	0

位置	位名称	说明
[31:7]		未使用
[6]	HERR_IF	硬件触发发生在非空闲状态中断标志
[5]	SERR_IF	软件触发发生在非空闲状态中断标志
[4:3]		未使用
[2]	AWD0_IF	阈值监测 0 超限中断标志
[1]	SF2_IF	第二段常规采样完成中断标志
[0]	SF1_IF	第一段常规采样完成中断标志

当发生特定事件时，即使中断使能位 IE=0，对应的 IF 仍会置位，但不会向处理器提起中断服务请求。

只有当软件/硬件触发 ADC 进行常规采样，且 ADC 此时正在进行常规采样；或软件/硬件触发 ADC 进行空闲采样，且 ADC 此时正在进行空闲采样时会产生触发错误中断标志 ADC_IF[6:5]。

以上 ADC1_IF 标志位，0:表示未发生中断，1: 表示发生过中断，写 1 清零。

12.3.9 模拟看门狗

12.3.9.1 ADC1_LTH

地址为:0x4001_05C4

复位值:0xF800

表 12-58 下阈值寄存器 ADC1_ LTH

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Sign				LTH											
RO				RW											
0xF				0x800											

位置	位名称	说明
[31:16]		未使用
[15:12]		符号扩展
[11:0]	LTH	ADC 模拟看门狗 0 下阈值

ADC1_LTH 只有[11:0]可以写入，读出时[15:12]为符号扩展位，ADC_LTH 以 BIT[11]作为符号

位。

12.3.9.2 ADC1_HTH

地址为:0x4001_05C8

复位值:0x0000_07FF

表 12-59 上阈值寄存器 ADC1_ HTH

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				HTH											
				RW											
				0x7FF											

位置	位名称	说明
[31:16]		未使用
[15:12]		符号扩展
[11:0]	HTH	ADC 模拟看门狗 0 上阈值

ADC1_HTH 只有[11:0]可以写入，读出时[15:12]为符号扩展位，ADC_HTH 以 BIT[11]作为符号位。

12.3.9.3 ADC1_GEN

地址为:0x4001_05CC

复位值:0x0

表 12-60 监测使能寄存器 ADC1_ GEN

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GEN															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	GEN	ADC 模拟看门狗 0 对应使能位 BIT0: DAT0 看门狗监测使能 BIT1: DAT1 看门狗监测使能 …… BIT13: DAT13 看门狗监测使能 BIT14: IDAT0 看门狗监测使能 BIT15: IDAT1 看门狗监测使能

由于只有一个模拟看门狗，即只有一组高低阈值。同一时刻一般只使能一个 ADC_DAT 寄存器的阈值监测。如果同时使能多组，则多组 ADC_DAT 寄存器被相同的高低阈值监测。

举例来说，如果设置 ADC_GEN[1]=1，则看门狗 0 会监测 ADC1_DAT1 的值，如果大于

ADC1_TH0.HTH 或小于 ADC1_TH0.LTH 则产生对应中断。

12.4 应用指南

12.4.1 ADC 采样触发模式

ADC 支持一段、两段采样模式，每段采样需要特定的外部事件来触发开始，每段采样支持不同采样次数和采样信号通道配置。

第一次触发

来自 MCPWM/TIMER/CL 模块的定时事件 TADC[0]/TADC[1]/TADC[2]/TADC[3]可以触发 ADC 采样。可以选择四个触发源的任何一个或者几个触发采样。也可以通过向 ADC0_SWT 写入命令字的方式 16'h5AA5 软件触发 ADC 采样。

第一段采样

判断是否为一段采样。

是:采样次数达到预设值 ADC0_CHNT[3:0]，ADC 回到空闲状态 0；采样次数未达到预设值，继续采样。

否:采样次数达到预设值 ADC0_CHNT[3:0]，ADC 进入空闲状态 1（两段或四段采样第一段完成，等待触发第二段）；采样次数未达到预设值，继续第一段采样。

第二段触发

第二段采样

第二段采样次数到达预设值 ADC_CHNT[7:4]，结束本次采样，回到空闲状态 0。

各种硬件触发模式的触发条件汇总如表 12-所示。其中单段采样模式较为特殊，可以通过 ADC_CFG 寄存器设置，一次 TADC 事件即触发采样，还是多次 TADC 事件才触发采样；而两段、四段采样模式仅支持一次相应的 TADC 事件即触发一段采样。

此外 ADC 模块也支持通过软件写入特殊数值的方式触发采样，软件触发也仅支持写入一次即触发。

表 12-61 ADC 采样触发模式

	单段触发	两段触发
TADC 触发	None(TADC 触发使能未打开)	第一段 TADC[0] 第二段 TADC[1]
	C 次 TADC[0]	
	C 次 TADC[1]	
	C 次 TADC[2]	
	C 次 TADC[3]	
	C 次 TADC[0]/TADC[1]/ TADC[2]/TADC[3]	
软件触发	向 ADC_SWT 写入 16'h5aa5	第一段向 ADC_SWT 写入 16'h5aa5 第二段向 ADC_SWT 写入 16'h5aa5

其中，当配置了多次触发事件触发 ADC 开始采样，C 次=ADC0_CFG.TCNT。

12.4.1.1 单段触发模式

单段触发模式是指 ADC 收到一次触发完成一段采样动作，一段采样可能包含多次对模拟信号的采样，次数由分段采样次数寄存器配 ADC0_CHNT 进行配置，寄存器数值为 1~15 时，对应的采样次数为 1~15。

假设单段采样配置通道数目为 4，则采样转换后的数据会依次填充到 ADC_DAT0、ADC_DAT1、ADC_DAT2、ADC_DAT3。

触发事件可以是来自外部的 MCPWM/TIMER 定时信号 TADC[0]、TADC[1]、TADC[2]、TADC[3]、发生到预设次数、或者为软件触发。

每个采样的信号源通过信号来源寄存器 ADC_CHN0/1/2/3 进行配置选定，信号源的选定需在触发前完成，且在一次采样过程完成前不应该改变。

完成一段采样动作后，进入空闲状态，并产生采样完成中断。

以 MCPWM 触发单段采样为例，设置 ADC_CFG.TCNT=4，ADC0_TRIG.MCPWM0_T2_EN =1，即 MCPWM0 的 TADC[2]发生 4 次才进行触发，状态转移如图 12-8 所示。

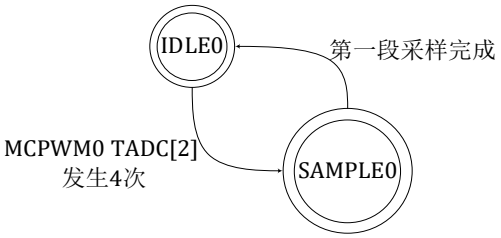


图 12-8ADC 单段采样状态转移图

12.4.1.2 两段触发模式

两段触发需要两次触发才能完成完整的一轮采样。第一个触发到达时进行第一段采样，第二个触发到达时进行第二段采样。

假设两段采样配置通道数目分别为 2 和 3，则第一段采样转换后的数据会依次填充到 ADC0_DAT、ADC_DAT1，第二段采样转换后的数据会依次填充到 ADC_DAT2、ADC_DAT3、ADC_DAT4。

触发事件可以是来自外部的 MCPWM 定时信号 TADC[0]和 TADC[1]或两次软件触发。

TADC[0]或软件触发发生后，先进行 ADC_CHNT[3:0]次采样，完成后进入空闲状态并等待下一个触发信号的到来；TADC[1]或软件触发作为第二个触发信号发生后，再进行 ADC_CHNT[7:4]次采样。采样次数均通过分段采样次数寄存器 ADC_CHNT 进行配置。

每个采样的信号源通过寄存器配置选定，信号源的选定需在触发前完成，且在一次采样过程完成前不应该改变。

软件触发较硬件触发的优先级低，在硬件触发采样的过程中发生软件触发，状态机不予处理，而产生一个错误中断。即只有状态机处于空闲状态时才会处理软件触发的采样请求。如果需要使用软件触发采样，需要确保硬件触发已经关闭。然后通过向 ADC_SWT 寄存器写入 0x5AA5 以产生

一次软件触发。

以两次软件触发两段采样为例，状态转移如图 12-9 所示。

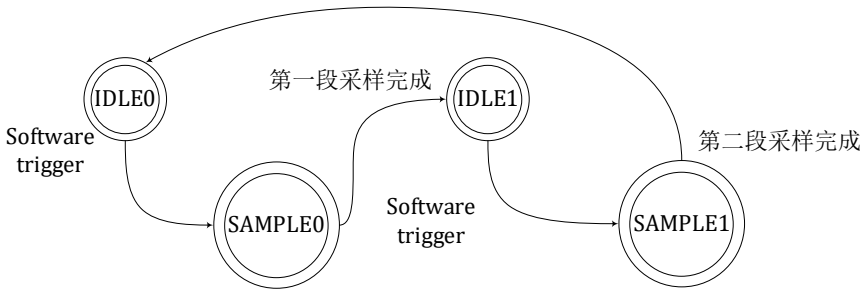


图 12-9 ADC 两段采样状态转移图

12.4.2 中断

12.4.2.1 单段触发采样完成中断

采样完成产生一个中断。

12.4.2.2 两段触发采样完成中断

第一段采样完成产生一个中断，第二段采样完成产生一个中断。

12.4.3 配置修改

建议在 ADC 中断中进行 ADC_CHNx 的配置和修改，因为进入 ADC 中断后说明 ADC 此时已完成一段采样且处于空闲状态。而在主程序中，无法确认 ADC 运行状态，因此在主程序中如需修改 ADC_CHNx 和 ADC_CHNT 等寄存器，需要先关闭 ADC 触发，并向 ADC_CFG[11]写入 1,以复位 ADC 接口电路状态机，确保 ADC 不在工作状态。如果 ADC 在运行中配置发生变化会发生不可预判的行为。

示例程序如下

```
ADC0_CFG_temp = ADC0_CFG;          //Save ADC0_CFG
ADC0_CFG = 0x0000;                 //Disable ADC trigger
ADC0_CFG = 0x0800;                 //Reset ADC state machine
/*
    Add your code below, like:
ADC0_CHNT = 0x0005
ADC0_CHN0 = 0x3210;
ADC0_CHN1 = 0x7654;
*/
ADC0_CFG = ADC0_CFG_temp;          //restore ADC0_CFG
```

12.4.4 选择对应的模拟通道

ADC 采样信号来源可以参考表 12-46，也可以参考请查阅 DATASHEET 中表 2.2 引脚功能选择。关闭对应 IO 的 IE 和 OE，即可使用其模拟功能。

13 TIMER 通用定时器

13.1 概述

13.1.1 功能框图

如图 13-1 所示，通用定时器 TIMER 主要包括 3 个独立的 TIMER。分别可以独立配置运行计数时钟和滤波常数。每个 TIMER 可以用于输出特定周期占空比的波形，也可以捕获外部波形进行周期占空比的检测。

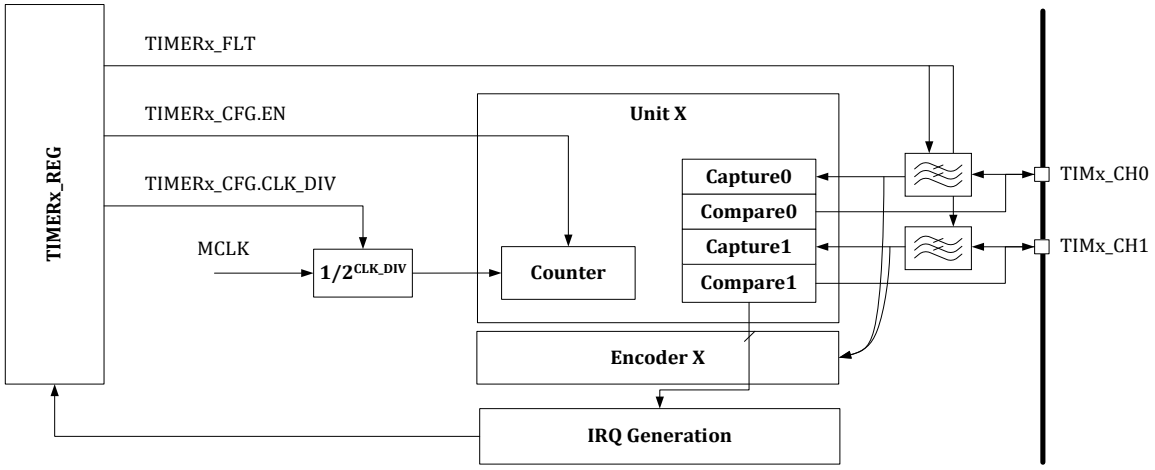


图 13-1 TIMER 模块顶层功能框图

13.1.1.1 寄存器模块

对各个子模块控制寄存器的读写。

对各个子模块状态、结果寄存器的访问。

对各个子模块中断信号的处理和中断产生。

13.1.1.2 IO 滤波模块

IO 滤波模块对来自芯片外部的输入信号进行滤波，降低毛刺对定时器功能的影响。

13.1.1.3 通用定时器模块

通用定时器模块实现了通用的定时器功能，包括比较和捕获工作模式。每个定时器包含两个通道，可以处理两个外部输入信号或者产生两个脉冲信号送到芯片外部。

通用定时器模块，支持外部事件触发开始计数。外部事件源头可配。当外部事件触发后，定时器开始自增。支持使用外部信号作为 timer 时钟进行计数。

13.1.1.4 编码器模块

编码器模块用于对芯片外部送入的编码器编码信号进行计数。定时器模块中集成了 1 个编码器

模块 QEP0。

13.1.1.5 时钟分频模块

时钟分频模块用于产生定时器工作所需的各种分频时钟。

13.1.2 功能特点

定时器模块有以下特点:

- 独立工作，可工作在不同频率下
- TIMER0/1 为 16bit 通用定时器
- TIMER2 为 32bit 通用定时器
- 每个通用定时器处理 2 个外部输入信号（捕获模式），或者产生 2 个输出信号（比较模式）
- 对每个输入信号可以进行最大 2040 个系统主时钟的滤波，即，当芯片工作在 96MHz 时钟频率下时，可以滤除 21uS 宽度以下毛刺

13.2 特性

13.2.1 时钟分频

TIMER 使用 TIMERx_CFG.CLK_DIV 进行分频，可以降低计数器的计数频率，分频系数可以设置为 1/2/4/8/16/32/64/128.

13.2.2 中断标志清零

采用了通过对每个中断标志位写 1 来清除标志位的设计。

13.2.3 滤波

每个定时器模块有两个通道，在工作于输入捕获模式时，两个通道共享一个滤波系数。

通过配置滤波寄存器 TIMERx_FLT，可以调整滤波宽度为 0~2040 个 TIMER 计数时钟宽度。

输入信号滤波使用 TIMER 计数的分频时钟，**TIMERx_CFG.CLK_DIV 对 TIMER 计数时钟的分频对滤波时钟有影响，即 TIMER 分频后滤波宽度随之变大**。

如图 13-2 所示，原始输入信号在 t1~t6 几个时刻发生了翻转，滤波器宽度配置成 T。可以看到只有 t3 和 t6 时刻发生的翻转维持了大于 T 的时间，因此从滤波器的输出看，信号仅发生了两次翻转。。

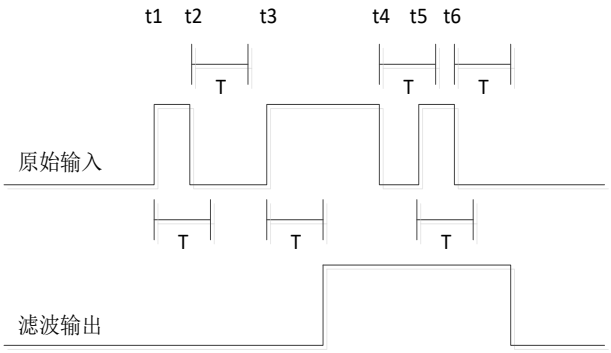


图 13-2 TIMER 滤波示意图

13.2.4 模式

13.2.4.1 计数器

TIMER 中的计数器可以选择递增或递减方向计数，默认为递增计数。

若为递增计数，则计数器从 0 计数到 TH 值，再回到 0 重新开始计数，计数器回到 0 时，产生回零中断。若为递减计数，则计数器从 TH 计数到 0 值，再回到 TH 重新开始计数，计数器回到 0 时，产生回零中断。实际计数周期为 (TH+1)/clk_freq，clk_freq 指定时器的时钟频率。

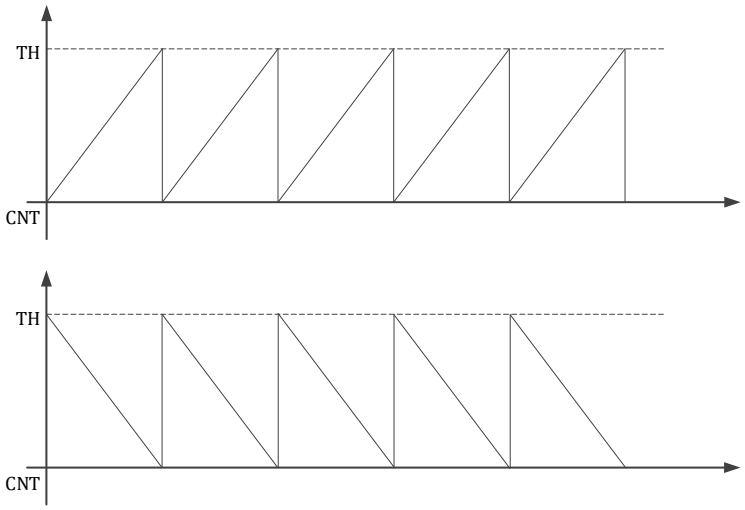


图 13-3 TIMER 通用计数器

计数器的计数时钟可以通过 TIMERx_CFG.XCLK_EN 进行配置，可以使用芯片内部的系统时钟（通常为芯片内部 PLL 时钟）或使用 TIMER 通道 0/1 信号作为外部时钟进行计数。

计数器的计数时钟可以通过 TIMERx_CFG.CLK_DIV 进行分频，以降低计数器的计数频率。

13.2.4.2 捕获模式

捕获模式下，可以使用 TIMER 来检测输入信号的上升/下降或者双沿，发生捕获事件（即输入信号电平变化）时，定时器计数值存入 TIMER_UNTx_CMP 寄存器，并产生捕获中断。计数器回零时，仍然会产生回零中断。

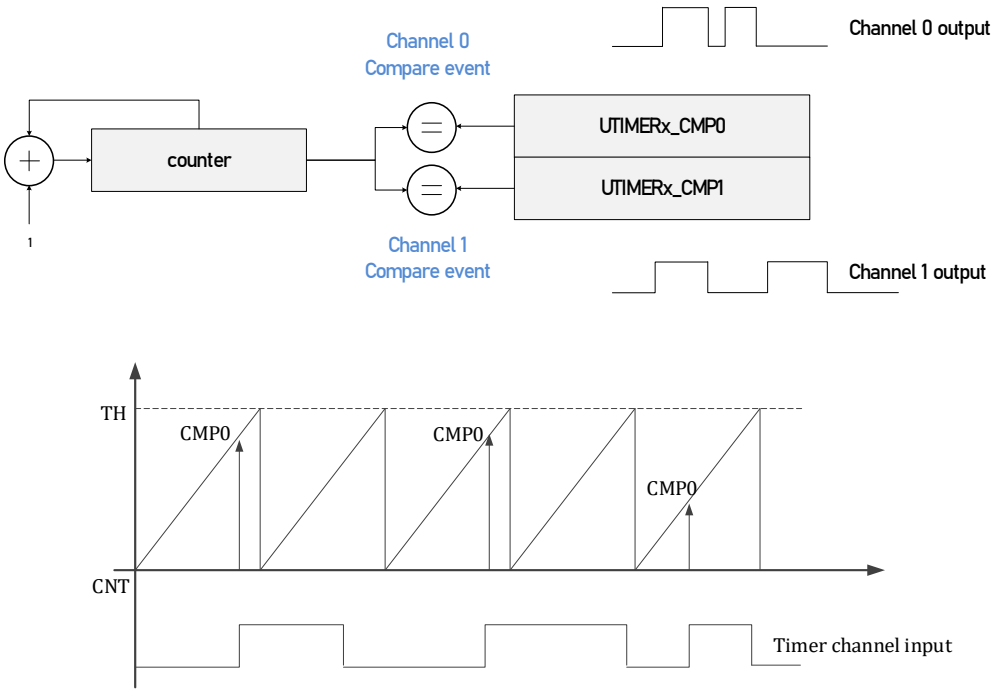


图 13-4 TIMER 捕获模式

如图 13-4 所示，定时器设置为上升沿捕获。在 CAP0/CAP1/CAP2 三个时刻点，捕获到输入信号发生上升沿变化，对应时刻点的定时器计数值将存入 TIMER_UNTx_CMP 寄存器中。

捕获模式下，通道 0/1 捕获的信号来源可以通过 TIMERx_CFG.SRC0 和 TIMERx_SRC1 进行设置，信号源可以设置为来自 IO 的通道信号，或来自模拟比较器，以及来自 IO 的两个通道信号的异或。

可以通过设置 TIMERx_CFG.CAP0_CLR_EN 或 TIMERx_CFG.CAP1_CLR_EN 使能 TIMER 自动清零，即当通道 0/1 发生捕获事件时，TIMERx_CNT 自动回零重新开始计数。这一功能便于 TIMER 计算捕获信号的周期和占空比。

例如，如果设置了 TIMER0 的通道 0/1 同时捕获同一个信号，通道 0 捕获上升沿，通道 1 捕获下降沿。且使能 CAP0_CLR_EN，即发生通道 0 捕获事件时 TIMERx_CNT 自动回零。则当发生发生通道 0 捕获事件（CAP0）时，TIMERx_CMP0 记录的值为信号上一个周波的周期，TIMERx_CMP1 记录的值为信号上一个周波的高电平占空比。

同理，如果设置了 TIMER0 的通道 0/1 同时捕获同一个信号，通道 0 捕获上升沿，通道 1 捕获下降沿。且使能 CAP1_CLR_EN，即发生通道 1 捕获事件时 TIMERx_CNT 自动回零。则当发生发生通道 1 捕获事件（CAP1）时，TIMERx_CMP1 记录的值为信号上一个周波的周期，TIMERx_CMP0 记录的值为信号上一个周波的低电平占空比。

13.2.4.3 比较模式(边沿对齐 PWM)

比较模式下，计数器计数到 TIMERx_CMP 值时，产生比较中断。比较模式可以驱动一个比较脉冲发生，在回零时，向 IO 口输出一个电平（极性可配置），在比较事件发生时，电平翻转，向 IO 口输出另一个电平。计数器回零时，仍然会产生回零中断。设置 TIMERx_CMP0=0，可使得 TIMER X 通道 0 为恒 1，设置 TIMERx_CMP0=TIMERx_TH+1，可使得 TIMER 通道 0 为恒 0。

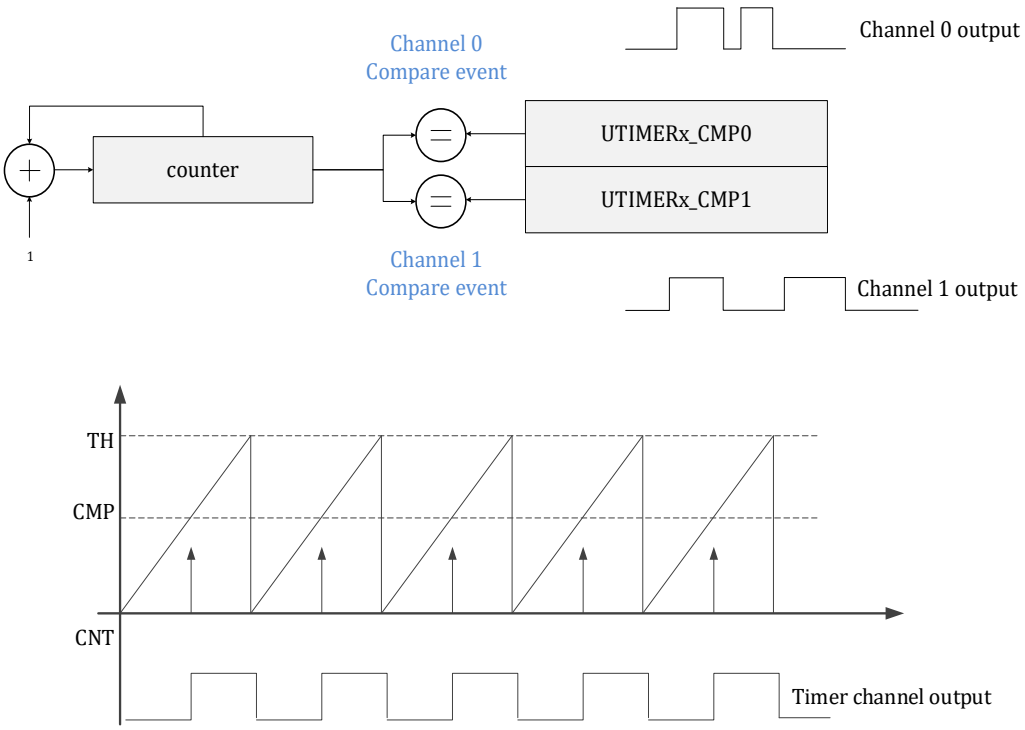


图 13-5 TIMER 比较模式

13.2.4.4 单次触发

在比较模式下，当 TIMERx_CFG2.EN=0，即 TIMER 没有开始计数时，通过向 TIMERx_CFG2.ONE_TRIG 写入 1，可以触发 TIMER 发出一个周期特定占空比的波形。结束后 TIMER 回到空闲状态，通道不再动作。

此外 TIMERx_CFG2.RTE 重复触发使能也会影响单次触发行为。

当 RTE=0 时，如果 TIMER 单次触发仍在计数周期内再次发生单次触发，TIMER 不会响应，仍继续完成本次周期计数。即在单次触发计数过程中发生的过于频繁的软件单次触发不被 TIMER 接受。如下图，第 3 次向 ONE_TRIG 写 1 无效，不会触发 TIMER 重新开始计数。

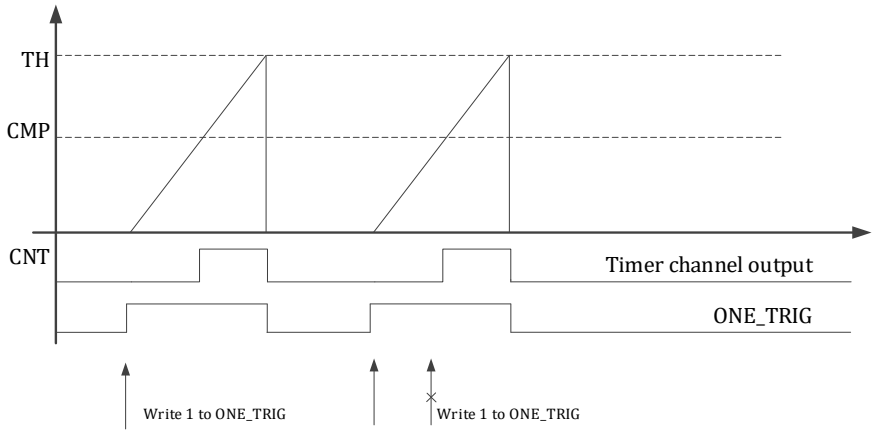


图 13-6 RTE=0 时 TIMER 单次触发

当 RTE=1 时，如果 TIMER 单次触发仍在计数周期内再次发生单次触发，TIMER 会立即响应，重新开始一个周期的单次计数。如下图，第 3 次向 ONE_TRIG 写 1 有效，触发 TIMER 重新开始计数。

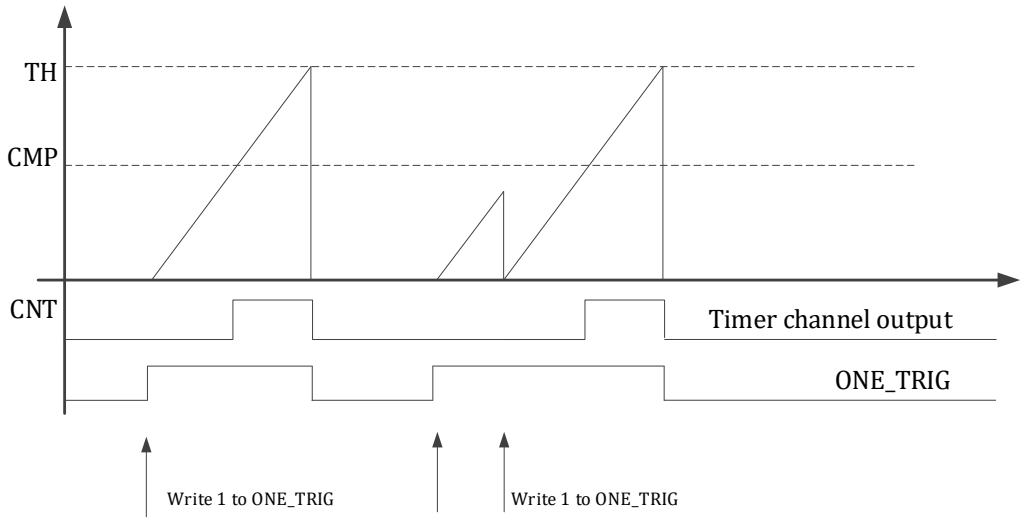


图 13-7 RTE=1 时 TIMER 单次触发

13.2.4.5 中心模式(互补 PWM)

除递增计数和递减外，计数器还可以设置为中心计数模式，即 TIMERx_CFG2.CENTER=1。此时，计数器从 0 递增计数至 TH 后再递减计数回 0，开始下一个周期的中心计数。实际计数周期为(2*TH+1)/clk_freq，clk_freq 指定时器的时钟频率。中心计数模式可以用于输出互补 PWM 波形，通过合理设置 TIMERx_CMP0/1 可以产生上下管导通死区，死区时间=TIMERx_CMP1-TIMERx_CMP0。此外，需要合理设置通道的初始值以产生互补波形。TIMER 在递增计数和递减计数期间都会有 TIMERx_CNT=TIMER_CMP0/1 的时刻，但只有递增计数阶段会产生中断事件。

此外，TIMER0 支持 FAIL 事件及时关断 PWM 输出。发生 FAIL 事件时，TIMER 通道 0/1 输出值由 TIMER0_IO.CH0_DEFAULT 和 TIMER0_IO.CH1_DEFAULT 指定，同时 TIMER0_IO.MOE 被 FAIL 事件清零，软件将 MOE 置 1 后，TIMER 通过恢复输出 PWM 波形。

TIMER0 同时配备了影子寄存器 TIMER0_STH/ TIMER0_SCMP0/ TIMER0_SCMP1。当 TIMER0_CFG.SHADOW=1 时，表示使用影子寄存器作为计数器的动作指示，TIMER0_TH/ TIMER0_CMP0/ TIMER0_CMP1 仅仅作为预装载寄存器，向 TIMER0_TH/ TIMER0_CMP0/ TIMER0_CMP1 写入仅仅修改预装载值，不改变影子寄存器值。TIMER0 的影子寄存器可以通过向 TIMER0_CFG.UPDATE 写 1 进行软件更新；或者可以等待 TIMER 过零事件自动更新。

当 TIMER0_CFG.SHADOW=0 时，与普通 TIMER 相同，仍使用 TIMER0_TH/ TIMER0_CMP0/ TIMER0_CMP1 作为计数器的动作指示。

读取 TIMER0_TH/ TIMER0_CMP0/ TIMER0_CMP1 时，总是返回影子寄存器值 TIMER0_STH/ TIMER0_SCMP0/ TIMER0_SCMP1。

表 13-1 TIMER0 影子寄存器对应关系

TIMER0_CFG.SHADOW 设定值	0	1
TIMER0_CNT 命中 TH	TIMER0_TH	TIMER0_STH
TIMER0_CNT 命中 CMP0	TIMER0_CMP0	TIMER0_SCMP0
TIMER0_CNT 命中 CMP1	TIMER0_CMP1	TIMER0_SCMP1

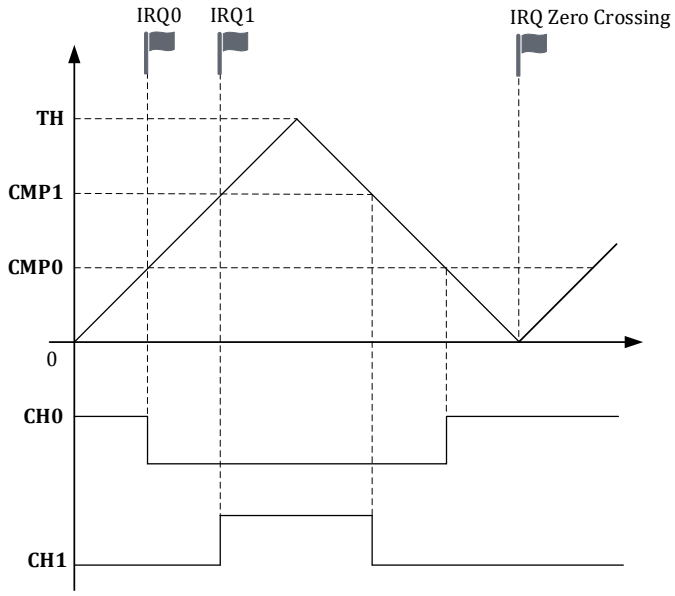


图 13-8 TIMER 中心计数模式

TIMER0/1/2 均支持中心计数模式进行互补 PWM 输出；但只有 TIMER0 配备了影子寄存器和 FAIL 急停机制。即只有 TIMER0 存在 TIMER0_IO 寄存器。

13.2.5 外部事件

TIMER 支持与其他 TIMER 通道、MCPWM 的 ADC 触发事件以及 CLU 输出进行联动。外部信号可以作为 TIMER 的外部启动信号、外部时钟信号、外部重置信号、外部门控信号。

外部事件在 TIMER 内部只有一种解释，因此只能使用一种外部事件功能，以上 4 种功能不可以同时使用，亦即 TIMERx_CFG2.ETON，TIMERx_CFG2.XCLK_EN，TIMERx_CFG2.RL_EN，TIMERx_CFG2.GATE_EN 4 个设置位只能有一个为 1。

以下说明均以 TIMER 正向递增计数为例，递减计数同理。

外部事件通过 TIMERx_EVT 进行选择。

13.2.5.1.1 外部启动信号

当 TIMERx_CFG.EN=1 且 TIMERx_CFG.ETON=1 时，TIMERx 在发生外部事件前 CNT 停留在 0，在发生外部事件时启动计数。外部启动信号被处理为一个脉冲信号后进行 TIMER 的启动触发。

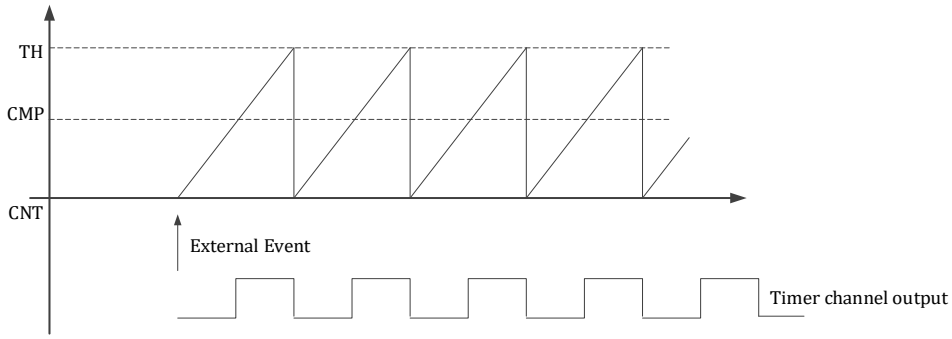


图 13-9 TIMER 外部事件触发启动

外部启动也可以与单次触发进行联合使用，此时软件需要先配置 TIMERx_CFG2.EN=0 且 ETON=1，然后配置 ONE_TRIG=1，等待外部事件触发后，TIMER 进行一个周期的计数，周期结束后 ONE_TRIG 不再被硬件清零，随后只要外部事件触发一次，TIMER 就会进行一个周期的计数。

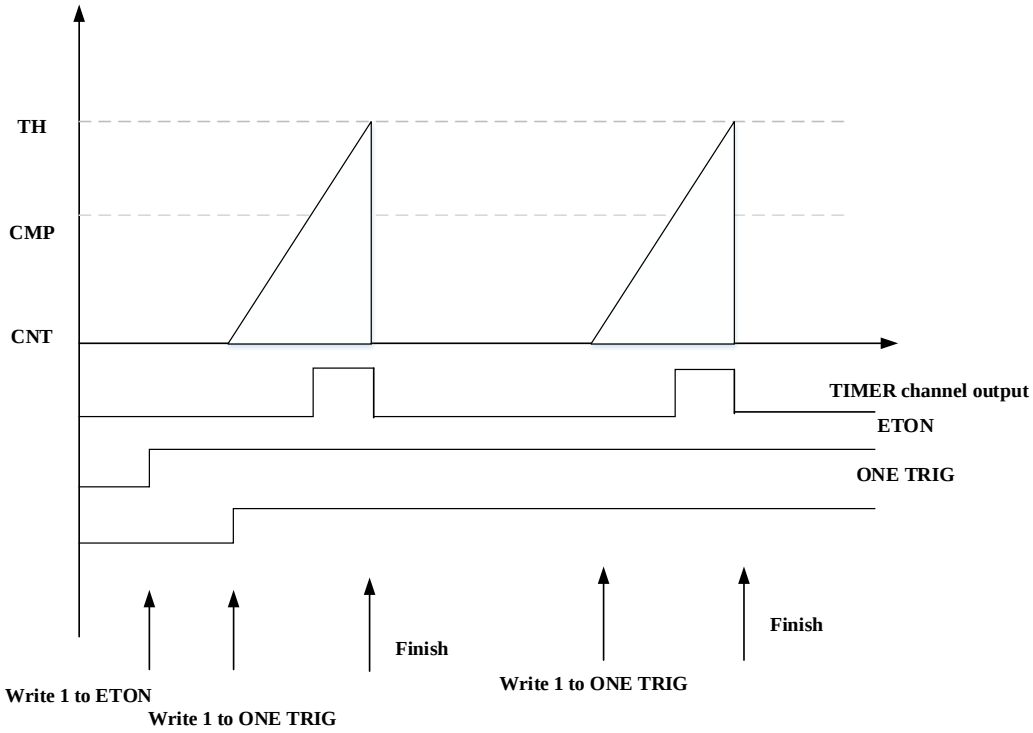


图 13-10 TIMER 外部事件触发单次（单周期）计数

13.2.5.1.2 外部时钟信号

通过设置 TIMERx_CFG.XCLK_EN=1，TIMER 可以使用外部信号作为计数时钟。外部时钟的选择通过 TIMERx_EVT 进行设置。

当外部信号出现上升沿时，TIMERx_CNT 递增（或递减）。特别地，如果使用 TIMERm 的通道输入作为 TIMERx 的外部时钟，则 TIMERm 的通道输入为收到 TIMERm 滤波后的信号。

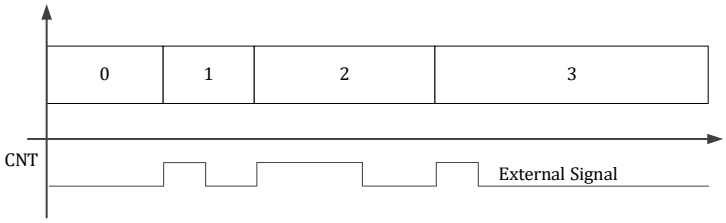


图 13-11 TIMER 使用外部时钟计数

13.2.5.1.3 外部重置信号

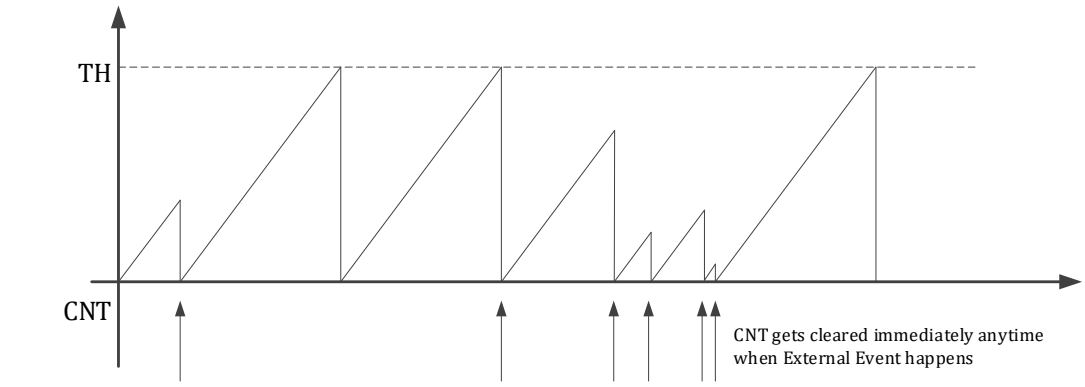
通过设置 TIMERx_CFG.RL_EN=1，TIMER 可以使用外部信号作为重置信号。外部重置信号的选择通过 TIMERx_EVT 进行设置。如果 TIMER 设置为递增计数或中心计数，发生外部信号重置时，TIMERx_CNT 被重置为 0；如果 TIMER 设置为递减计数，发生外部信号重置时，TIMERx_CNT 被重置为 TIMERX_TH。外部重置信号被处理为一个脉冲信号后对 TIMER 进行重置。

此外，外部重置可以和 TIMERx_EVT.EVT_TH 和 TIMERx_CMP1 配合使用。当 TIMERx_EVT.EVT_TH=0 时，发生一次外部重置事件即将 TIMERx_CNT 重置。TIMERx_EVT.EVT_TH 不为 0 时，需要发生 TIMERx_EVT.EVT_TH+1 次外部重置事件才将 TIMERx_CNT 重置。

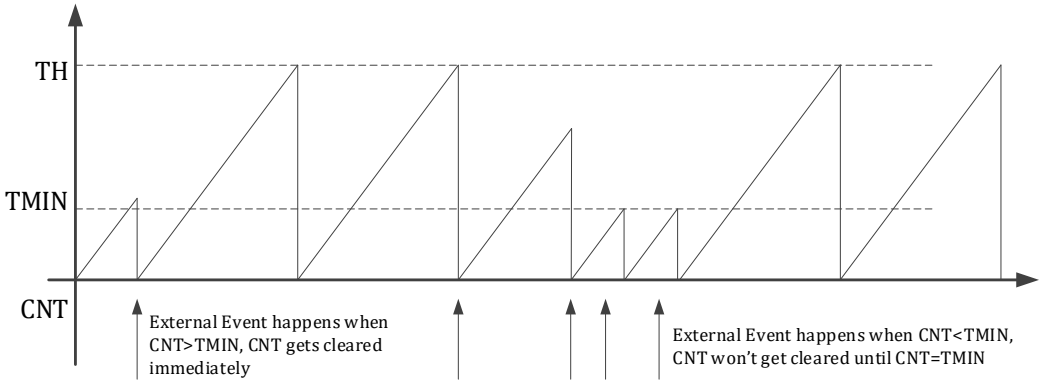
当 TIMERx_CFG2.CMP1TMIN=1 时，TIMERx_CMP1 被作为重置发生的计数门限值 TMIN 使用，即只有当 TIMERx_CNT>TMIN=TIMERx_CMP1 时，才可以发生 TIMERx_CNT 重置。即使外部重置事件已经累积到足够次数，也需要等待 TIMERx_CNT 计数至 TIMERx_CMP1 才会重置 TIMERx_CNT。这种配置下，由于 TIMERx_CMP1 被作为重置的计数门限值 TMIN 使用，通常不再使用 TIMER 的通道 1 输出信号，通道 0 的输出信号可以正常使用。

当 TIMERx_CFG2.CMP1TMIN=0 时，即 TMIN=0，只要外部事件计数只足够数目即发生 TIMERx_CNT 重置，因为 TIMERx_CNT>TMIN 总是满足的。

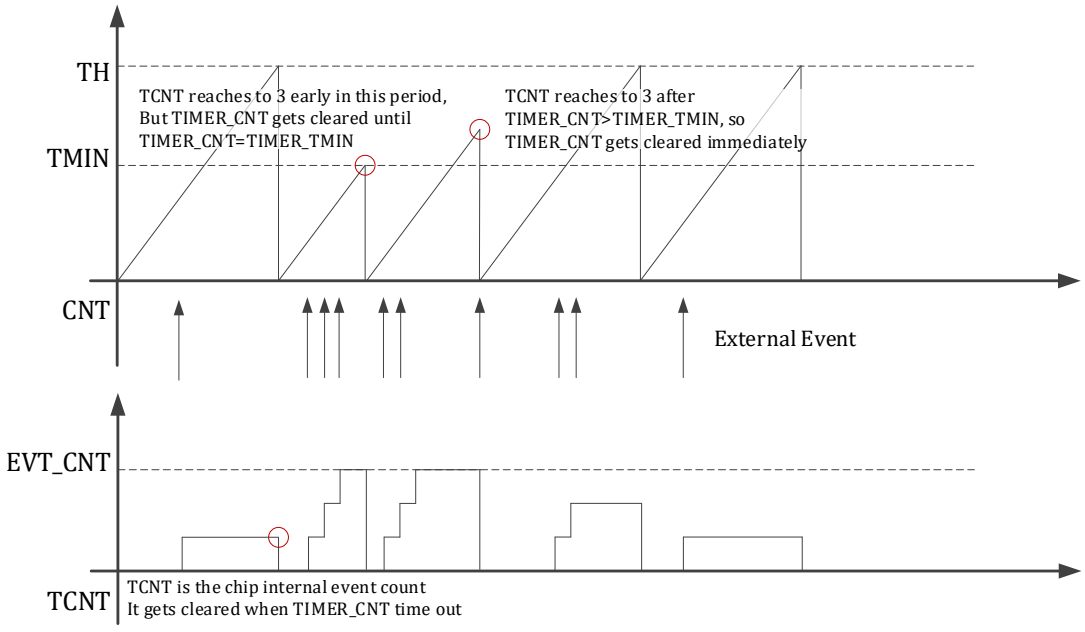
外部事件计数次数 TCNT，在每个 TIMER 周期结束后也会清零重新开始计数，不累积至下一个 TIMER 周期，计数至足够次数后则停止计数直到 TIMERx_CNT 重置（/清零）发生。TIMERx_CNT 清零动作也会导致外部事件计数次数 TCNT 清零。外部事件计数次数 TCNT 为内部计数器，软件不可读。



TIMER_CFG.CMP1TMIN=0，TIMER_CFG.RL_EN=1, TIMER_EVT.EVT_TH=0



TIMER_CFG.CMP1TMIN=1，TIMER_CFG.RL_EN=1, TIMER_EVT.EVT_TH=0



TIMER_CFG.CMP1TMIN=1，TIMER_CFG.RL_EN=1, TIMER_EVT.EVT_TH=3

图 13-12 TIMER 外部信号重置功能

13.2.5.1.4 外部门控信号

通过设置 TIMERx_CFG.GATE_EN=1，TIMER 可以使用外部信号作为门控信号。外部门控信号的选择通过 TIMERx_EVT 进行设置。门控信号电平为高时，TIMER 进行计数，电平为低时，TIMER 停止计数，TIMERx_CNT 保持不变。由于门控信号需要为电平信号，因此 MCPWM 的 ADC 触发信号无法作为外部门控信号使用。特别地，如果使用 TIMERm 的通道输入作为 TIMERx 计数的门控信号，通道输入信号受到 TIMERm 的滤波影响。

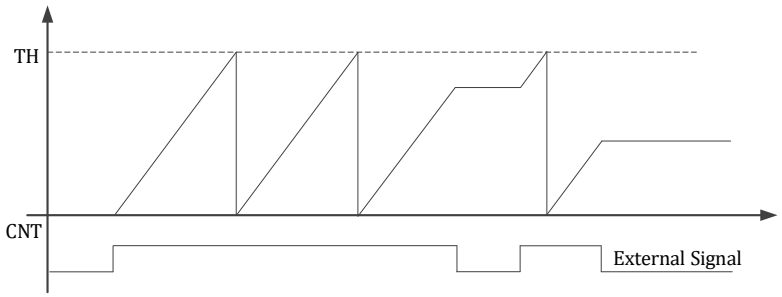


图 13-13 TIMER 外部信号门控功能

13.2.6 ADC 触发

TIMER0/2 的比较事件（CMP0/1）可作为 ADC0 采样触发事件。

TIMER0/1 的比较事件（CMP0/1）可作为 ADC1 采样触发事件。

13.2.7 编码器

编码器接口支持正交编码信号、符号加脉冲信号、CW/CCW 双脉冲信号三种模式。

其中 QEP0 的两个输入信号 T1/T2 分别来自 TIMER2 Channel0/1 对应的 GPIO 输入.开启编码器功能时并不影响 TIMER 功能的正常使用。

编码器的输入 T1/T2/Z 信号均受对应的编码器的滤波系数控制。

由于编码器复用的是 TIMER 通道输入，需要开启对应的 SYS_CLK_FEN 中对应的 TIMER 时钟使能。如使用 QEP0 需要开启 Time2 外设时钟使能。

13.2.7.1 正交编码信号

正交编码信号多用于计数编码器圈数，输入为 T1/T2 两个信号，支持下表中两个模式。

概括来讲，T1/T2 的跳变沿会导致计数器递增或递减。而计数器计数方向（递增或递减）由跳变信号之外的另一个稳态信号的电平高低决定。

如果 T1 发生了上升沿跳变，则看 T2 是高电平还是低电平，如果是高电平则计数器递减，如果是低电平计数器递增，T1 下降沿计数器变化相反。

如果 T2 发生了上升沿跳变，则看 T1 是高电平还是低电平，如果是高电平则计数器递增，如果是低电平计数器递减，T2 下降沿计数器变化相反。

逻辑关系如下公式所示:

Counter Up = (T1 !=T2) @(T1 triggering edges) | (T1 == T2) @ (T2 triggering edges)

Counter Down = (T1 == T2) @ (T1 triggering edges) | (T1 != T2) @ (T2 triggering edges)

表 13-2 编码器正交编码工作模式

计数模式	T1/T2 电平状态(稳态信号)	T1 变化边沿状态		T2 变化边沿状态	
		上升沿	下降沿	上升沿	下降沿
仅 T1 计数	T2 高	递减	递增	不计数	不计数
	T2 低	递增	递减	不计数	不计数
T1/T2 都计数	T2 高	递减	递增	不计数	不计数
	T2 低	递增	递减	不计数	不计数
	T1 高	不计数	不计数	递增	递减
	T1 低	不计数	不计数	递减	递增

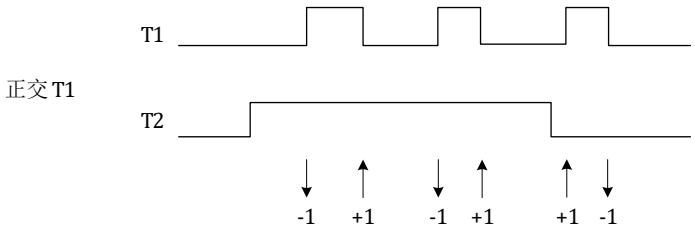


图 13-14 编码器只在 T1 时刻计数的正交编码信号计数情况

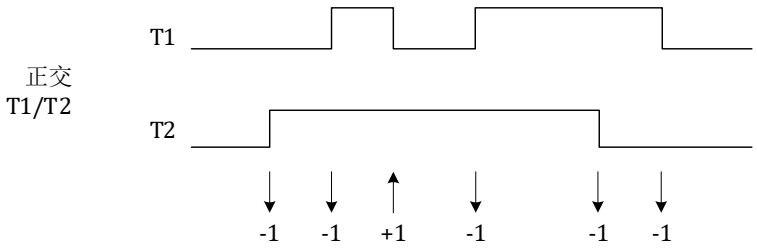


图 13-15 编码器在 T1 或 T2 时刻计数的正交编码信号计数情况

13.2.7.2 符号加脉冲信号

这种工作模式下，T1 为脉冲信号，T2 为符号信号。T1 的边沿触发计数，T2 电平控制计数方向，高则递增，低则递减。可以配置仅 T1 上升沿计数还是 T1 上升下降沿都计数。

Counter Up = (T2==1) @ (T1 triggering edges)

Counter Down = (T2==0) @ (T1 triggering edges)

表 13-3 编码器符号加脉冲工作模式

计数模式	T2 电平状态(稳态信号)	T1 变化边沿状态	
		上升沿	下降沿
仅 T1 上升沿	高	递增	不计数

	低	递减	不计数
T1 上升下降沿	高	递增	递增
	低	递减	递减

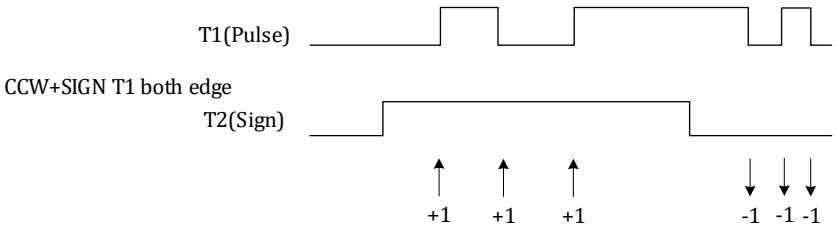


图 13-16 编码器在 T1 上升下降沿都计数的符号加脉冲信号计数情况

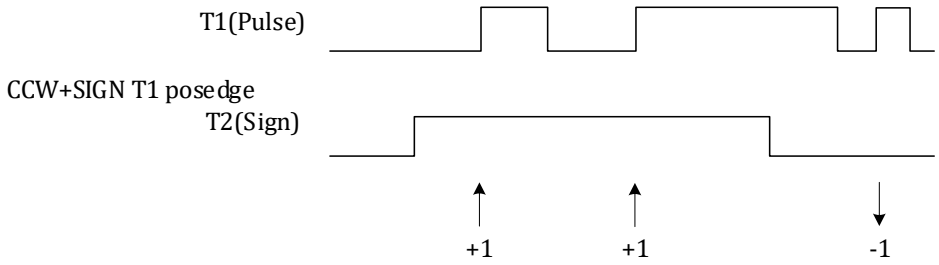


图 13-17 编码器在仅 T1 上升沿计数的符号加脉冲信号计数情况

13.2.7.3 CCW/CW 双脉冲信号

在 T1 跳变时计数器递增，在 T2 跳变时计数器递减。可以配置计数器仅在上升沿变化或者在上升下降沿都变化。以下式表示

Counter Up = 1 @ (T1 triggering edges)

Counter Down = 1 @ (T2 triggering edges)

表 13-4 编码器 CCW/CW 双脉冲工作模式

计数模式	变化边沿状态			
	T1 上升沿	T1 下降沿	T2 上升沿	T2 下降沿
T1/T2 上升沿	递增	不计数	递减	不计数
T1/T2 上升下降沿	递增	递增	递减	递减

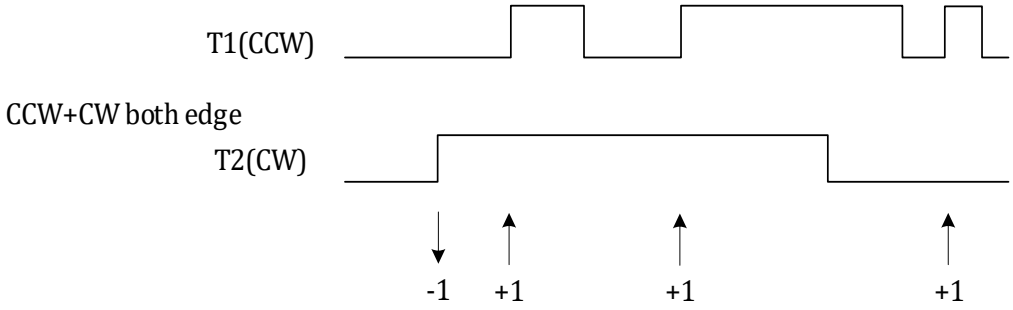


图 13-18 编码器仅在 T1/T2 上升沿计数的 CCW/CW 双脉冲信号计数情况

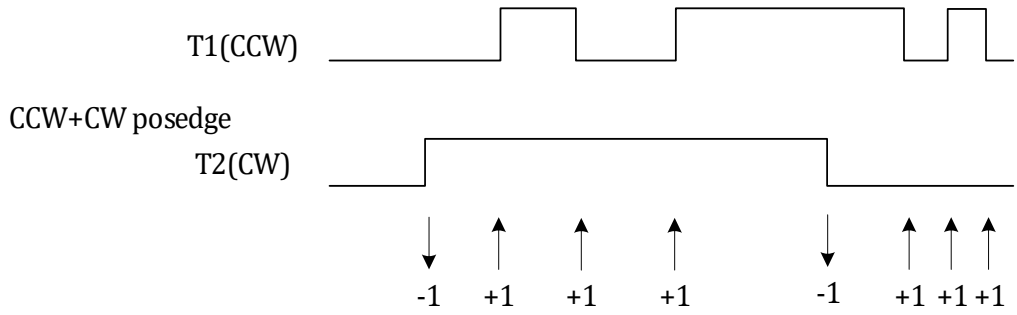


图 13-19 编码器在 T1/T2 上升下降沿计数的 CCW/CW 双脉冲信号计数情况

13.3 寄存器

13.3.1 地址分配

TIMER0/1/2 不同之处在于 TIMER0/1 计数器相关寄存器为 16 位宽，而 TIMER2 计数器相关寄存器为 32 位宽，即 TIMERx_TH，TIMERx_CMP0，TIMERx_CMP1 的位宽不同。

且 TIMER0、TIMER1 的 TH/CMP0/CMP1 存在影子寄存器，可以选择是否启用影子寄存器，如果不启用，则 TIMER0/TIMER1 和 TIMER2 相同。如果启用影子寄存器，则向以上 3 个寄存器写入的仅仅是预装载值，当 TIMER0/1 发生过零事件时，预装载值被加载进入影子寄存器；读取 TIMER0_TH/CMP0/CMP1 以及 TIMER1_TH/CMP0/CMP1 读取的影子寄存器的值。

13.3.2 TIMER0 寄存器

TIMER0 在芯片中的基地址是 0x4001_0600

表 13-5 TIMER0 寄存器地址分配

名称	偏移	描述
TIMER0_CFG0	0x00	TIMER0 通道 0 配置寄存器
TIMER0_CFG1	0x04	TIMER0 通道 1 配置寄存器
TIMER0_CFG2	0x08	TIMER0 配置寄存器 2

TIMER0_TH	0x10	TIMER0 计数门限寄存器
TIMER0_CNT	0x14	TIMER0 计数值寄存器
TIMER0_CMP0	0x18	TIMER0 比较/捕获寄存器 0
TIMER0_CMP1	0x1C	TIMER0 比较/捕获寄存器 1
TIMER0_EVT	0x20	TIMER0 外部事件选择寄存器
TIMER0_FLT	0x24	TIMER0 滤波控制寄存器
TIMER0_IE	0x28	TIMER0 中断使能寄存器
TIMER0_IF	0x2C	TIMER0 中断标志寄存器
TIMER0_IO	0x30	TIMER0 IO 控制寄存器

13.3.2.1 TIMER0_CFG0 TIMER0 通道 0 配置寄存器

地址:0x4001_0600

复位值:0x0

表 13-6 TIMER0 通道 0 配置寄存器 TIMER0_CFG0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					TRIGGER_MODE		CAP_CLR_EN	SRC				CH_POL	CH_MODE	CH_FE_CAP_EN	CH_RE_CAP_EN
					RW		RW	RW				RW	RW	RW	RW
					0		0	0				0	0	0	0

位置	位名称	说明
[31:11]		未使用
[10:9]	TRIGGER_MODE	用于选择递增计数时触发还是递减计数的时候触发 adc 采样。默认值是 0x0。 0x1:递增计数时触发 0x2:递减计数时触发 其他的值则意味着递增和递减时都能触发 ADC 采样
[8]	CAP_CLR_EN	当发生 CAP 捕获事件时，清零 TIMERx_CNT，高有效
[7:4]	SRC	TIMER 捕获模式通道 0 信号来源。默认为 0x0。 0x0: TIMER 通道 0，来自芯片 GPIO（参见 Datasheet 及应用配置） 0x1: TIMER 通道 1，来自芯片 GPIO（参见 Datasheet 及应用配置） 0x2: CLU0 输出 0x3: CLU1 输出 0x4: CLU2 输出 0x5: CLU3 输出 0x6: 比较器 0 的输出 0x7: 比较器 1 的输出 0x9: TIMER 通道 0 和 1 的异或

		0xA: LRC 时钟
[3]	CH_POL	TIMER 通道 0 在比较模式下的输出极性控制:当计数器 CNT<CMP0 时的输出值。时的输出值。
[2]	CH_MODE	TIMER 通道 0 的工作模式选择，默认值为 0。 0: 比较模式。输出方波，在 TIMER 通道 0 计数器计数值等于 0 或等于 TIMER 比较捕获寄存器值时，IO 发生翻转。 1: 捕获模式。当 TIMER 通道 0 输入信号发生捕获事件时，将计数器计数值存入 TIMER 通道 0 比较捕获寄存器。
[1]	CH_FE_CAP_EN	TIMER 通道 0 下降沿捕获事件使能。1:使能；0:关闭。 TIMER 通道 0 输入信号发生 1→0 跳变被视为捕获事件。下降沿事件使能可以与上升沿事件使能并存。
[0]	CH_RE_CAP_EN	TIMER 通道 0 上升沿捕获事件使能。1:使能；0:关闭。 TIMER 通道 0 输入信号发生 0→1 跳变被视为捕获事件。上升沿事件使能可以与下降沿事件使能并存。

13.3.2.2 TIMER0_CFG1 TIMER0 通道 1 配置寄存器

地址:0x4001_0604

复位值:0x0

表 13-7 TIMER0 通道 1 配置寄存器 TIMER0_CFG

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					TRIGGER_MODE		CAP_CLR_EN	SRC				CH_POL	CH_MODE	CH_FE_CAP_EN	CH_RE_CAP_EN
					RW		RW	RW				RW	RW	RW	RW
					0		0	0				0	0	0	0

位置	位名称	说明
[31:11]		未使用
[10:9]	TRIGGER_MODE	用于选择递增计数时触发还是递减计数的时候触发 adc 采样。默认值是 0x0。 0x1:递增计数时触发 0x2:递减计数时触发 其他的值则意味着递增和递减时都能触发 ADC 采样
[8]	CAP_CLR_EN	当发生 CAP1 捕获事件时，清零 TIMERx_CNT，高有效
[7:4]	SRC	TIMER 捕获模式通道 1 信号来源。默认为 0x1。 0x0: TIMER 通道 0，来自芯片 GPIO（参见 Datasheet 及应用配置） 0x1: TIMER 通道 1，来自芯片 GPIO（参见 Datasheet 及应用配置） 0x2: CLU0 输出 0x3: CLU1 输出 0x4: CLU2 输出

		0x5: CLU3 输出 0x6: 比较器 0 的输出 0x7: 比较器 1 的输出 0x9: TIMER 通道 0 和 1 的异或 0xA: LRC 时钟
[3]	CH_POL	TIMER 通道 1 在比较模式下的输出极性控制，当计数器 CNT<CMP1 时的输出值。
[2]	CH_MODE	TIMER 通道 1 的工作模式选择，默认值为 0。 0: 比较模式。输出方波，在 TIMER 通道 1 计数器计数值等于 0 或等于 TIMER 比较捕获寄存器值时，IO 发生翻转。 1: 捕获模式。当 TIMER 通道 1 输入信号发生捕获事件时，将计数器计数值存入 TIMER 通道 1 比较捕获寄存器。
[1]	CH_FE_CAP_EN	TIMER 通道 1 下降沿捕获事件使能。1:使能；0:关闭。 TIMER 通道 1 输入信号发生 1→0 跳变被视为捕获事件。下降沿事件使能可以与上升沿事件使能并存。
[0]	CH_RE_CAP_EN	TIMER 通道 1 上升沿捕获事件使能。1:使能；0:关闭。 TIMER 通道 1 输入信号发生 0→1 跳变被视为捕获事件。上升沿事件使能可以与下降沿事件使能并存。

13.3.2.3 TIMER0_CFG2 TIMER0 配置寄存器 2

地址:0x4001_0608

复位值:0x0

表 13-8 TIMER0 配置寄存器 2 TIMER0_CFG2

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EN	RTE		CMP1TMIN	UPDATE	SHADOW	ONE_TRIG	CENTER	DIR	CLK_DIV			ETON	GATE_EN	RL_EN	XCLK_EN
RW	RW		RW	WO	RW	RW	RW	RW	RW			RW	RW	RW	RW
0	0		0	0	0	0	0	0	0			0	0	0	0

位置	位名称	说明
[15]	EN	TIMER 模块整体使能，高有效
[14]	RTE	单次触发模式下是否可以在一个周期内再次触发 0:不使能再次触发，即一个单次计数周期内发生的单次触发信号被忽略； 1:使能再次触发，即一个单次计数周期内发生的单次触发信号会令 TIMERx_CNT 重置重新开始一个周期的计数
[13]		
[12]	CMP1TMIN	当 RL_EN=1 时，使用 CMP1 作为 TMIN。 TMIN 为 TIMER 最小计数值寄存器。只有当 TIMERx_CNT>= TMIN 时，外部重置事件才会将 TIMERx_CNT 清零。如果 TIMERx_CNT< TMIN，则等到 TIMERx_CNT= TMIN 时 TIMERx_CNT 清零。

[11]	UPDATE	软件更新 启用影子寄存器时，向 UPDATE 写 1 将 TH/CMP0/CMP1 的预装载值加载到影子寄存器 STH/SCMP0/SCMP1 之中。自动清零，读回恒为 0。写 0 无作用。 **推荐使用 TIMER0_CFG|=BIT11;的方式进行手动更新影子寄存器的操作，防止手动更新时误将其他配置清零。**
[10]	SHADOW	0: 不启用影子寄存器，软件写入 TH/CMP0/CMP1 时直接更新对应的影子寄存器 1: 启用影子寄存器，软件写入 TH/CMP0/CMP1 时进仅仅更新预装载值，当 TIMER 发生过零事件时才将预装载值写入影子寄存器
[9]	ONE_TRIG	单次发送模式，此位需要在 TIMER 比较模式下使用，且 EN 需设置为 0 ETON 为 0 时，软件向 ONE_TRIG 写 1 触发 TIMER 发送一个周期的特定占空比的脉冲，TIMER 计数一个周期后停止。此位在 TIMER 计数的当前周期内读为 1，TIMER 停止后，自动清零。 ETON 为 1 时，即使软件配置 ONE_TRIG=1，也需要等待外部事件触发，TIMER 计数一个周期后停止。ONE_TRIG 位在外部触发 TIMER 计数一个周期停止后不被硬件清零。
[8]	CENTER	中心计数模式使能 0: TIMER 向上从 0 计数至 TH，然后回 0，或 TIMER 向下从 TH 计数至 0，然后回到 TH 1: TIMER 向上从 0 计数至 TH，然后向下计数至 0
[7]	DIR	0: 0->TH 递增计数，1:TH->递减计数 此位在 CENTER=1 时只读，用于指示当前计数方向
[6:4]	CLK_DIV	TIMERx_CNT 频率配置，计数器计数频率是系统主时钟频率的 2^{CLK_DIV} 分频。默认值为 0，不分频。 0: 1 分频 1: 2 分频 2: 4 分频 3: 8 分频 4: 16 分频 5: 32 分频 6: 64 分频 7: 128 分频
[3]	ETON	TIMERx_CNT 外部启动使能 0: 自动运行 1:等待外部事件触发计数，外部触发信号根据 TIMER0_EVT.EVT_SRC 进行选择 需要注意的是，使用外部触发也需要设置 TIMERx_CFG.EN=1，除非是外部信号进行的单次触发，即 TIMERx_CFG.ONE_TRIG=1。
[2]	GATE_EN	TIMER 暂停使能 0:不暂停 1:当外部信号为低时，TIMER 暂停计数，外部信号根据 TIMERx_EVT.EVT_SRC 进行选择
[1]	RL_EN	TIMER 重装使能

		0:禁用外部事件重装，TIMER 向上计数至 TH 回 0，或向下计数值 0 回到 TH 1:使能外部事件重装，重装信号根据 TIMER0_EVT.EVT_SRC 进行选择，当向上计数时，发生外部事件，TIMER 重装为 0,；当向下计数时，发生外部事件，TIMER 重装为 TH。
[0]	XCLK_EN	TIMER 时钟源 0: 芯片内部时钟 1: 外部时钟，时钟源根据 TIMER0_EVT.EVT_SRC 进行选择，当使用外部时钟时，CLK_DIV 不再起作用，即时钟不再进行分频

当使用外部时钟计数时，也需要设置 TIMERx_CFG.TON=1，且需要开启 SYS_CLK_FEN 中对于 TIMER 时钟的使能。使用外部时钟计数时，也需要设置 TIMERx_TH。

通常外部事件仅仅作为外部启动、外部门控、外部时钟和外部清零的一个用途使用，即通常 TIMERx_CFG2[3:0]中仅设置 1bit 为 1。

如果设置 TIMERx_CFG0.SRC 为 4'h8 捕获两通道异或值，（通常为捕获编码器正交的两个通道），需要同时设置 TIMERx_CFG0.CAP_CLR_EN=1，TIMERx_CFG0.CH_FE_CAP_EN=1，TIMERx_CFG0.CH_RE_CAP_EN=1，TIMERx_CFG.CH_MODE=1，即捕获上升沿、下降沿，且每次有信号边沿都清零计数器。CMP0 即为捕获的两次信号边沿之间的计数值。

13.3.2.4 TIMER0_TH TIMER0 门限寄存器

地址:0x4001_0610

复位值:0x0

表 13-9 TIMER0 门限寄存器 TIMER0_TH

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TH															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	TH	TIMER 计数器计数门限。向上计数从 0 计数到 TH 值后回 0，或向下计数从 TH 计数到 0 后回到 TH

13.3.2.5 TIMER0_CNT TIMER0 计数寄存器

地址:0x4001_0614

复位值:0x0

表 13-10 TIMER0 计数寄存器 TIMER0_CNT

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	CNT	TIMER 0 计数器当前计数值。写操作可以写入新的计数值。

注意:写入 TIMER0_CNT 前需要先通过 SYS_CLK_FEN.TIMER0_CLK_EN 开启 TIMER0 时钟。

13.3.2.6 TIMER0_CMP0 TIMER0 通道 0 比较捕获寄存器

地址:0x4001_0618

复位值:0x0

表 13-11 TIMER0 通道 0 比较捕获寄存器 TIMER0_CMP0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMP0															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	CMP0	TIMER 通道 0 工作在比较模式时，当计数器计数值等于 CMP0 时，发生比较事件。 TIMER 通道 0 工作在捕获模式时，发生捕获事件时的计数器计数值存入 CMP0 寄存器。

设置 CMP0=0，可使得通道 0 恒为!CH0_POL，设置 CMP0=TH+1，可使得通道 0 恒为 CH0_POL。

13.3.2.7 TIMER0_CMP1 TIMER0 通道 1 比较捕获寄存器

地址:0x4001_061C

复位值:0x0

表 13-12 TIMER0 通道 1 比较捕获寄存器 TIMER0_CMP1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMP1															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	CMP1	TIMER 通道 1 工作在比较模式时，当计数器计数值等于 CMP1 时，发生比较事件。 TIMER 通道 1 工作在捕获模式时，发生捕获事件时的计数器计数值存入 CMP1 寄存器。

设置 CMP1=0，可使得通道恒为!CH1_POL，设置 CMP1=TH+1，可使得通道恒为 CH1_POL。

13.3.2.8 TIMER0_EVT TIMER0 外部事件选择寄存器

地址:0x4001_0620

复位值:0x0

表 13-13 TIMER0 外部事件选择寄存器 TIMER0_EVT

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								EVT_TH				EVT_SRC			
								RW				RW			
								0				0			

位置	位名称	说明
[31:8]		未使用
[7:4]	EVT_TH	外部事件发生次数阈值，配合 TIMERx_CFG.RL_EN 使用。 外部事件发生 EVT_TH 次后产生效果（当 EVT_TH=0 时，1 次即生效）。可配置的外部事件发生次数阈值范围是 0~15。 特别地，当设置 TIMERx_CFG.CMP1TMIN=1，且 TIMERx_CNT<TIMERx_CMP1 时，即使此前发生的外部事件已达到 EVT_TH 设定次数，TIMERx_CNT 重置也会延迟生效，即 TIMERx_CNT 会继续计数到 TIMERx_CMP1 后归零。此时 TIMERx_CMP1 作为重置最小计数值 TMIN 使用。 EVT_TH 在一个 TIMER 周期后自动清零，即一个 TIMER 周期的外部事件不累积至下一个周期。
[3:0]	EVT_SRC	TIMER 外部事件选择寄存器，本寄存器需要配合 TIMER0_CFG.ETON，TIMER0_CFG.GATE_EN，TIMER0_CFG.RL_EN，TIMER0_CFG.XCLK_EN 使用。 通常 4 个设置位不同时使用。 当设置 ETON=1 时，根据本寄存器选择触发 TIMER 计数的事件。 需要注意的是，TIMER 自身的比较事件无法触发 TIMER 进行计数。当 ETON=1 时，触发信号的上升沿触发 TIMER 开始计数，用作触发源的 TIMER 需要工作在比较模式，无须从外部输入信号至 TIMER 通道 0:不可用 1:不可用 2:TIMER1 通道 0 比较/捕获事件 3:TIMER1 通道 1 比较/捕获事件 4:TIMER2 通道 0 比较/捕获事件 5:TIMER2 通道 1 比较/捕获事件 6:不可用 7:不可用 8:CLU0 输出上升沿 9:CLU1 输出上升沿

		10:CLU2 输出上升沿 11:CLU3 输出上升沿 12:MCPWM TADC[0]比较事件 13:MCPWM TADC[1]比较事件 14:MCPWM TADC[2]比较事件 15:MCPWM TADC[3]比较事件 当 GATE_EN=1，且外部信号为高时 TIMER 计数，外部信号为低时，TIMER 暂停，当 GATE_EN=1 时，TIMER 使用对应外部信号的电平信号作为计数门控。GATE_EN 仅支持配合 0~11 的外部事件使用，当 EVT_SRC 选择为 0~7 时，外部信号为 TIMER 通道输入信号经过对应 TIMER 滤波后的信号，作为门控信号的 TIMER 通道需要配置为输入使能 0:TIMER0 通道 0 滤波后输入信号 1:TIMER0 通道 1 滤波后输入信号 2:TIMER1 通道 0 滤波后输入信号 3:TIMER1 通道 1 滤波后输入信号 4:TIMER2 通道 0 滤波后输入信号 5:TIMER2 通道 1 滤波后输入信号 6:不可用 7:不可用 8:CLU0 输出信号 9:CLU1 输出信号 10:CLU2 输出信号 11:CLU3 输出信号 当 RL_EN 为高时，TIMER 使用外部信号作为重装载信号 作为重装载信号的 TIMER 通道需要配置为输入使能 0:TIMER0 通道 0 比较/捕获事件 1:TIMER0 通道 1 比较/捕获事件 2:TIMER1 通道 0 比较/捕获事件 3:TIMER1 通道 1 比较/捕获事件 4:TIMER2 通道 0 比较/捕获事件 5:TIMER2 通道 1 比较/捕获事件 6:不可用 7:不可用 8:CLU0 输出 9:CLU1 输出 10:CLU2 输出 11:CLU3 输出 12:MCPWM TADC[0]比较事件 13:MCPWM TADC[1]比较事件 14:MCPWM TADC[2]比较事件 15:MCPWM TADC[3]比较事件 当 XCLK_EN 为高时，TIMER 使用外部信号作为 TIMER 外部时钟，

		TIMER 在时钟上升沿进行计数动作。如果使用 TIMER 通道作为外部时钟，通道信号受到对应 TIMER 滤波设置影响。 0:TIMER0 通道 0 输入信号 1:TIMER0 通道 1 输入信号 2:TIMER1 通道 0 输入信号 3:TIMER1 通道 1 输入信号 4:TIMER2 通道 0 输入信号 5:TIMER2 通道 1 输入信号 6:不可用 7:不可用 8:CLU0 输出 9:CLU1 输出 10:CLU2 输出 11:CLU3 输出 12:MCPWM TADC[0]比较事件 13:MCPWM TADC[1]比较事件 14:MCPWM TADC[2]比较事件 15:MCPWM TADC[3]比较事件

13.3.2.9 TIMER0_FLT TIMER0 滤波控制寄存器

地址:0x4001_0624

复位值:0x0

表 13-14 TIMER0 滤波控制寄存器 TIMER0_FLT

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								FLT							
								RW							
								0							

位置	位名称	说明
[31:8]		未使用
[7:0]	FLT	通道 0/1 信号滤波宽度选择。取值范围 0~255。 FLT 为 0 时，不对通道进行滤波。 FLT 不为 0 时，对通道信号进行滤波:滤波宽度为 FLT×8。当通道信号电平稳定超过 FLT×8 个系统时钟周期宽度时，滤波器输出更新；否则，滤波器保持当前的输出不变。

注意，以上滤波器的工作时钟与对应的 TIMER 的分频后的工作时钟为相同时钟，受 TIMERx_CFG.CLK_DIV 的分频系数控制。

假设 TIMERx_FLT = 0x6；TIMERx_CFG.CLK_DIV = 0x2; 则 TIMER 的运行时钟相对系统时钟进行了 4 分频。通道输入信号需要经过 8×6 倍 TIMER 的运行时钟的滤波，亦即 8×6×4 倍系统时钟的滤波。

13.3.2.10TIMER0_IE TIMER0 中断使能寄存器

地址:0x4001_0628

复位值:0x0

表 13-15 TIMER0 中断使能寄存器 TIMER0_IE

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				FAIL_RE	ZC_RE	CH1_RE	CH0_RE					FAIL_IE	ZC_IE	CH1_IE	CH0_IE
				RW	RW	RW	RW					RW	RW	RW	RW
				0	0	0	0					0	0	0	0

位置	位名称	说明
[31:12]		未使用
[11]	FAIL_RE	TIMER FAIL 事件 DMA 请求使能，高电平有效。
[10]	ZC_RE	TIMER CNT 过 0 DMA 请求使能，高电平有效。
[9]	CH1_RE	TIMER 通道 1 比较/捕获 DMA 请求使能，高电平有效。
[8]	CH0_RE	TIMER 通道 0 比较/捕获 DMA 请求使能，高电平有效。
[7:4]		未使用
[3]	FAIL_IE	TIMER FAIL 事件中断使能，高电平有效。
[2]	ZC_IE	TIMER CNT 过 0 中断使能，高电平有效。
[1]	CH1_IE	TIMER 通道 1 比较/捕获中断使能，高电平有效。
[0]	CH0_IE	TIMER 通道 0 比较/捕获中断使能，高电平有效。

DMA 请求事件，与中断为相同事件标志，DMA 请求被 DMA 受理后，中断标志会被 DMA 硬件自动清除，无需 CPU 软件干预。需要注意的是，通常开启某个事件的 DMA 请求则关闭对应的中断使能。

13.3.2.11TIMER0_IF TIMER0 中断标志寄存器

地址:0x4001_062C

复位值:0x0

表 13-16 TIMER0 中断标志寄存器 TIMER0_IF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												FAIL_IF	ZC_IF	CH1_IF	CH0_IF
												RW1C	RW1C	RW1C	RW1C
												0	0	0	0

位置	位名称	说明
[31:4]		未使用
[3]	FAIL_IF	TIMER Fail 事件中断标志。高电平有效，写 1 清 0
[2]	ZC_IF	TIMER CNT 过 0 中断标志。高电平有效，写 1 清 0
[1]	CH1_IF	TIMER 通道 1 比较/捕获中断标志。高电平有效，写 1 清 0
[0]	CH0_IF	TIMER 通道 0 比较/捕获中断标志。高电平有效，写 1 清 0

当发生特定事件时，即使中断使能位 IE=0，对应的 IF 仍会置位，但不会向处理器提起中断服务请求。

在比较模式下，当 TIMER 设置为中心计数（0->TH->0），即 TIMERx_CFG.CENTER=1 时。CH0_IF 和 CH1_IF 只有在 TIMER 从 0 递增计数至 TH 的过程中，当 TIMERx_CNT=TIMERx_CMP0/1 时置位；在 TIMER 从 TH 递减计数到 0 的过程中不会置位。

当 TIMERx_CFG.DIR=0

中断标志写 1 清零，一般不建议用如下|=方式清零，因为|=是先读取中断标志，将对应位改为 1 再写入清零，如果同时有其他中断标志置位，会被一起清零，而这通常不是软件所期望的。例如，如下写法本意是清零 ZC_IF，但如果同时 CH0_IF 在写入执行前置 1 了，则软件先读取回 TIMERx_IF 值为 0x24，然后执行或操作 0x4|0x1=0x5，然后写入，同时对 CH0_IF 和 ZC_IF 进行了清零，可能导致 TIMER 少进入一次因捕获而产生的中断。

TIMERx_IF|=0x4;

如果希望清零 ZC_IF 标志位，应以如下方式，直接对 BIT2 写 1.

TIMERx_IF=0x4;

13.3.2.12TIMER0_IO TIMER0 IO 控制寄存器

地址:0x4001_0630

复位值:0x0

表 13-17 TIMER0 IO 控制寄存器 TIMER0_IO

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						CH1_DEFAULT	CH0_DEFAULT	HALT_PRT	MOE				FAIL_SEL	FAIL_POL	FAIL_EN
						RW	RW	RW	RW				RW	RW	RW
						0	0	0	0				0	0	0

位置	位名称	说明
[31:10]		未使用
[9]	CH1_DEFAULT	发生 Fail 事件 MOE 清零后，CH1 通道输出值
[8]	CH0_DEFAULT	发生 Fail 事件 MOE 清零后，CH0 通道输出值
[7]	HALT_PRT	MCU 进入 HALT 状态，TIMER 输出值选择。 1:正常输出；0:输出 CH1_DEFAULT 和 CH0_DEFAULT。

[6]	MOE	TIMER 通道 0/1 输出使能 1:输出正常信号 0:输出 CH0_DEFAULT 和 CH1_DEFAULT 默认值 TIMER0_IF.FAIL_IF 变 1 将触发 MOE 变成 0，通道输出默认值。 若要恢复输出正常信号，需要先将 FAIL_IF 清零，然后软件设置 MOE=1。无论 TIMER 工作在何种模式下，只有在 MOE 置为 1 之后，TIMER 通道 0/1 才能输出正常信号。
[5:3]		未使用
[2]	FAIL_SEL	FAIL 信号选择 0:TIMER0_FAIL，来自 GPIO 1:CLU0 输出
[1]	FAIL_POL	FAIL 信号极性 0:高电平 FAIL 1:低电平 FAIL
[0]	FAIL_EN	FAIL 信号使能 0:禁用 FAIL 1:使能 FAIL

TIMER0_IO 寄存器无法在 CPU HALT 的时候进行配置，因此需要保证 TIMER0_IO 寄存器在 CPU HALT 前就完成配置。

13.3.3 TIMER1 寄存器

TIMER1 在芯片中的基地址是 0x4001_0700

表 13-18 TIMER1 寄存器地址分配

名称	偏移	描述
TIMER1_CFG0	0x00	TIMER1 通道 0 配置寄存器
TIMER1_CFG1	0x04	TIMER1 通道 1 配置寄存
TIMER1_CFG2	0x08	TIMER1 配置寄存器 2
TIMER1_TH	0x10	TIMER1 计数门限寄存器
TIMER1_CNT	0x14	TIMER1 计数值寄存器
TIMER1_CMP0	0x18	TIMER1 比较/捕获寄存器 0
TIMER1_CMP1	0x1C	TIMER1 比较/捕获寄存器 1
TIMER1_EVT	0x20	TIMER1 外部事件选择寄存器
TIMER1_FLT	0x24	TIMER1 滤波控制寄存器
TIMER1_IE	0x28	TIMER1 中断使能寄存器
TIMER1_IF	0x2C	TIMER1 中断标志寄存器
TIMER1_IO	0x30	TIMER1 IO 控制寄存器

13.3.3.1 TIMER1_CFG0 TIMER1 通道 0 配置寄存器

地址:0x4001_0700

复位值:0x0

表 13-19 TIMER1 通道 0 配置寄存器 TIMER1_CFG0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					TRIGGER_MODE		CAP_CLR_EN	SRC				CH_POL	CH_MODE	CH_FE_CAP_EN	CH_RE_CAP_EN
					RW		RW	RW				RW	RW	RW	RW
					0		0	0				0	0	0	0

位置	位名称	说明
[31:11]		未使用
[10:9]	TRIGGER_MODE	用于选择递增计数时触发还是递减计数的时候触发 adc 采样。默认值是 0x0。 0x1:递增计数时触发 0x2:递减计数时触发 其他的值则意味着递增和递减时都能触发 ADC 采样
[8]	CAP_CLR_EN	当发生 CAP 捕获事件时，清零 TIMERx_CNT，高有效

[7:4]	SRC	TIMER 捕获模式通道 0 信号来源。默认为 0x0。 0x0: TIMER 通道 0，来自芯片 GPIO（参见 Datasheet 及应用配置） 0x1: TIMER 通道 1，来自芯片 GPIO（参见 Datasheet 及应用配置） 0x2: CLU0 输出 0x3: CLU1 输出 0x4: CLU2 输出 0x5: CLU3 输出 0x6: 比较器 0 的输出 0x7: 比较器 1 的输出 0x9: TIMER 通道 0 和 1 的异或 0xA: LRC 时钟
[3]	CH_POL	TIMER 通道 0 在比较模式下的输出极性控制:当计数器 TIMERx_CNT<TIMERx_CMP0 时的输出值。时的输出值。
[2]	CH_MODE	TIMER 通道 0 的工作模式选择，默认值为 0。 0: 比较模式。输出方波，在 TIMER 通道 0 计数器计数值等于 0 或等于 TIMER 比较捕获寄存器值时，IO 发生翻转。 1: 捕获模式。当 TIMER 通道 0 输入信号发生捕获事件时，将计数器计数值存入 TIMER 通道 0 比较捕获寄存器。
[1]	CH_FE_CAP_EN	TIMER 通道 0 下降沿捕获事件使能。1:使能；0:关闭。 TIMER 通道 0 输入信号发生 1→0 跳变被视为捕获事件。下降沿事件使能可以与上升沿事件使能并存。
[0]	CH_RE_CAP_EN	TIMER 通道 0 上升沿捕获事件使能。1:使能；0:关闭。 TIMER 通道 0 输入信号发生 0→1 跳变被视为捕获事件。上升沿事件使能可以与下降沿事件使能并存。

13.3.3.2 TIMER1_CFG1 TIMER1 通道 1 配置寄存器

地址:0x4001_0704

复位值:0x0

表 13-20 TIMER1 通道 1 配置寄存器 TIMER1_CFG

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					TRIGGER_MODE		CAP_CLR_EN	SRC				CH_POL	CH_MODE	CH_FE_CAP_EN	CH_RE_CAP_EN
					RW		RW	RW				RW	RW	RW	RW
					0		0	0				0	0	0	0

位置	位名称	说明
[31:11]		未使用
[10:9]	TRIGGER_MODE	用于选择递增计数时触发还是递减计数的时候触发 adc 采样。默认值是 0x0。

		0x1:递增计数时触发 0x2:递减计数时触发 其他的值则意味着递增和递减时都能触发 ADC 采样
[8]	CAP_CLR_EN	当发生 CAP1 捕获事件时，清零 TIMERx_CNT，高有效
[7:4]	SRC	TIMER 捕获模式通道 1 信号来源。默认为 0x1。 0x0: TIMER 通道 0，来自芯片 GPIO（参见 Datasheet 及应用配置） 0x1: TIMER 通道 1，来自芯片 GPIO（参见 Datasheet 及应用配置） 0x2: CLU0 输出 0x3: CLU1 输出 0x4: CLU2 输出 0x5: CLU3 输出 0x6: 比较器 0 的输出 0x7: 比较器 1 的输出 0x9: TIMER 通道 0 和 1 的异或 0xA: LRC 时钟
[3]	CH_POL	TIMER 通道 1 在比较模式下的输出极性控制，当计数器 CNT<CMP1 时的输出值。
[2]	CH_MODE	TIMER 通道 1 的工作模式选择，默认值为 0。 0: 比较模式。输出方波，在 TIMER 通道 1 计数器计数值等于 0 或等于 TIMER 比较捕获寄存器值时，IO 发生翻转。 1: 捕获模式。当 TIMER 通道 1 输入信号发生捕获事件时，将计数器计数值存入 TIMER 通道 1 比较捕获寄存器。
[1]	CH_FE_CAP_EN	TIMER 通道 1 下降沿捕获事件使能。1:使能；0:关闭。 TIMER 通道 1 输入信号发生 1→0 跳变被视为捕获事件。下降沿事件使能可以与上升沿事件使能并存。
[0]	CH_RE_CAP_EN	TIMER 通道 1 上升沿捕获事件使能。1:使能；0:关闭。 TIMER 通道 1 输入信号发生 0→1 跳变被视为捕获事件。上升沿事件使能可以与下降沿事件使能并存。

13.3.3.3 TIMER1_CFG2 TIMER1 配置寄存器 2

地址:0x4001_0708

复位值:0x0

表 13-21 TIMER1 配置寄存器 2 TIMER1_CFG2

15	14	13	12	11	10	9	8	7	6 5 4	3	2	1	0
EN	RTE		CMP1TMIN	UPDATE	SHADOW	ONE_TRIG	CENTER	DIR	CLK_DIV	ETON	GATE_EN	RL_EN	XCLK_EN
RW	RW		RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
0	0		0	0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[15]	EN	TIMER 模块整体使能，高有效
[14]	RTE	单次触发模式下是否可以在一个周期内再次触发 0:不使能再次触发，即一个单次计数周期内发生的单次触发信号被忽略； 1:使能再次触发，即一个单次计数周期内发生的单次触发信号会令 TIMERx_CNT 重置重新开始一个周期的计数
[13]		
[12]	CMP1TMIN	当 RL_EN=1 时，使用 CMP1 作为 TMIN。 TMIN 为 TIMER 最小计数值寄存器。只有当 TIMERx_CNT>= TMIN 时，外部重置事件才会将 TIMERx_CNT 清零。如果 TIMERx_CNT< TMIN，则等到 TIMERx_CNT= TMIN 时 TIMERx_CNT 清零。
[11]	UPDATE	软件更新 启用影子寄存器时，向 UPDATE 写 1 将 TH/CMP0/CMP1 的预装载值加载到影子寄存器 STH/SCMP0/SCMP1 之中。自动清零，读回恒为 0。写 0 无作用。 **推荐使用 TIMER1_CFG|=BIT11;的方式进行手动更新影子寄存器的操作，防止手动更新时误将其他配置清零。**
[10]	SHADOW	0: 不启用影子寄存器，软件写入 TH/CMP0/CMP1 时直接更新对应的影子寄存器 1: 启用影子寄存器，软件写入 TH/CMP0/CMP1 时进仅仅更新预装载值，当 TIMER 发生过零事件时才将预装载值写入影子寄存器
[9]	ONE_TRIG	单次发送模式，此位需要在 TIMER 比较模式下使用，且 EN 需设置为 0 ETON 为 0 时，软件向 ONE_TRIG 写 1 触发 TIMER 发送一个周期的特定占空比的脉冲，TIMER 计数一个周期后停止。此位在 TIMER 计数的当前周期内读为 1，TIMER 停止后，自动清零。 ETON 为 1 时，即使软件配置 ONE_TRIG=1，也需要等待外部事件触发，TIMER 计数一个周期后停止。ONE_TRIG 位在外部触发 TIMER 计数一个周期停止后不被硬件清零。
[8]	CENTER	中心计数模式使能 0: TIMER 向上从 0 计数至 TH，然后回 0，或 TIMER 向下从 TH 计数至 0，然后回到 TH 1: TIMER 向上从 0 计数至 TH，然后向下计数至 0
[7]	DIR	0: 0->TH 递增计数，1:TH->递减计数 此位在 CENTER=1 时只读，用于指示当前计数方向
[6:4]	CLK_DIV	TIMERx_CNT 频率配置，计数器计数频率是系统主时钟频率的 2^{CLK_DIV} 分频。默认值为 0，不分频。 0: 1 分频 1: 2 分频 2: 4 分频 3: 8 分频 4: 16 分频 5: 32 分频 6: 64 分频

		7: 128 分频
[3]	ETON	TIMERx_CNT 外部启动使能 0: 自动运行 1:等待外部事件触发计数，外部触发信号根据 TIMERx_EVT.EVT_SRC 进行选择 需要注意的是，使用外部触发也需要设置 TIMERx_CFG.EN=1，除非是外部信号进行的单次触发，即 TIMERx_CFG.ONE_TRIG=1。
[2]	GATE_EN	TIMER 暂停使能 0:不暂停 1:当外部信号为低时，TIMER 暂停计数，外部信号根据 TIMERx_EVT.EVT_SRC 进行选择
[1]	RL_EN	TIMER 重装使能 0:禁用外部事件重装，TIMER 向上计数至 TH 回 0，或向下计数值 0 回到 TH 1:使能外部事件重装，重装信号根据 TIMERx_EVT.EVT_SRC 进行选择，当向上计数时，发生外部事件，TIMER 重装为 0,；当向下计数时，发生外部事件，TIMER 重装为 TH。
[0]	XCLK_EN	TIMER 时钟源 0: 芯片内部时钟 1: 外部时钟，时钟源根据 TIMER0_EVT.EVT_SRC 进行选择，当使用外部时钟时，CLK_DIV 不再起作用，即时钟不再进行分频

当使用外部时钟计数时，也需要设置 TIMERx_CFG.TON=1，且需要开启 SYS_CLK_FEN 中对于 TIMER 时钟的使能。使用外部时钟计数时，也需要设置 TIMERx_TH。

通常外部事件仅仅作为外部启动、外部门控、外部时钟和外部清零的一个用途使用，即通常 TIMERx_CFG2[3:0]中仅设置 1bit 为 1。

如果设置 TIMERx_CFG0.SRC 为 4'h8 捕获两通道异或值，（通常为捕获编码器正交的两个通道），需要同时设置 TIMERx_CFG0.CAP_CLR_EN=1，TIMERx_CFG0.CH_FE_CAP_EN=1，TIMERx_CFG0.CH_RE_CAP_EN=1，TIMERx_CFG.CH_MODE=1，即捕获上升沿、下降沿，且每次有信号边沿都清零计数器。CMP0 即为捕获的两次信号边沿之间的计数值。

13.3.3.4 TIMER1_TH TIMER1 门限寄存器

地址:0x4001_0710

复位值:0x0

表 13-22 TIMER1 门限寄存器 TIMER1_TH

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TH															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	TH	TIMER 计数器计数门限。向上计数从 0 计数到 TH 值后回 0，或向下计

		数从 TH 计数到 0 后回到 TH

13.3.3.5 TIMER1_CNT TIMER1 计数寄存器

地址:0x4001_0714

复位值:0x0

表 13-23 TIMER1 计数寄存器 TIMER1_CNT

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	CNT	TIMER 0 计数器当前计数值。写操作可以写入新的计数值。

注意:写入 TIMER1_CNT 前需要先通过 SYS_CLK_FEN.TIMER1_CLK_EN 开启 TIMER1 时钟。

13.3.3.6 TIMER1_CMP0 TIMER1 通道 0 比较捕获寄存器

地址:0x4001_0718

复位值:0x0

表 13-24 TIMER1 通道 0 比较捕获寄存器 TIMER1_CMP0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMP0															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	CMP0	TIMER 通道 0 工作在比较模式时，当计数器计数值等于 CMP0 时，发生比较事件。 TIMER 通道 0 工作在捕获模式时，发生捕获事件时的计数器计数值存入 CMP0 寄存器。

设置 CMP0=0，可使得通道 0 恒为!CH0_POL，设置 CMP0=TH+1，可使得通道 0 恒为 CH0_POL。

13.3.3.7 TIMER1_CMP1 TIMER1 通道 1 比较捕获寄存器

地址:0x4001_071C

复位值:0x0

表 13-25 TIMER1 通道 1 比较捕获寄存器 TIMER1_CMP1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMP1															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	CMP1	TIMER 通道 1 工作在比较模式时，当计数器计数值等于 CMP1 时，发生比较事件。 TIMER 通道 1 工作在捕获模式时，发生捕获事件时的计数器计数值存入 CMP1 寄存器。

设置 CMP1=0，可使得通道恒为!CH1_POL，设置 CMP1=TH+1，可使得通道恒为 CH1_POL。

13.3.3.8 TIMER1_EVT TIMER1 外部事件选择寄存器

地址:0x4001_0720

复位值:0x0

表 13-26 TIMER1 外部事件选择寄存器 TIMER1_EVT

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								EVT_TH				EVT_SRC			
								RW				RW			
								0				0			

位置	位名称	说明
[31:8]		未使用
[7:4]	EVT_TH	外部事件发生次数阈值，配合 TIMERx_CFG.RL_EN 使用。 外部事件发生 EVT_TH 次后产生效果（当 EVT_TH=0 时，1 次即生效）。可配置的外部事件发生次数阈值范围是 0~15。 特别地，当设置 TIMERx_CFG.CMP1TMIN=1，且 TIMERx_CNT<TIMERx_CMP1 时，即使此前发生的外部事件已达到 EVT_TH 设定次数，TIMERx_CNT 重置也会延迟生效，即 TIMERx_CNT 会继续计数到 TIMERx_CMP1 后归零。此时 TIMERx_CMP1 作为重置最小计数值 TMIN 使用。 EVT_TH 在一个 TIMER 周期后自动清零，即一个 TIMER 周期的外部事件不累积至下一个周期。
[3:0]	EVT_SRC	TIMER 外部事件选择寄存器，本寄存器需要配合 TIMER1_CFG.ETON，TIMER1_CFG.GATE_EN，TIMER1_CFG.RL_EN，TIMER1_CFG.XCLK_EN 使用。 通常 4 个设置位不同时使用。 当设置 ETON=1 时，根据本寄存器选择触发 TIMER 计数的事件。 需要注意的是，TIMER 自身的比较事件无法触发 TIMER 进行计数。当 ETON=1 时，触发信号的上升沿触发 TIMER 开始计数，用作触发源的

		TIMER 需要工作在比较模式，无须从外部输入信号至 TIMER 通道 0:TIMER0 通道 0 比较/捕获事件 1:TIMER0 通道 1 比较/捕获事件 2:不可用 3:不可用 4:TIMER2 通道 0 比较/捕获事件 5:TIMER2 通道 1 比较/捕获事件 6:不可用 7:不可用 8:CLU0 输出上升沿 9:CLU1 输出上升沿 10:CLU2 输出上升沿 11:CLU3 输出上升沿 12:MCPWM TADC[0]比较事件 13:MCPWM TADC[1]比较事件 14:MCPWM TADC[2]比较事件 15:MCPWM TADC[3]比较事件 当 GATE_EN=1，且外部信号为高时 TIMER 计数，外部信号为低时，TIMER 暂停，当 GATE_EN=1 时，TIMER 使用对应外部信号的电平信号作为计数门控。GATE_EN 仅支持配合 0~11 的外部事件使用，当 EVT_SRC 选择为 0~7 时，外部信号为 TIMER 通道输入信号经过对应 TIMER 滤波后的信号，作为门控信号的 TIMER 通道需要配置为输入使能 0:TIMER0 通道 0 滤波后输入信号 1:TIMER0 通道 1 滤波后输入信号 2:TIMER1 通道 0 滤波后输入信号 3:TIMER1 通道 1 滤波后输入信号 4:TIMER2 通道 0 滤波后输入信号 5:TIMER2 通道 1 滤波后输入信号 6:CLU0 输出信号 7:CLU1 输出信号 8:CLU2 输出信号 9:CLU3 输出信号 当 RL_EN 为高时，TIMER 使用外部信号作为重装载信号 作为重装载信号的 TIMER 通道需要配置为输入使能 0:TIMER0 通道 0 比较/捕获事件 1:TIMER0 通道 1 比较/捕获事件 2:TIMER1 通道 0 比较/捕获事件 3:TIMER1 通道 1 比较/捕获事件 4:TIMER2 通道 0 比较/捕获事件 5:TIMER2 通道 1 比较/捕获事件 6:CLU0 输出 7:CLU1 输出 8:CLU2 输出

		9:CLU3 输出 10:MCPWM TADC[0]比较事件 11:MCPWM TADC[1]比较事件 12:MCPWM TADC[2]比较事件 13:MCPWM TADC[3]比较事件 当 XCLK_EN 为高时，TIMER 使用外部信号作为 TIMER 外部时钟，TIMER 在时钟上升沿进行计数动作。如果使用 TIMER 通道作为外部时钟，通道信号受到对应 TIMER 滤波设置影响。 0:TIMER0 通道 0 输入信号 1:TIMER0 通道 1 输入信号 2:TIMER1 通道 0 输入信号 3:TIMER1 通道 1 输入信号 4:TIMER2 通道 0 输入信号 5:TIMER2 通道 1 输入信号 6:CLU0 输出 7:CLU1 输出 8:CLU2 输出 9:CLU3 输出 10:MCPWM TADC[0]比较事件 11:MCPWM TADC[1]比较事件 12:MCPWM TADC[2]比较事件 13:MCPWM TADC[3]比较事件

13.3.3.9 TIMER1_FLT TIMER1 滤波控制寄存器

地址:0x4001_0724

复位值:0x0

表 13-27 TIMER1 滤波控制寄存器 TIMER1_FLT

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								FLT							
								RW							
								0							

位置	位名称	说明
[31:8]		未使用
[7:0]	FLT	通道 0/1 信号滤波宽度选择。取值范围 0~255。 FLT 为 0 时，不对通道进行滤波。 FLT 不为 0 时，对通道信号进行滤波:滤波宽度为 FLT×8。当通道信号电平稳定超过 FLT×8 个系统时钟周期宽度时，滤波器输出更新；否则，滤波器保持当前的输出不变。

注意，以上滤波器的工作时钟与对应的 TIMER 的分频后的工作时钟为相同时钟，受 TIMERx_CFG.CLK_DIV 的分频系数控制。

假设 TIMERx_FLT = 0x6；TIMERx_CFG.CLK_DIV = 0x2; 则 TIMER 的运行时钟相对系统时钟进行了 4 分频。通道输入信号需要经过 8×6 倍 TIMER 的运行时钟的滤波，亦即 8×6×4 倍系统时钟的滤波。

13.3.3.10TIMER1_IE TIMER1 中断使能寄存器

地址:0x4001_0728

复位值:0x0

表 13-28 TIMER1 中断使能寄存器 TIMER1_IE

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				FAIL_RE	ZC_RE	CH1_RE	CH0_RE					FAIL_IE	ZC_IE	CH1_IE	CH0_IE
				RW	RW	RW	RW					RW	RW	RW	RW
				0	0	0	0					0	0	0	0

位置	位名称	说明
[31:12]		未使用
[11]	FAIL_RE	TIMER FAIL 事件 DMA 请求使能，高电平有效。
[10]	ZC_RE	TIMER CNT 过 0 DMA 请求使能，高电平有效。
[9]	CH1_RE	TIMER 通道 1 比较/捕获 DMA 请求使能，高电平有效。
[8]	CH0_RE	TIMER 通道 0 比较/捕获 DMA 请求使能，高电平有效。
[7:4]		未使用
[3]	FAIL_IE	TIMER FAIL 事件中断使能，高电平有效。
[2]	ZC_IE	TIMER CNT 过 0 中断使能，高电平有效。
[1]	CH1_IE	TIMER 通道 1 比较/捕获中断使能，高电平有效。
[0]	CH0_IE	TIMER 通道 0 比较/捕获中断使能，高电平有效。

DMA 请求事件，与中断为相同事件标志，DMA 请求被 DMA 受理后，中断标志会被 DMA 硬件自动清除，无需 CPU 软件干预。需要注意的是，通常开启某个事件的 DMA 请求则关闭对应的中断使能。

13.3.3.11TIMER1_IF TIMER1 中断标志寄存器

地址:0x4001_072C

复位值:0x0

表 13-29 TIMER1 中断标志寄存器 TIMER1_IF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

	FAIL_IF	ZC_IF	CH1_IF	CH0_IF
	RW1C	RW1C	RW1C	RW1C
	0	0	0	0

位置	位名称	说明
[31:4]		未使用
[3]	FAIL_IF	TIMER Fail 事件中断标志。高电平有效，写 1 清 0
[2]	ZC_IF	TIMER CNT 过 0 中断标志。高电平有效，写 1 清 0
[1]	CH1_IF	TIMER 通道 1 比较/捕获中断标志。高电平有效，写 1 清 0
[0]	CH0_IF	TIMER 通道 0 比较/捕获中断标志。高电平有效，写 1 清 0

当发生特定事件时，即使中断使能位 IE=0，对应的 IF 仍会置位，但不会向处理器提起中断服务请求。

在比较模式下，当 TIMER 设置为中心计数（0->TH->0），即 TIMERx_CFG.CENTER=1 时。CH0_IF 和 CH1_IF 只有在 TIMER 从 0 递增计数至 TH 的过程中，当 TIMERx_CNT=TIMERx_CMP0/1 时置位；在 TIMER 从 TH 递减计数到 0 的过程中不会置位。

中断标志写 1 清零，一般不建议用如下|=方式清零，因为|=是先读取中断标志，将对应位改为 1 再写入清零，如果同时有其他中断标志置位，会被一起清零，而这通常不是软件所期望的。例如，如下写法本意是清零 ZC_IF，但如果同时 CH0_IF 在写入执行前置 1 了，则软件先读取回 TIMERx_IF 值为 0x24，然后执行或操作 0x4|0x1=0x5，然后写入，同时对 CH0_IF 和 ZC_IF 进行了清零，可能导致 TIMER 少进入一次因捕获而产生的中断。

TIMERx_IF|=0x4;

如果希望清零 T0_ZC_IF 标志位，应以如下方式，直接对 BIT2 写 1.

TIMERx_IF=0x4;

13.3.3.12TIMER1_IO TIMER1 IO 控制寄存器

地址:0x4001_0730

复位值:0x0

表 13-30 TIMER1 IO 控制寄存器 TIMER1_IO

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

	CH1_DEFAULT	CH0_DEFAULT	HALT_PRT	MOE		FAIL_SEL	FAIL_POL	FAIL_EN
	RW	RW	RW	RW		RW	RW	RW
	0	0	0	0		0	0	0

位置	位名称	说明
[31:10]		未使用
[9]	CH1_DEFAULT	发生 Fail 事件 MOE 清零后，CH1 通道输出值
[8]	CH0_DEFAULT	发生 Fail 事件 MOE 清零后，CH0 通道输出值
[7]	HALT_PRT	MCU 进入 HALT 状态，TIMER 输出值选择。 1:正常输出；0:输出 CH1_DEFAULT 和 CH0_DEFAULT。
[6]	MOE	TIMER 通道 0/1 输出使能 1:输出正常信号 0:输出 CH0_DEFAULT 和 CH1_DEFAULT 默认值 TIMER0_IF.FAIL_IF 变 1 将触发 MOE 变成 0，通道输出默认值。 若要恢复输出正常信号，需要先将 FAIL_IF 清零，然后软件设置 MOE=1。无论 TIMER 工作在何种模式下，只有在 MOE 置为 1 之后，TIMER 通道 0/1 才能输出正常信号。
[5:3]		未使用
[2]	FAIL_SEL	FAIL 信号选择 0:TIMER0_FAIL，来自 GPIO 1:CLU0 输出
[1]	FAIL_POL	FAIL 信号极性 0:高电平 FAIL 1:低电平 FAIL
[0]	FAIL_EN	FAIL 信号使能 0:禁用 FAIL 1:使能 FAIL

TIMER1_IO 寄存器无法在 CPU HALT 的时候进行配置，因此需要保证 TIMER1_IO 寄存器在 CPU HALT 前就完成配置。

13.3.4 TIMER2 寄存器

TIMER2 在芯片中的基地址是 0x4001_0800

表 13-31 TIMER2 寄存器地址分配

名称	偏移	描述
TIMER2_CFG0	0x00	TIMER2 通道 0 配置寄存器
TIMER2_CFG1	0x04	TIMER2 通道 1 配置寄存
TIMER2_CFG2	0x08	TIMER2 配置寄存器 2
TIMER2_TH	0x10	TIMER2 计数门限寄存器
TIMER2_CNT	0x14	TIMER2 计数值寄存器
TIMER2_CMP0	0x18	TIMER2 比较/捕获寄存器 0
TIMER2_CMP1	0x1C	TIMER2 比较/捕获寄存器 1
TIMER2_EVT	0x20	TIMER2 外部事件选择寄存器
TIMER2_FLT	0x24	TIMER2 滤波控制寄存器
TIMER2_IE	0x28	TIMER2 中断使能寄存器
TIMER2_IF	0x2C	TIMER2 中断标志寄存器

13.3.4.1 TIMER2_CFG0 TIMER2 通道 0 配置寄存器

地址:0x4001_0800

复位值:0x0

表 13-32 TIMER2 通道 0 配置寄存器 TIMER2_CFG0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					TRIGGER_MODE		CAP_CLR_EN	SRC				CH_POL	CH_MODE	CH_FE_CAP_EN	CH_RE_CAP_EN
					RW		RW	RW				RW	RW	RW	RW
					0		0	0				0	0	0	0

位置	位名称	说明
[31:11]		未使用
[10:9]	TRIGGER_MODE	用于选择递增计数时触发还是递减计数的时候触发 adc 采样。默认值是 0x0。 0x1:递增计数时触发 0x2:递减计数时触发 其他的值则意味着递增和递减时都能触发 ADC 采样
[8]	CAP_CLR_EN	当发生 CAP 捕获事件时，清零 TIMERx_CNT，高有效
[7:4]	SRC	TIMER 捕获模式通道 0 信号来源。默认为 0x0。 0x0: TIMER 通道 0，来自芯片 GPIO（参见 Datasheet 及应用配置）

		0x1: TIMER 通道 1，来自芯片 GPIO（参见 Datasheet 及应用配置） 0x2: CLU0 输出 0x3: CLU1 输出 0x4: CLU2 输出 0x5: CLU3 输出 0x6: 比较器 0 的输出 0x7: 比较器 1 的输出 0x9: TIMER 通道 0 和 1 的异或 0xA: LRC 时钟
[3]	CH_POL	TIMER 通道 0 在比较模式下的输出极性控制:当计数器 CNT<CMP0 时的输出值。时的输出值。
[2]	CH_MODE	TIMER 通道 0 的工作模式选择，默认值为 0。 0: 比较模式。输出方波，在 TIMER 通道 0 计数器计数值等于 0 或等于 TIMER 比较捕获寄存器值时，IO 发生翻转。 1: 捕获模式。当 TIMER 通道 0 输入信号发生捕获事件时，将计数器计数值存入 TIMER 通道 0 比较捕获寄存器。
[1]	CH_FE_CAP_EN	TIMER 通道 0 下降沿捕获事件使能。1:使能；0:关闭。 TIMER 通道 0 输入信号发生 1→0 跳变被视为捕获事件。下降沿事件使能可以与上升沿事件使能并存。
[0]	CH_RE_CAP_EN	TIMER 通道 0 上升沿捕获事件使能。1:使能；0:关闭。 TIMER 通道 0 输入信号发生 0→1 跳变被视为捕获事件。上升沿事件使能可以与下降沿事件使能并存。

13.3.4.2 TIMER2_CFG1 TIMER2 通道 1 配置寄存器

地址:0x4001_0804

复位值:0x0

表 13-33 TIMER2 通道 1 配置寄存器 TIMER2_CFG

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					TRIGGER_MODE		CAP_CLR_EN	SRC				CH_POL	CH_MODE	CH_FE_CAP_EN	CH_RE_CAP_EN
					RW		RW	RW				RW	RW	RW	RW
					0		0	0				0	0	0	0

位置	位名称	说明
[31:9]		未使用
[8]	CAP_CLR_EN	当发生 CAP1 捕获事件时，清零 TIMERx_CNT，高有效
[7:4]	SRC	TIMER 捕获模式通道 1 信号来源。默认为 0x1。 0x0: TIMER 通道 0，来自芯片 GPIO（参见 Datasheet 及应用配置） 0x1: TIMER 通道 1，来自芯片 GPIO（参见 Datasheet 及应用配

		置） 0x2: CLU0 输出 0x3: CLU1 输出 0x4: CLU2 输出 0x5: CLU3 输出 0x6: 比较器 0 的输出 0x7: 比较器 1 的输出 0x9: TIMER 通道 0 和 1 的异或 0xA: LRC 时钟
[3]	CH_POL	TIMER 通道 1 在比较模式下的输出极性控制，当计数器 CNT<CMP1 时的输出值。
[2]	CH_MODE	TIMER 通道 1 的工作模式选择，默认值为 0。 0: 比较模式。输出方波，在 TIMER 通道 1 计数器计数值等于 0 或等于 TIMER 比较捕获寄存器值时，IO 发生翻转。 1: 捕获模式。当 TIMER 通道 1 输入信号发生捕获事件时，将计数器计数值存入 TIMER 通道 1 比较捕获寄存器。
[1]	CH_FE_CAP_EN	TIMER 通道 1 下降沿捕获事件使能。1:使能；0:关闭。 TIMER 通道 1 输入信号发生 1→0 跳变被视为捕获事件。下降沿事件使能可以与上升沿事件使能并存。
[0]	CH_RE_CAP_EN	TIMER 通道 1 上升沿捕获事件使能。1:使能；0:关闭。 TIMER 通道 1 输入信号发生 0→1 跳变被视为捕获事件。上升沿事件使能可以与下降沿事件使能并存。

13.3.4.3 TIMER2_CFG2 TIMER2 配置寄存器 2

地址:0x4001_0808

复位值:0x0

表 13-34 TIMER2 配置寄存器 2 TIMER2_CFG2

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EN	RTE		CMP1TMIN			ONE_TRIG	CENTER	DIR	CLK_DIV			ETON	GATE_EN	RL_EN	XCLK_EN
RW	RW		RW			RW	RW	RW	RW			RW	RW	RW	RW
0	0		0			0	0	0	0			0	0	0	0

位置	位名称	说明
[15]	EN	TIMER 模块整体使能，高有效
[14]	RTE	单次触发模式下是否可以在一个周期内再次触发 0:不使能再次触发，即一个单次计数周期内发生的单次触发信号被忽略； 1:使能再次触发，即一个单次计数周期内发生的单次触发信号会令 TIMERx_CNT 重置重新开始一个周期的计数
[13]		

[12]	CMP1TMIN	当 RL_EN=1 时，使用 CMP1 作为 TMIN。 TMIN 为 TIMER 最小计数值寄存器。只有当 TIMERx_CNT>= TMIN 时，外部重置事件才会将 TIMERx_CNT 清零。如果 TIMERx_CNT< TMIN，则等到 TIMERx_CNT= TMIN 时 TIMERx_CNT 清零。
[11]		
[10]		
[9]	ONE_TRIG	单次发送模式，此位需要在 TIMER 比较模式下使用，且 EN 需设置为 0 ETON 为 0 时，软件向 ONE_TRIG 写 1 触发 TIMER 发送一个周期的特定占空比的脉冲，TIMER 计数一个周期后停止。此位在 TIMER 计数的当前周期内读为 1，TIMER 停止后，自动清零。 ETON 为 1 时，即使软件配置 ONE_TRIG=1，也需要等待外部事件触发，TIMER 计数一个周期后停止。ONE_TRIG 位在外部触发 TIMER 计数一个周期停止后不被硬件清零。
[8]	CENTER	中心计数模式使能 0: TIMER 向上从 0 计数至 TH，然后回 0，或 TIMER 向下从 TH 计数至 0，然后回到 TH 1: TIMER 向上从 0 计数至 TH，然后向下计数至 0
[7]	DIR	0: 0->TH 递增计数，1:TH->递减计数 此位在 CENTER=1 时只读，用于指示当前计数方向
[6:4]	CLK_DIV	TIMERx_CNT 频率配置，计数器计数频率是系统主时钟频率的 2^{CLK_DIV} 分频。默认值为 0，不分频。 0: 1 分频 1: 2 分频 2: 4 分频 3: 8 分频 4: 16 分频 5: 32 分频 6: 64 分频 7: 128 分频
[3]	ETON	TIMERx_CNT 外部启动使能 0: 自动运行 1:等待外部事件触发计数，外部触发信号根据 TIMERx_EVT.EVT_SRC 进行选择 需要注意的是，使用外部触发也需要设置 TIMERx_CFG.EN=1，除非是外部信号进行的单次触发，即 TIMERx_CFG.ONE_TRIG=1。
[2]	GATE_EN	TIMER 暂停使能 0:不暂停 1:当外部信号为低时，TIMER 暂停计数，外部信号根据 TIMERx_EVT.EVT_SRC 进行选择
[1]	RL_EN	TIMER 重装使能 0:禁用外部事件重装，TIMER 向上计数至 TH 回 0，或向下计数值 0 回到 TH 1:使能外部事件重装，重装信号根据 TIMER0_EVT.EVT_SRC 进行选择，当向上计数时，发生外部事件，TIMER 重装为 0,；当向下计

		数时，发生外部事件，TIMER 重装为 TH。
[0]	XCLK_EN	TIMER 时钟源 0: 芯片内部时钟 1: 外部时钟，时钟源根据 TIMER0_EVT.EVT_SRC 进行选择，当使用外部时钟时，CLK_DIV 不再起作用，即时钟不再进行分频

当使用外部时钟计数时，也需要设置 TIMERx_CFG.TON=1，且需要开启 SYS_CLK_FEN 中对于 TIMER 时钟的使能。使用外部时钟计数时，也需要设置 TIMERx_TH。

通常外部事件仅仅作为外部启动、外部门控、外部时钟和外部清零的一个用途使用，即通常 TIMERx_CFG2[3:0]中仅设置 1bit 为 1。

如果设置 TIMERx_CFG0.SRC 为 4'h8 捕获两通道异或值，（通常为捕获编码器正交的两个通道），需要同时设置 TIMERx_CFG0.CAP_CLR_EN=1，TIMERx_CFG0.CH_FE_CAP_EN=1，TIMERx_CFG0.CH_RE_CAP_EN=1，TIMERx_CFG.CH_MODE=1，即捕获上升沿、下降沿，且每次有信号边沿都清零计数器。CMP0 即为捕获的两次信号边沿之间的计数值。TIMER2_CFG TIMER2 配置寄存器

13.3.4.4 TIMER2_TH TIMER2 门限寄存器

地址:0x4001_0810

复位值:0x0

表 13-35 TIMER2 门限寄存器 TIMER2_TH

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TH															
RW															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TH															
RW															
0															

位置	位名称	说明
[31:0]	TH	TIMERx_CNT 计数门限。向上计数从 0 计数到 TH 值后回 0，或向下计数从 TH 计数到 0 后回到 TH

13.3.4.5 TIMER2_CNT TIMER2 计数寄存器

地址:0x4001_0814

复位值:0x0

表 13-36 TIMER2 计数寄存器 TIMER2_CNT

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNT															
RW															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
RW															
0															

位置	位名称	说明
[31:0]	CNT	TIMER2 计数器当前计数值。写操作可以写入新的计数值。

注意:写入 TIMER2_CNT 前需要先通过 SYS_CLK_FEN.TIMER2_CLK_EN 开启 TIMER2 时钟。

13.3.4.6 TIMER2_CMP0 TIMER2 通道 0 比较捕获寄存器

地址:0x4001_0818

复位值:0x0

表 13-37 TIMER2 通道 0 比较捕获寄存器 TIMER2_CMP0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CMP0															
RW															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMP0															
RW															
0															

位置	位名称	说明
[31:0]	CMP0	Time 通道 0 工作在比较模式时，当计数器计数值等于 CMP0 时，发生比较事件。 TIMER 通道 0 工作在捕获模式时，发生捕获事件时的计数器计数值存入 CMP0 寄存器。

设置 CMP0=0，可使得通道 0 恒为!CH0_POL，设置 CMP0=TH+1，可使得通道 0 恒为 CH0_POL。

13.3.4.7 TIMER2_CMP1 TIMER2 通道 1 比较捕获寄存器

地址:0x4001_081C

复位值:0x0

表 13-38 TIMER2 通道 1 比较捕获寄存器 TIMER2_CMP1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CMP1															
RW															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMP1															
RW															

0

位置	位名称	说明
[31:0]	CMP1	TIMER 通道 1 工作在比较模式时，当计数器计数值等于 CMP1 时，发生比较事件。 TIMER 通道 1 工作在捕获模式时，发生捕获事件时的计数器计数值存入 CMP1 寄存器。

设置 CMP1=0，可使得通道恒为!CH1_POL，设置 CMP1=TH+1，可使得通道恒为 CH1_POL。

13.3.4.8 TIMER2_EVT TIMER2 外部事件选择寄存器

地址:0x4001_0820

复位值:0x0

表 13-39 TIMER2 外部事件选择寄存器 TIMER2_EVT

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								EVT_TH				EVT_SRC			
								RW				RW			
								0				0			

位置	位名称	说明
[31:8]		未使用
[7:4]	EVT_TH	外部事件发生次数阈值，配合 TIMERx_CFG.RL_EN 使用。 外部事件发生 EVT_TH 次后产生效果（当 EVT_TH=0 时，1 次即生效）。可配置的外部事件发生次数阈值范围是 0~15。 特别地，当设置 TIMERx_CFG.CMP1TMIN=1，且 TIMERx_CNT<TIMERx_CMP1 时，即使此前发生的外部事件已达到 EVT_TH 设定次数，TIMERx_CNT 重置也会延迟生效，即 TIMERx_CNT 会继续计数到 TIMERx_CMP1 后归零。此时 TIMERx_CMP1 作为重置最小计数值 TMIN 使用。 EVT_TH 在一个 TIMER 周期后自动清零，即一个 TIMER 周期的外部事件不累积至下一个周期。
[3:0]	EVT_SRC	TIMER 外部事件选择寄存器，本寄存器需要配合 TIMER2_CFG.ETON，TIMER2_CFG.GATE_EN，TIMER2_CFG.RL_EN，TIMER2_CFG.XCLK_EN 使用。 通常 4 个设置位不同时使用。 当设置 ETON=1 时，根据本寄存器选择触发 TIMER 计数的事件。 需要注意的是，TIMER 自身的比较事件无法触发 TIMER 进行计数。当 ETON=1 时，触发信号的上升沿触发 TIMER 开始计数，用作触发源的 TIMER 需要工作在比较模式，无须从外部输入信号至 TIMER 通道 0:TIMER0 通道 0 比较/捕获事件 1:TIMER0 通道 1 比较/捕获事件 2:TIMER1 通道 0 比较/捕获事件

		3:TIMER1 通道 1 比较/捕获事件 4:不可用 5:不可用 6:不可用 7:不可用 8:CLU0 输出上升沿 9:CLU1 输出上升沿 10:CLU2 输出上升沿 11:CLU3 输出上升沿 12:MCPWM TADC[0]比较事件 13:MCPWM TADC[1]比较事件 14:MCPWM TADC[2]比较事件 15:MCPWM TADC[3]比较事件 当 GATE_EN=1，且外部信号为高时 TIMER 计数，外部信号为低时，TIMER 暂停，当 GATE_EN=1 时，TIMER 使用对应外部信号的电平信号作为计数门控。GATE_EN 仅支持配合 0~11 的外部事件使用，当 EVT_SRC 选择为 0~7 时，外部信号为 TIMER 通道输入信号经过对应 TIMER 滤波后的信号，作为门控信号的 TIMER 通道需要配置为输入使能 0:TIMER0 通道 0 滤波后输入信号 1:TIMER0 通道 1 滤波后输入信号 2:TIMER1 通道 0 滤波后输入信号 3:TIMER1 通道 1 滤波后输入信号 4:TIMER2 通道 0 滤波后输入信号 5:TIMER2 通道 1 滤波后输入信号 6:不可用 7:不可用 8:CLU0 输出信号 9:CLU1 输出信号 10:CLU2 输出信号 11:CLU3 输出信号 当 RL_EN 为高时，TIMER 使用外部信号作为重装载信号 作为重装载信号的 TIMER 通道需要配置为输入使能 0:TIMER0 通道 0 比较/捕获事件 1:TIMER0 通道 1 比较/捕获事件 2:TIMER1 通道 0 比较/捕获事件 3:TIMER1 通道 1 比较/捕获事件 4:TIMER2 通道 0 比较/捕获事件 5:TIMER2 通道 1 比较/捕获事件 6:不可用 7:不可用 8:CLU0 输出 9:CLU1 输出 10:CLU2 输出

		11:CLU3 输出 12:MCPWM TADC[0]比较事件 13:MCPWM TADC[1]比较事件 14:MCPWM TADC[2]比较事件 15:MCPWM TADC[3]比较事件 当 XCLK_EN 为高时，TIMER 使用外部信号作为 TIMER 外部时钟，TIMER 在时钟上升沿进行计数动作。如果使用 TIMER 通道作为外部时钟，通道信号受到对应 TIMER 滤波设置影响。 0:TIMER0 通道 0 输入信号 1:TIMER0 通道 1 输入信号 2:TIMER1 通道 0 输入信号 3:TIMER1 通道 1 输入信号 4:TIMER2 通道 0 输入信号 5:TIMER2 通道 1 输入信号 6:不可用 7:不可用 8:CLU0 输出 9:CLU1 输出 10:CLU2 输出 11:CLU3 输出 12:MCPWM TADC[0]比较事件 13:MCPWM TADC[1]比较事件 14:MCPWM TADC[2]比较事件 15:MCPWM TADC[3]比较事件

13.3.4.9 TIMER2_FLT TIMER2 滤波控制寄存器

地址:0x4001_0824

复位值:0x0

表 13-40 TIMER2 滤波控制寄存器 TIMER2_FLT

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								FLT							
								RW							
								0							

位置	位名称	说明
[31:8]		未使用
[7:0]	FLT	通道 0/1 信号滤波宽度选择。取值范围 0~255。 FLT 为 0 时，不对通道进行滤波。 FLT 不为 0 时，对通道信号进行滤波:滤波宽度为 FLT×8。当通道信号电平稳定超过 FLT×8 个系统时钟周期宽度时，滤波器输出更新；否则，滤波器保持当前的输出不变。

注意，以上滤波器的工作时钟与对应的 TIMER 的分频后的工作时钟为相同时钟，受 TIMERx_CFG.CLK_DIV 的分频系数控制。

假设 TIMERx_FLT.FLT = 0x6；TIMERx_CFG.CLK_DIV = 0x2; 则 TIMER 的运行时钟相对系统时钟进行了 4 分频。通道输入信号需要经过 8×6 倍 TIMER 的运行时钟的滤波，亦即 8×6×4 倍系统时钟的滤波。

13.3.4.10TIMER2_IE TIMER2 中断使能寄存器

地址:0x4001_0828

复位值:0x0

表 13-41 TIMER2 中断使能寄存器 TIMER2_IE

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					ZC_RE	CH1_RE	CH0_RE						ZC_IE	CH1_IE	CH0_IE
					RW	RW	RW						RW	RW	RW
					0	0	0						0	0	0

位置	位名称	说明
[31:11]		未使用
[10]	ZC_RE	TIMER CNT 过 0 DMA 请求使能，高电平有效。
[9]	CH1_RE	TIMER 通道 1 比较/捕获 DMA 请求使能，高电平有效。
[8]	CH0_RE	TIMER 通道 0 比较/捕获 DMA 请求使能，高电平有效。
[7:3]		未使用
[2]	ZC_IE	TIMER CNT 过 0 中断使能，高电平有效。
[1]	CH1_IE	TIMER 通道 1 比较/捕获中断使能，高电平有效。
[0]	CH0_IE	TIMER 通道 0 比较/捕获中断使能，高电平有效。

DMA 请求事件，与中断为相同事件标志，DMA 请求被 DMA 受理后，中断标志会被 DMA 硬件自动清除，无需 CPU 软件干预。需要注意的是，通常开启某个事件的 DMA 请求则关闭对应的中断使能。

13.3.4.11TIMER2_IF TIMER2 中断标志寄存器

地址:0x4001_082C

复位值:0x0

表 13-42 TIMER2 中断标志寄存器 TIMER2_IF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

	ZC_IF	CH1_IF	CH0_IF
	RW1C	RW1C	RW1C
	0	0	0

位置	位名称	说明
[31:3]		未使用
[2]	ZC_IF	TIMER CNT 过 0 中断标志。高电平有效，写 1 清 0
[1]	CH1_IF	TIMER 通道 1 比较/捕获中断标志。高电平有效，写 1 清 0
[0]	CH0_IF	TIMER 通道 0 比较/捕获中断标志。高电平有效，写 1 清 0

当发生特定事件时，即使中断使能位 IE=0，对应的 IF 仍会置位，但不会向处理器提起中断服务请求。

在比较模式下，当 TIMER 设置为中心计数（0->TH->0），即 TIMERx_CFG.CENTER=1 时。CH0_IF 和 CH1_IF 只有在 TIMER 从 0 递增计数至 TH 的过程中，当 TIMERx_CNT=TIMERx_CMP0/1 时置位；在 TIMER 从 TH 递减计数到 0 的过程中不会置位。

中断标志写 1 清零，一般不建议用如下|=方式清零，因为|=是先读取中断标志，将对应位改为 1 再写入清零，如果同时有其他中断标志置位，会被一起清零，而这通常不是软件所期望的。例如，如下写法本意是清零 ZC_IF，但如果同时 CH0_IF 在写入执行前置 1 了，则软件先读取回 TIMERx_IF 值为 0x24，然后执行或操作 0x4|0x1=0x5，然后写入，同时对 CH0_IF 和 ZC_IF 进行了清零，可能导致 TIMER 少进入一次因捕获而产生的中断。

TIMERx_IF|=0x4;

如果希望清零 T0_ZC_IF 标志位，应以如下方式，直接对 BIT2 写 1.

TIMERx_IF=0x4;

TIMER0_IO 寄存器无法在 CPU HALT 的时候进行配置，因此需要保证 TIMER0_IO 寄存器在 CPU HALT 前就完成配置。

13.3.5 QEP0 寄存器

表 13-43 QEP0 寄存器地址分配

Name	Offset	Description
QEP0_CFG	0x00	QEP0 Configuration Register
QEP0_TH	0x04	QEP0 Count Threshold Register
QEP0_CNT	0x08	QEP0 Count Value Register
QEP0_IE	0x0C	QEP0 Interrupt Enable Register
QEP0_IF	0x10	QEP0 Interrupt Flag Register

13.3.5.1 QEP0_CFG QEP0 配置寄存器

QEP0_CFG 地址:0x4001_0A00

复位值:0x0

表 13-44 QEP0 配置寄存器 QEP0_CFG

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
								FLT							
								RW							
								0							

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EN					FE_CNT_EN	MODE						ZNC	ZPC	ZLC	ZEC
RW					RW	RW						RW	RW	RW	RW
0					0	0						0	0	0	0

位置	位名称	说明
[31:24]		未使用
[23:16]	FLT	编码器的滤波系数 编码器滤波宽度选择。取值范围 0~15。 FLT 为 0 时，不对通道进行滤波。 FLT 不为 0 时，对通道信号进行滤波:滤波宽度为 FLT×8。当通道信号电平稳定超过 FLT×8 个系统时钟周期宽度时，滤波器输出更新；否则，滤波器保持当前的输出不变。
[15]	EN	QEP 模块整体使能
[14:11]		未使用
[10]	FE_CNT_EN	CCW+SIGN/CCW+CW 两种模式下，是否在下降沿进行计数（上升沿总是计数）
[9:8]	MODE	编码器模式选择 00:counting on T1， 01:counting on T1 & T2 以上两种模式都为正交编码信号计数模式 10:CCW+SIGN，符号加脉冲信号计数模式 11:CCW+CW，CCW+CW 双脉冲信号计数模式
[7:4]		未使用
[3]	ZNC	Z 信号清零极性选择:低电平/下降沿清零使能
[2]	ZPC	Z 信号清零极性选择:高电平/上升沿清零使能
[1]	ZLC	Z 信号电平清零 QEP 计数器使能
[0]	ZEC	Z 信号边沿清零 QEP 计数器使能

当 ZEC=1 时，使用 Z 信号的跳变沿进行 QEP 计数的清零，当 ZNC 同时为 1 时，Z 信号的下降沿清零 QEP 计数器，当 ZPC 同时为 1 时，Z 信号的上升沿清零 QEP 计数器；ZNC 和 ZPC 可以同时为 1，则 Z 信号发生变化则清零 QEP 计数器，清零后立即释放复位，QEP 计数器立即准备好进行后续计数。

当 ZLC=1 时，使用 Z 信号的有效电平进行 QEP 计数的清零，当 ZNC 同时为 1 时，Z 信号低电平时清零 QEP 计数器，当 ZPC 同时为 1 时，Z 信号高电平清零 QEP 计数器；通常使用 Z 信号有效电平清零 QEP 计数器时，ZNC 和 ZPC 不会同时为 1，否则计数器一直处于清零状态。使用有效电平清零时，只有 Z 信号翻转后，QEP 计数器才会恢复计数。

13.3.5.2 QEP0_TH QEP0 计数门限寄存器

QEP0_TH 地址:0x4001_0A04

复位值:0x0

表 13-45 QEP0 计数门限寄存器 QEP0_TH

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TH															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	TH	计数门限 TH。编码器向上计数（增）到 TH 值后，再次向上计数会导致计数器回到 0。编码器向下计数（减）到 0 值后，再次向下计数会导致计数器回到 TH。

13.3.5.3 QEP0_CNT QEP0 计数值寄存器

QEP0_CNT 地址:0x4001_0A08

复位值:0x0

表 13-46 QEP0 计数值寄存器 QEP0_CNT

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	CNT	QEP0 计数值。

13.3.5.4 QEP0_IE QEP0 中断使能寄存器

地址:0x4001_0A0C

复位值:0x0

表 13-47 QEP0 中断使能寄存器 QEP0_IE

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														OF_IE	UF_IE
														RW	RW
														0	0

位置	位名称	说明
[31:2]		未使用
[1]	OF_IE	上溢出中断使能，高电平有效。
[0]	UF_IE	下溢出中断使能，高电平有效。

13.3.5.5 QEP0_IF QEP0 中断标志寄存器

地址:0x4001_0A10

复位值:0x0

表 13-48 QEP0 中断标志寄存器 QEP0_IF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														OF_IF	UF_IF
														RW1C	RW1C
														0	0

位置	位名称	说明
[31:2]		未使用
[1]	OF_IF	上溢出中断标志。高电平有效，写 1 清 0。当计数器计数达到计数门限时，上计数事件触发上溢出中断。
[0]	UF_IF	下溢出中断标志。高电平有效，写 1 清 0。当计数器计数达到 0 时，下计数事件触发下溢出中断。

14 MCPWM

14.1 概述

MCPWM 模块，是一个精确控制电机驱动波形输出的模块。

包含一个 16 位递增计数器，用于提供计数周期（以下称为时基）。计数器的时钟分频有 1/2/4/8 四种选项，产生的的分频时钟频率分别为 96MHz/48MHz/24MHz/12MHz。

MCPWM 模块共包含 4 个 PWM 生成子模块。

- 可以产生 4 对（互补信号）或 8 路独立（边沿模式）不交叠的 PWM 信号;

- 支持边沿对齐 PWM

- 中心对齐 PWM

- 移相 PWM

同时可以产生 4 路与 MCPWM 同时基的定时信息，用于触发 ADC 模块同步采样，进行与 MCPWM 的联动。

包含一组急停保护模块，用于不依赖 CPU 软件的处理快速关断 MCPWM 模块输出。MCPWM 模块可输入 8 路急停信号，其中 2 路来自芯片 IO，2 路来自片内比较器的输出,4 路来自 CLU 模块输出。当急停事件发生时（支持有效电平极性选择），把所有 MCPWM 输出信号复位到软件指定状态，以避免短路发生。

对急停信号有独立滤波模块。

MCPWM 的每个输出 IO 支持两种控制模式:PWM 硬件控制或者软件直接控制（用于 EABS 软刹车，或 BLDC 方波换相控制）。

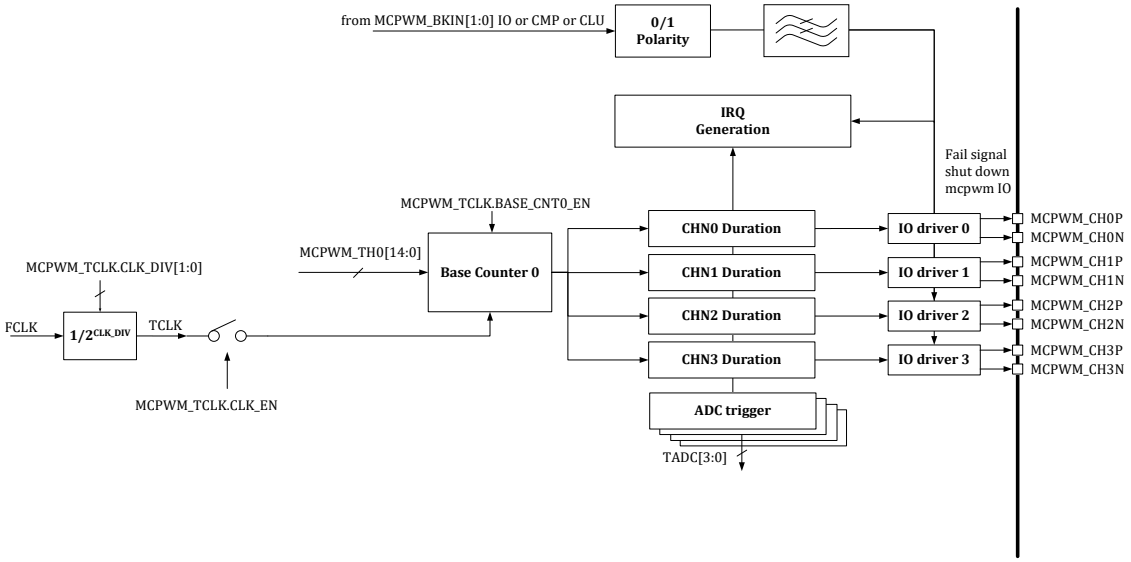


图 14-1 MCPWM 模块框图

为了保证定时精度，通常采用 96MHz 的时钟作为 MCPWM 模块工作频率。

14.1.1 Base Counter 模块

该模块主要是由递增计数器组成，其计数门限值为 MCPWM0_TH0，计数器从 t0 时刻开始从-TH 递增计数，在 t1 时刻过 0 点，在 t2 时刻计数到 TH 完成一次计数循环，回到-TH，重新开始计数。计数周期为(TH×2+1)×计数时钟周期。

在 t0/t1(本次 t0 即上一次 t2)可产生定时事件中断，MCPWM0_IFx.T0_IF 和 MCPWM0_IFx.T1_IF 将被置位。

可通过寄存器配置 MCPWM0_TCLK.BASE_CNT0_EN 控制 Base Counter 0 的启动和停止。

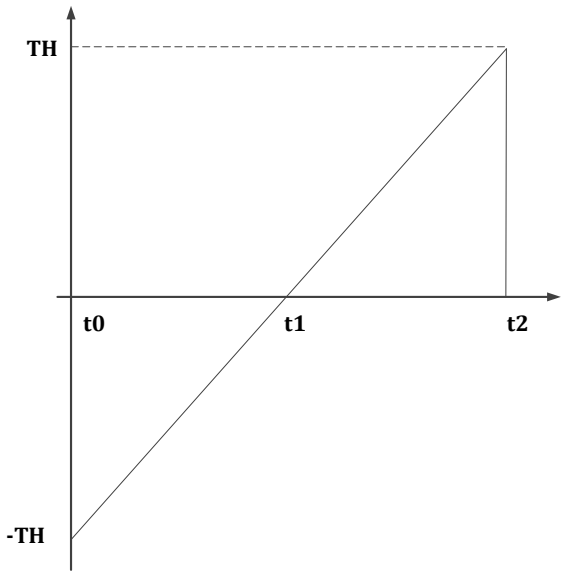


图 14-2 Base Counter t0/t1 时序

在运行 MCPWM 模块前，用户一般需要将门限值 MCPWM0_TH00~MCPWM0_TH31，死区寄存器 MCPWM0_DTH00/ MCPWM0_DTH01 配置好。在实际运行过程中，也可动态改变比较门限值和死区寄存器。这些配置好的寄存器，可通过写 MCPWM0_UPDATE 寄存器实现手动更新，也可以通过配置 MCPWM0_SDCFG.T1_UPDATE_EN 及 MCPWM0_SDCFG.T0_UPDATE_EN 进行硬件自动更新。硬件更新，仅在 t0 及 t1 时刻（可配置 t0 或 t1 更新和 t0 t1 时刻都更新）才能产生更新事件，硬件把加载寄存器的值载入到实际运行的寄存器中。而更新事件的发生频率可以配置，即每间隔 N 个 t0 及 t1 时刻才发生更新。无论是否发生更新，t0/t1 时刻均可产生相应的中断。若硬件把加载寄存器的值到载入实际运行的寄存器后，产生装载中断。

通过配置 MCPWM0_SDCFG 寄存器选择更新发生在 t0 或者 t1 或者 t0/t1 都更新，配置更新间隔数，间隔数为 1~16。最频繁的更新配置为更新发生在 t0 和 t1，连续发生。最低速的更新配置为更新发生在 t1，每 16 个 t1 更新一次。

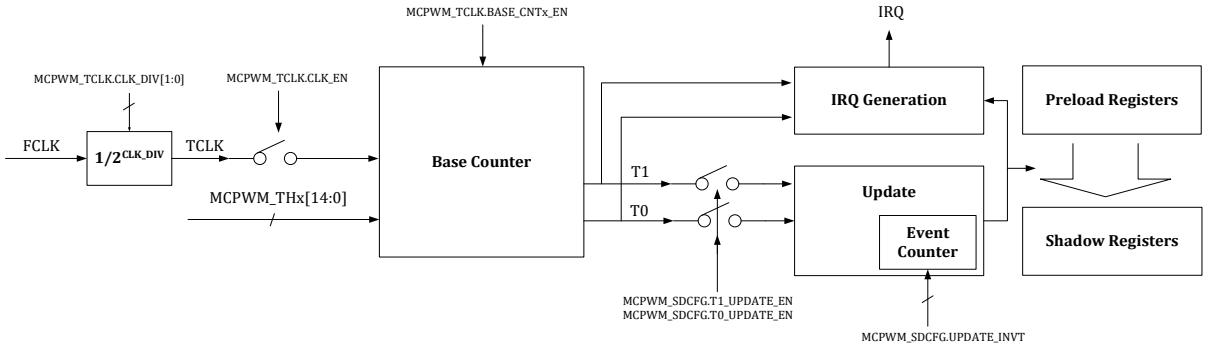


图 14-3 MCPWM 更新机制

TH 寄存器 MCPWM0_THx 和计数寄存器 MCPWM0_CNTx（x=0）均存在影子寄存器，且均支持手动更新（通过软件向 MCPWM0_UPDATE 写入对应位进行更新）和自动更新（发生特定硬件事件触发更新）。影子寄存器可以在不开启 MCPWM TCLK 时钟（即 MCPWM0_TCLK.TCLK_EN=0）的情况下进行更新。MCPWM0_TCLK.BASE_CNT0_EN 控制计数使能。当 MCPWM0_TCLK.BASE_CNT0_EN=0 时，时基 0 的 CNT 在完成更新后保持值不变，等待 BASE_CNT0_EN=1 之后才开始计数递增。

此外，为了精确控制第一个 MCPWM 周期的计数，建议将 MCPWM0_THx 和 MCPWM0_CNTx 同时更新。当然也支持 MCPWM0_THx 和 MCPWM0_CNTx 分别更新。然后再通过软件写入或外部事件触发计数开始，从而将 MCWPM_TCLK.BASE_CNT0_EN 置位，使能 CNT 计数。

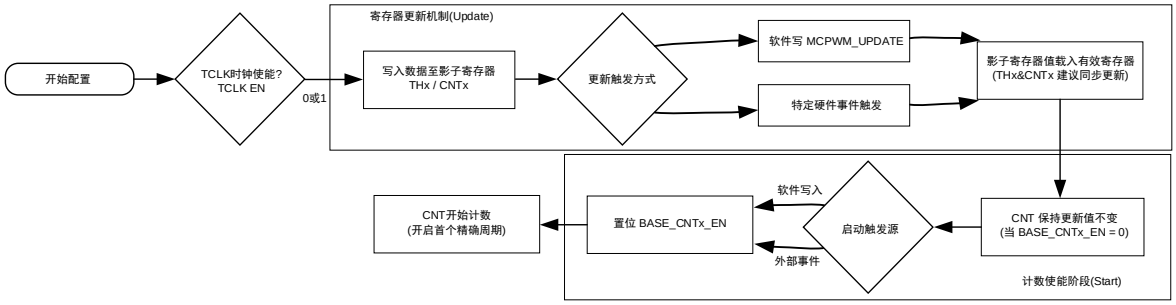


图 14-4 时基寄存器更新与计数使能流程图

14.1.2 FAIL 信号处理

FAIL 信号即急停信号，主要用于在出现异常时迅速关断功率管，以免造成不可逆的硬件损坏。该信号处理模块主要是根据实际情况设置急停事件，实现快速关断 PWM 的输出。有 8 路 fail 信号输入 MCPWM，2 路来自芯片 IO MCPWM0_BKIN[1:0]，2 路来自芯片内部模拟比较器的输出 CMP[1:0]，4 路来自 CL 模块输出。

其中 MCPWM 的 4 组 P/N 通道 0/1/2/3 都可以选择使用 CMP[1:0]，MCPWM0_BKIN[1:0]或 CL_OUTPUT[3:0]。

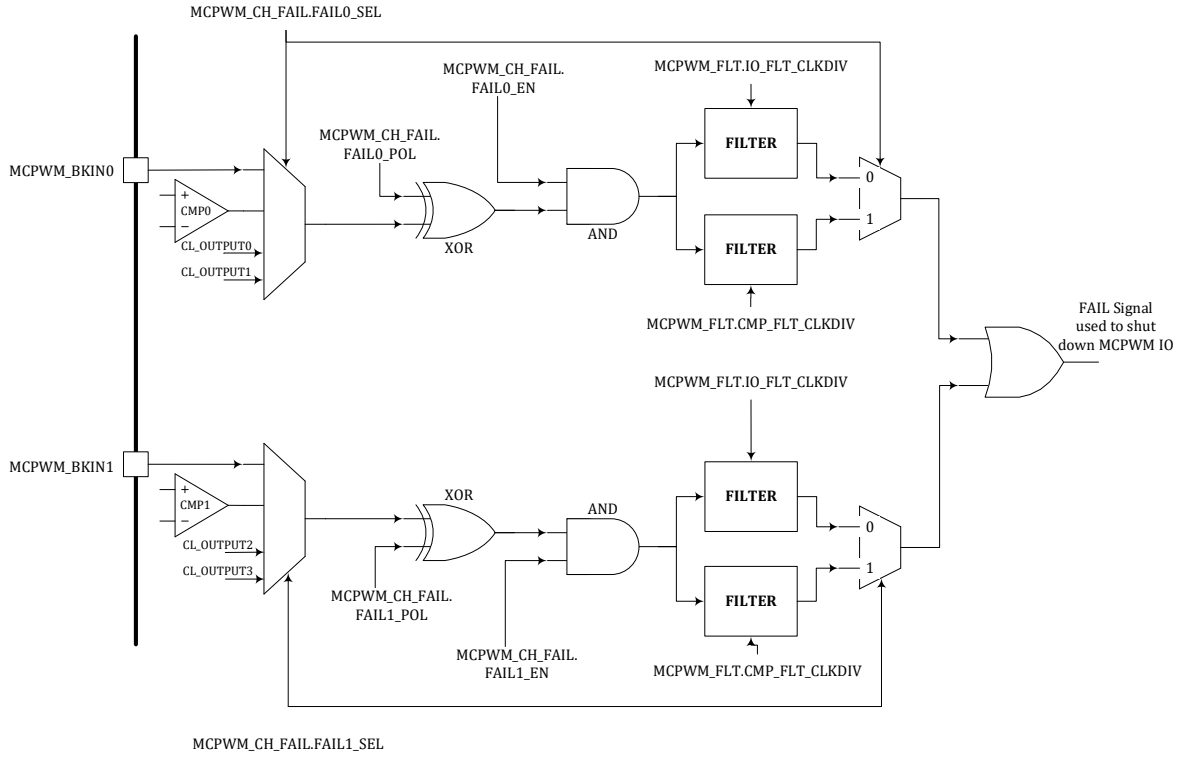


图 14-5 MCPWM_CH_FAIL 逻辑示意图

Filter 滤波模块的时钟，来自系统主时钟 MCLK 的门控时钟 FCLK，见 SYS_CLK_FEN，并经过可选的两级分频，第一级分频由 MCPWM0_TCLK.CLK_DIV 控制，进行 1/2/4/8 倍分频。第二级分频可实现 1~256 倍的分频，使用 MCPWM0_TCLK.FLT_CLKDIV[7:0]作为第二级的分频系数。如图 14-6 所示。

MCPWM 模块使用分频后的时钟进行 Fail 信号滤波，滤波宽度固定为 16 个周期，即输入信号必须保持至少 16 个分频时钟周期（两级分频后的时钟）稳定后，硬件才判定其为有效输入信号。滤波时间常数的公式为，其中 T_{MCLK} 为 MCLK/FCLK[4]的时钟周期，96MHz 对应 10.42ns。

$$T = T_{MCLK} \times (MCPWM0\_TCLK.CLK\_DIV) \times (MCPWM0\_TCLK.FLT\_CLKDIV+1) \times 16$$

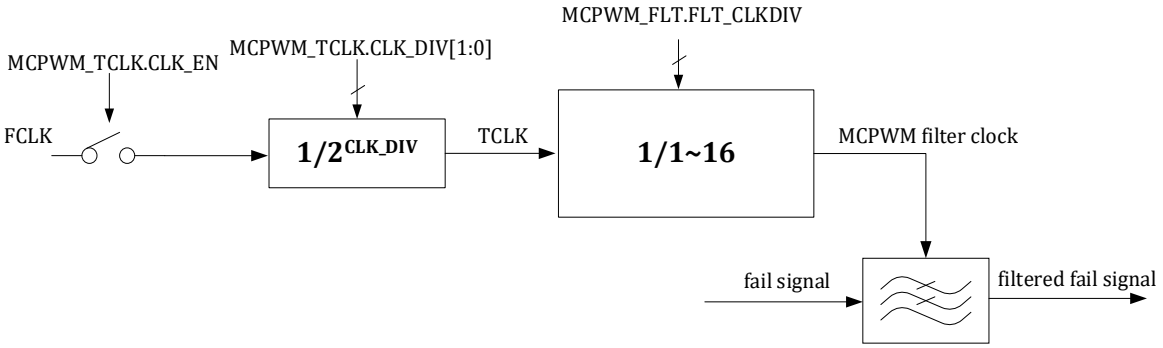


图 14-6 MCPWM Fail 信号滤波时钟生成逻辑

一旦发生 FAIL 事件，硬件将 IO 输出强制变为 MCPWM0_CH_DEFx.CHxN_DEFAULT 和

MCPWM0_CH_DEF.CHxP_DEFAULT 寄存器所指定的故障缺省值，此时 MCPWM0_CH_DEF.CHxN_DEFAULT 和 MCPWM0_CH_DEF.CHxP_DEFAULT 的值直接输出到 IO 口，不再受到 MCPWM0_CH_FAILx.FAIL_POL 等极性控制的影响。其中 MCPWM0_CH_FAIL 用于控制通的故障缺省设置。

来自比较器的 MCPWM FAIL 信号为模拟比较器输出的原始信号，未经过比较器数字接口模块的滤波处理，但是可以被 MCPWM 的通道信号进行开窗控制，开窗控制设置见比较器数字接口模块。FAIL 信号进入 MCPWM 模块后，可以通过设置 MCPWM_TCLK 进行滤波。

14.1.3 MCPWM 特殊输出状态

电机控制中经常会用到全 0 和全 1 输出状态，以下互补模式设置可以得到期望的输出。

1. 如果 THn0≥THn1，芯片处于恒 0 状态（CH<n>P 关闭，CH<n>N 开启），无死区
2. 如果 THn0=-TH，THn1=TH，芯片处于恒 1 状态（CH<n>P 开启，CH<n>N 关闭），无死区

14.1.4 IO DRIVER 模块

该模块根据实际 MCPWM 的寄存器配置情况，将 IO 设置到相应电平。IO Driver 模块的整体数据流程图如下:

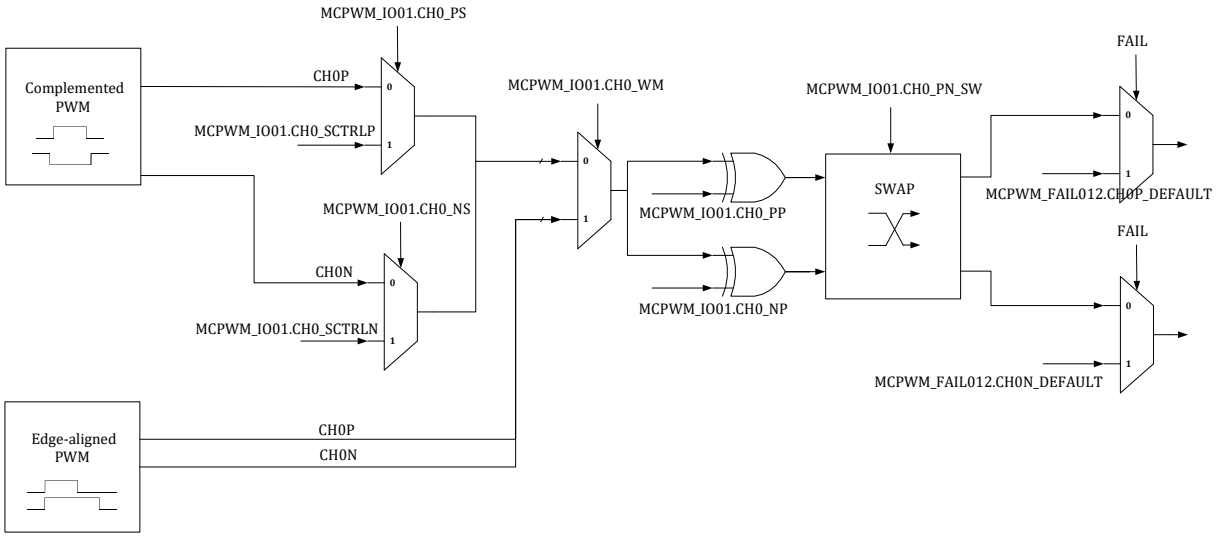


图 14-7 IO Driver 模块数据流程图

14.1.4.1 MCPWM 波形输出-中心对齐模式

4 个 MCPWM IO Driver 采用独立的控制门限，独立死区宽度（每一对互补 IO 的死区需要独立配置，即 4 个死区配置寄存器），共享数据更新事件。

采用 TH<n>0 和 TH<n>1 控制第<n>个 MCPWM IO 的启动、关闭动作，n 为 0/1/2/3。

当计数器 CNT 值向上计数达到 TH<n>0(即 t3 时刻)，关闭 CH<n>N，经过死区延时 DTH00，打开 CH<n>P。

当计数器 CNT 值向上计数达到 TH<n>1(即 t4 时刻)，关闭 CH<n>P，经过死区延时 DTH01，打开 CH<n>N。

采用独立的启动和关闭时间控制，可以提供相位控制的能力。

死区延时保证 CH<n>P/CH<n>N 不会同时打开，避免短路发生。

t3/t4 时刻均会产生相应中断。

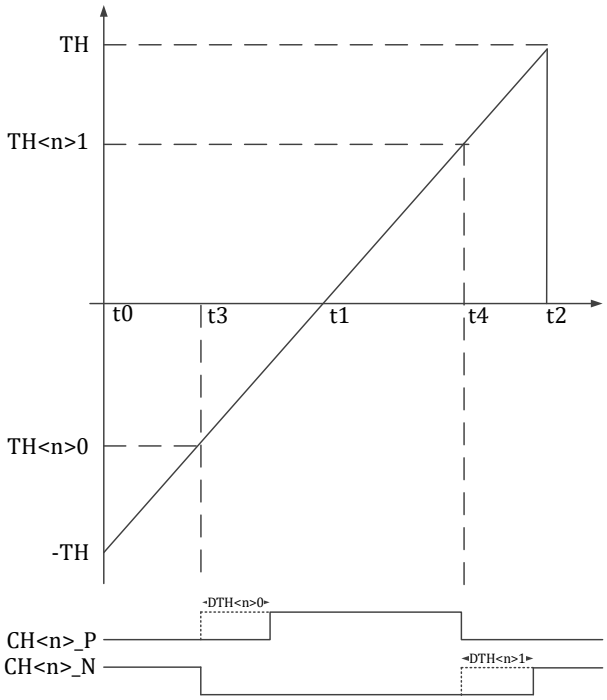


图 14-8MCPWM 时序 TH<n>0 和 TH<n>1-中心对齐模式

14.1.4.2 MCPWM 波形控制-中心对齐推挽模式

中心对齐推挽模式。第一个周期内，在 t3 时刻 CH<n>P 打开，在 t4 时刻，CH<n>P 关闭。第二个周期内，在 t3 时刻 CH<n>N 打开，在 t4 时刻，CH<n>N 关闭。

t3/t4 时刻均会产生相应中断。

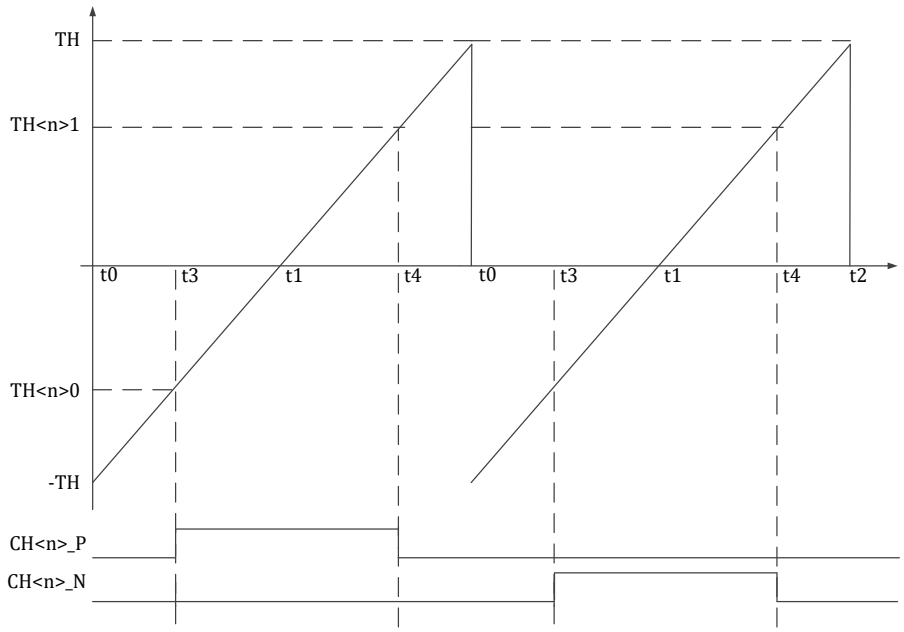


图 14-9 MCPWM 时序 TH<n>0 和 TH<n>1-中心对齐推挽模式

14.1.4.3 MCPWM 波形输出-边沿对齐模式

边沿对齐模式。在 t0 时刻 CH<n>P/CH<n>N 同时打开，在 t3 时刻，CH<n>P 关闭；在 t4 时刻，CH<n>N 关闭。

t3/t4 时刻均会产生相应中断。

边沿对齐模式下，CH<n>P/CH<n>N 无需死区保护。

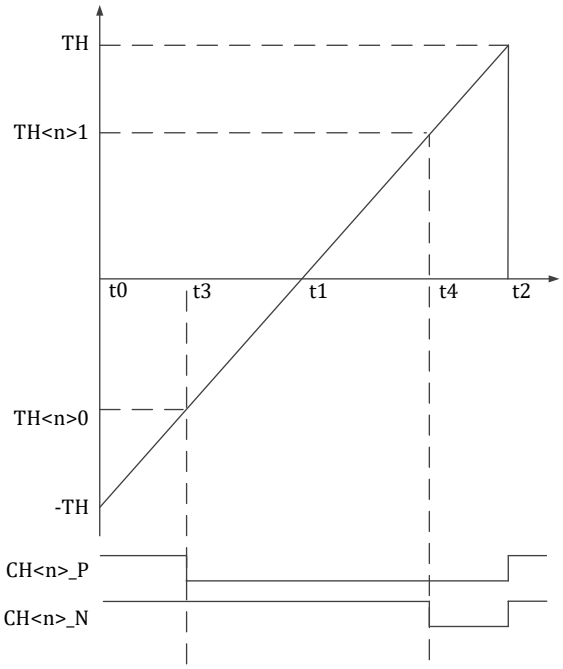


图 14-10MCPWM 时序边沿对齐模式

14.1.4.4 MCPWM 波形控制-边沿对齐推挽模式

边沿对齐推挽模式。第一个周期内，在 t0 时刻 CH<n>P 打开，在 t3 时刻，CH<n>P 关闭。第二个周期内，在 t0 时刻 CH<n>N 打开，在 t3 时刻，CH<n>N 关闭。

t0/t3 时刻均会产生相应中断。

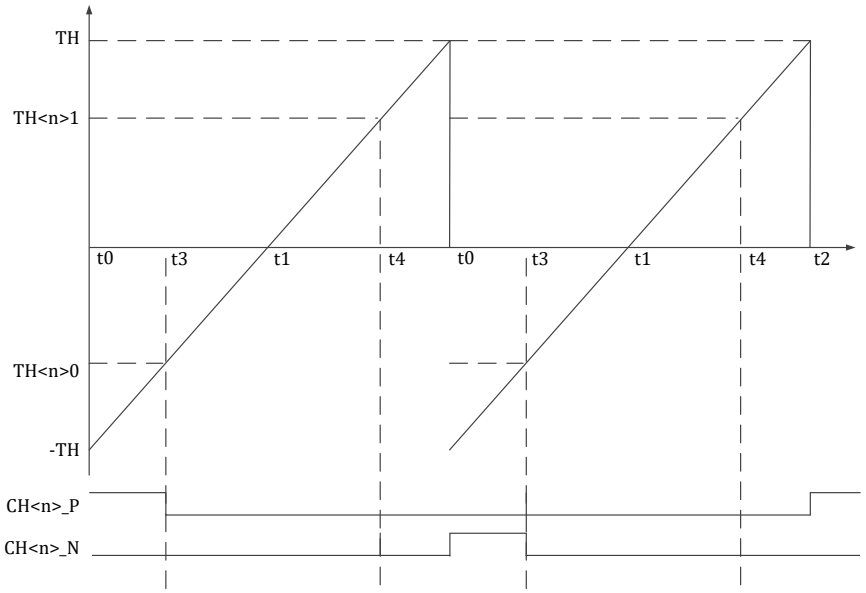


图 14-11MCPWM 时序 TH<n>0 和 TH<n>1 边沿对齐推挽模式

14.1.4.5 MCPWM IO 死区控制

MCPWM IO 是一对互斥控制信号 CH<n>P/CH<n>N，控制如下图所示的电路，

当 CH<n>P 为高/CH<n>N 为低时，Vout 输出高（VDD）；

当 CH<n>P 为低/CH<n>N 为高时，Vout 输出低（VSS）；

当 CH<n>P 为高/CH<n>N 为高时，Vout 输出不确定，但是会产生 VDD 到 VSS 的短路；

当 CH<n>P 为低/CH<n>N 为低时，Vout 输出不确定。

必须避免 CH<n>P/CH<n>N 同时打开的情况。死区的引入，可以有效避免 VDD 到 VSS 的短路。

四组 MCPWM IO 的死区宽度共享同一个死区宽度设置 MCPWM0_DTH0/1。

对于互补模式 MCPWM IO 自动插入死区。

对于边沿对齐模式，MCPWM IO 无死区。

在 IO Driver 模块中增加 CH<n>P/CH<n>N 冲突检测，发生冲突时，自动将 IO 拉低，同时给出错误中断（错误中断标志位可软件清除或者硬件自动清除）。

MCPWM IO 也可通过软件配置的方式输出，此时，死区控制通过软件实现，如果 MCPWM 模块配置为中心对齐模式，硬件短路保护机制仍有效，保证 P 和 N 不同时打开。

CH<n>P/CH<n>N，在 IO 上可以互换。

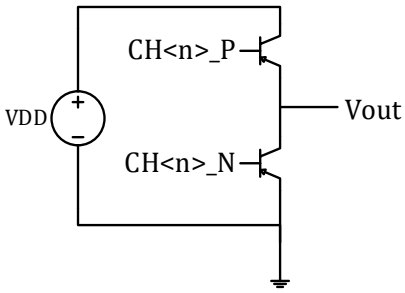


图 14-12MCPWM IO 控制示意图

14.1.4.6 MCPWM IO 极性设置

CH<n>P/CH<n>N 的有效电平可以配置为高有效/低有效，每个 IO 的有效电平单独可配。CH<n>P/CH<n>N 输出到 IO 的位置通过软件配置可以互换。

14.1.4.7 MCPWM IO 自动保护

当发生急停事件（Fail 事件），应立刻将 CH<n>P/CH<n>N 自动切换到默认安全电平状态。需要注意默认电平配置（MCPWM0_CH_DEF.CHxN_DEFAULT 和 MCPWM0_CH_DEF.CHxP_DEFAULT 控制默认电平）。

- 芯片正常工作后，IO 默认输出的电平是寄存器 MCPWM0_CH_DEF.CHxN_DEFAULT 和 MCPWM0_CH_DEF.CHxP_DEFAULT 指定值，当用户配置完毕，MCPWM 正常工作后，配置 MCPWM0_CH_FAIL.MCPWM0_OE（即 MOE）为 1，IO 输出电平受到 MCPWM IO 模块控制。
- 当发生 FAIL 短路状况时，硬件立即切换到 IO 默认输出电平。
- 当芯片调试中，CPU 被上位机软件暂停运行时，可暂停 MCPWM 正常输出，转而输出默认电平值。

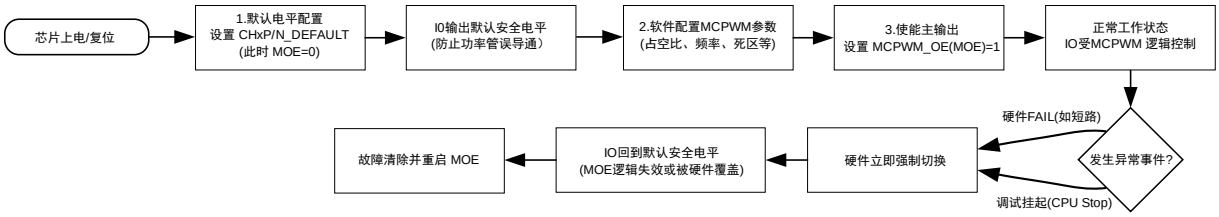


图 14-13 Fail 保护与输出控制流程图

14.1.5 ADC Trigger TIMER 模块

MCPWM 可以提供 ADC 采样控制。当计数器计数到 MCPWM0_TMR0/ MCPWM0_TMR1/ MCPWM0_TMR2/ MCPWM0_TMR3 时，可产生定时事件，触发 ADC 采样。该触发信号可同时输出到 GPIO，便于调试之用。输出的具体 GPIO，参见对应器件的 datasheet。

表 14-1 MCPWM 计数器阈值与事件对应表

MCPWMx 时基 0 t0 事件	MCPWMx_CNT0==-MCPWMx_TH0
MCPWMx 时基 0 t1 事件	MCPWMx_CNT0==0
MCPWMx TIO0[0] 事件	MCPWMx_CNT0==MCPWMx_TH00
MCPWMx TIO0[1] 事件	MCPWMx_CNT0==MCPWMx_TH01
MCPWMx TIO1[0] 事件	MCPWMx_CNT0==MCPWMx_TH10
MCPWMx TIO1[1] 事件	MCPWMx_CNT0==MCPWMx_TH11
MCPWMx TIO2[0] 事件	MCPWMx_CNT0==MCPWMx_TH20
MCPWMx TIO2[1] 事件	MCPWMx_CNT0==MCPWMx_TH21
MCPWMx TIO3[0] 事件	MCPWMx_CNT0==MCPWMx_TH30
MCPWMx TIO3[1] 事件	MCPWMx_CNT0==MCPWMx_TH31
MCPWMx TADC[0] 事件	MCPWMx_CNT0== MCPWMx_TMR0
MCPWMx TADC [1] 事件	MCPWMx_CNT0== MCPWMx_TMR1
MCPWMx TADC [2] 事件	MCPWMx_CNT0== MCPWMx_TMR2
MCPWMx TADC [3] 事件	MCPWMx_CNT0== MCPWMx_TMR3

14.1.6 中断

MCPMW_IF0 和 MCPWM0_EIF[5:4]、MCPWM0_EIF[8]标志置位且使能的情况下，产生 MCPWM0_IRQ0 中断;

14.2 寄存器

14.2.1 地址分配

MCPWM 模块寄存器的基地址是 0x4001_0C00,

寄存器列表如下:

表 14-2 MCPWM 模块寄存器列表

名称	偏移地址	说明
MCPWM0_TH00	0x00	MCPWM CH0_P 比较门限值寄存器
MCPWM0_TH01	0x04	MCPWM CH0_N 比较门限值寄存器
MCPWM0_TH10	0x08	MCPWM CH1_P 比较门限值寄存器
MCPWM0_TH11	0x0C	MCPWM CH1_N 比较门限值寄存器
MCPWM0_TH20	0x10	MCPWM CH2_P 比较门限值寄存器
MCPWM0_TH21	0x14	MCPWM CH2_N 比较门限值寄存器
MCPWM0_TH30	0x18	MCPWM CH3_P 比较门限值寄存器
MCPWM0_TH31	0x1C	MCPWM CH3_N 比较门限值寄存器
MCPWM0_TMR0	0x30	ADC 采样定时器比较门限 0 寄存器
MCPWM0_TMR1	0x34	ADC 采样定时器比较门限 1 寄存器
MCPWM0_TMR2	0x38	ADC 采样定时器比较门限 2 寄存器
MCPWM0_TMR3	0x3C	ADC 采样定时器比较门限 3 寄存器
MCPWM0_TH0	0x40	MCPWM 时基 0 门限值寄存器
MCPWM0_CNT0	0x48	MCPWM 时基 0 计数器寄存器

MCPWM0_UPDATE	0x50	MCPWM 加载控制寄存器
MCPWM0_FCNT	0x54	MCPWM FAIL 时刻 CNT 值
MCPWM0_EVT0	0x58	MCPWM 时基 0 外部触发
MCPWM0_DTH00	0x60	MCPWM P 通道死区宽度控制寄存器
MCPWM0_DTH01	0x64	MCPWM N 通道死区宽度控制寄存器
MCPWM0_FLT	0x70	MCPWM 滤波时钟分频寄存器
MCPWM0_SDCFG	0x74	MCPWM 加载配置寄存器
MCPWM0_AUEN	0x78	MCPWM 自动更新使能寄存器
MCPWM0_TCLK	0x7C	MCPWM 时钟分频控制寄存器
MCPWM0_IE0	0x80	MCPWM 时基 0 中断控制寄存器
MCPWM0_IF0	0x84	MCPWM 时基 0 中断标志位寄存器
MCPWM0_EIE	0x90	MCPWM 异常中断控制寄存器
MCPWM0_EIF	0x94	MCPWM 异常中断标志位寄存器
MCPWM0_RE	0x98	MCPWM DMA 请求控制寄存器
MCPWM0_PP	0x9C	MCPWM 推挽模式使能寄存器
MCPWM0_IO01	0xA0	MCPWM CH0 CH1 IO 控制寄存器
MCPWM0_IO23	0xA4	MCPWM CH2 CH3 IO 控制寄存器
MCPWM0_CH_FAIL	0xB0	MCPWM CH 短路控制寄存器
MCPWM0_CH_DEF	0xB8	MCPWM 短路保护通道输出默认值
MCPWM0_CH_MSK	0xBC	MCPWM 通道屏蔽寄存器
MCPWM0_PRT	0xC0	MCPWM 保护寄存器
MCPWM0_SW_FAIL	0xD0	MCPWM 软件 FAIL 调试寄存器

表 14-3 受 MCPWM0_PRT 保护的寄存器

名称	偏移地址	说明
MCPWM0_TH0	0x30	MCPWM 门限值寄存器
MCPWM0_DTH00	0x60	MCPWM CH0/1/2 N 通道死区宽度控制寄存器
MCPWM0_DTH01	0x64	MCPWM CH0/1/2 P 通道死区宽度控制寄存器
MCPWM0_FLT	0x70	MCPWM 滤波时钟分频寄存器
MCPWM0_SDCFG	0x74	MCPWM 加载配置寄存器
MCPWM0_AUEN	0x78	MCPWM 自动加载使能寄存器
MCPWM0_TCLK	0x7C	MCPWM 时钟分频控制寄存器
MCPWM0_IE0	0x80	MCPWM 时基 0 中断控制寄存器
MCPWM0_EIE	0x90	MCPWM 异常中断控制寄存器
MCPWM0_RE	0x98	MCPWMDMA 请求控制寄存器
MCPWM0_PP	0x9C	MCPWM 推挽模式使能寄存器
MCPWM0_IO01	0xA0	MCPWM CH0 CH1 IO 控制寄存器
MCPWM0_IO23	0xA4	MCPWM CH2 CH3 IO 控制寄存器
MCPWM0_CH012_FAIL	0xB0	MCPWM CH0 CH1 CH2 短路控制寄存器
MCPWM0_CH_DEF	0xB8	MCPWM 短路保护通道输出值
MCPWM0_CH_MSK	0xBC	MCPWM 通道屏蔽寄存器
MCPWM0_SW_FAIL	0xD0	MCPWM 软件 FAIL 调试寄存器

表 14-4 存在影子寄存器的寄存器

名称	偏移地址	说明
MCPWM0_TH00	0x00	MCPWM CH0_P 比较门限值寄存器
MCPWM0_TH01	0x04	MCPWM CH0_N 比较门限值寄存器
MCPWM0_TH10	0x08	MCPWM CH1_P 比较门限值寄存器
MCPWM0_TH11	0x0C	MCPWM CH1_N 比较门限值寄存器
MCPWM0_TH20	0x10	MCPWM CH2_P 比较门限值寄存器
MCPWM0_TH21	0x14	MCPWM CH2_N 比较门限值寄存器
MCPWM0_TH30	0x18	MCPWM CH3_P 比较门限值寄存器
MCPWM0_TH31	0x1C	MCPWM CH3_N 比较门限值寄存器
MCPWM0_TMR0	0x30	ADC 采样定时器比较门限 0 寄存器
MCPWM0_TMR1	0x34	ADC 采样定时器比较门限 1 寄存器
MCPWM0_TMR2	0x38	ADC 采样定时器比较门限 2 寄存器
MCPWM0_TMR3	0x3C	ADC 采样定时器比较门限 3 寄存器
MCPWM0_TH0	0x40	MCPWM 时基 0 门限值寄存器
MCPWM0_CNT0	0x48	MCPWM 时基 0 计数器寄存器
MCPWM0_IO01	0xA0	MCPWM CH0 CH1 IO 控制寄存器
MCPWM0_IO23	0xA4	MCPWM CH2 CH3 IO 控制寄存器

对于所有存在影子寄存器的 MCPWM 配置寄存器，写入时，写入的是预装载寄存器，更新事件发生时才会把预装载寄存器值写入影子寄存器，读出时读出的是影子寄存器的值。

14.2.2 MCPWM0_TH00

无写保护的寄存器

地址:0x4001_0C00

复位值:0x0

表 14-5 MCPWM0_TH00 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TH00															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	TH00	MCPWM CH0_P 比较门限值，16 位有符号数；发生更新事件时，本寄存器加载到 MCPWM 实际运行系统中。写入的是预装载寄存器，更新事件发生时才会把预装载寄存器值写入影子寄存器，读出时读出的是影子寄存器的值。

14.2.3 MCPWM0_TH01

无写保护的寄存器

地址:0x4001_0C04

复位值:0x0

表 14-6 MCPWM0_TH01 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TH01															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	TH01	MCPWM CH0_N 比较门限值，16 位有符号数；发生更新事件时，本寄存器加载到 MCPWM 实际运行系统中。

14.2.4 MCPWM0_TH10

无写保护的寄存器

地址:0x4001_0C08

复位值:0x0

表 14-7 MCPWM0_TH10 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TH10															
RW															
0															

位置	位名称	说明
[31:16]		未使用
15:0]	TH10	MCPWM CH1_P 比较门限值，16 位有符号数；发生更新事件时，本寄存器加载到 MCPWM 实际运行系统中。

14.2.5 MCPWM0_TH11

无写保护的寄存器

地址:0x4001_0C0C

复位值:0x0

表 14-8 MCPWM0_TH11 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TH11															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	TH11	MCPWM CH1_N 比较门限值，16 位有符号数；发生更新事件时，本寄存器加载到 MCPWM 实际运行系统中。

14.2.6 MCPWM0_TH20

无写保护的寄存器

地址:0x4001_0C10

复位值:0x0

表 14-9 MCPWM0_TH20 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TH20															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	TH20	MCPWM CH2_P 比较门限值，16 位有符号数；发生更新事件时，本寄存器加载到 MCPWM 实际运行系统中。

14.2.7 MCPWM0_TH21

无写保护的寄存器

地址:0x4001_0C14

复位值:0x0

表 14-10 MCPWM0_TH21 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TH21															
RW															
0															

位置	位名称	说明

[31:16]		未使用
[15:0]	TH21	MCPWM CH2_N 比较门限值，16 位有符号数；发生更新事件时，本寄存器加载到 MCPWM 实际运行系统中。

14.2.8 MCPWM0_TH30

无写保护的寄存器

地址:0x4001_0C18

复位值:0x0

表 14-11 MCPWM0_TH30 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TH30															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	TH30	MCPWM CH3_P 比较门限值，16 位有符号数；发生更新事件时，本寄存器加载到 MCPWM 实际运行系统中。

14.2.9 MCPWM0_TH31

无写保护的寄存器

地址:0x4001_0C1C

复位值:0x0

表 14-12 MCPWM0_TH31 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TH31															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	TH31	MCPWM CH3_N 比较门限值，16 位有符号数；发生更新事件时，本寄存器加载到 MCPWM 实际运行系统中。

14.2.10 MCPWM0_TMR0

无写保护的寄存器

地址:0x4001_0C30

复位值:0x7FFF

表 14-13 MCPWM0_TMR0 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0															
RW															
0x7FFF															

位置	位名称	说明
[31:16]		未使用
[15:0]	TMR0	ADC 采样定时器比较门限 0 寄存器，16 位有符号数；当 MCPWM0_CNT0=TMR0 时产生 TADC[0]事件触发 ADC 进行采样。MCPWM 发生更新事件后，本寄存器加载到 MCPWM 实际运行系统中。

14.2.11 MCPWM0_TMR1

无写保护的寄存器

地址:0x4001_0C34

复位值:0x7FFF

表 14-14 MCPWM0_TMR1 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR1															
RW															
0x7FFF															

位置	位名称	说明
[31:16]		未使用
[15:0]	TMR1	ADC 采样定时器比较门限 1 寄存器，16 位有符号数；当 MCPWM0_CNT=TMR1 时产生 TADC[1]事件触发 ADC 进行采样。MCPWM 发生更新事件后，本寄存器加载到 MCPWM 实际运行系统中。

14.2.12 MCPWM0_TMR2

无写保护的寄存器

地址:0x4001_0C38

复位值:0x7FFF

表 14-15 MCPWM0_TMR2 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR2															
RW															
0x7FFF															

位置	位名称	说明
[31:16]		未使用
[15:0]	TMR2	ADC 采样定时器比较门限 2 寄存器，16 位有符号数；发生更新事件后，本寄存器加载到 MCPWM 实际运行系统中。

14.2.13 MCPWM0_TMR3

无写保护的寄存器

地址:0x4001_0C3C

复位值:0x7FFF

表 14-16 MCPWM0_TMR3 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR3															
RW															
0x7FFF															

位置	位名称	说明
[31:16]		未使用
[15:0]	TMR3	ADC 采样定时器比较门限 3 寄存器，16 位有符号数；发生更新事件后，本寄存器加载到 MCPWM 实际运行系统中。。

14.2.14 MCPWM0_TH0

写保护的寄存器

地址:0x4001_0C40

复位值:0x0

表 14-17 MCPWM0_TH0 时基 0 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TH0														
	RW														
	0														

位置	位名称	说明
[31:15]		未使用
[14:0]	TH0	MCPWM 时基 0 计数器门限值，15 位无符号数，MCPWM 实际运行系统中的时基 0 计数器从-TH 计数到 TH；发生更新事件后，本寄存器加载到 MCPWM 实际运行系统中。

14.2.15 MCPWM0_CNT0

无写保护的寄存器

地址:0x4001_0C48

复位值:0x8000

表 14-18 MCPWM0_CNT0 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT0															
RW															
0x8000															

位置	位名称	说明
[31:16]		未使用
[15:0]	CNT0	向此寄存器写入，更改时基 0 计数器的设定值，发生更新事件后，本寄存器加载到 MCPWM 实际运行系统的时基 0 CNT 中。 读出的数据为 MCPWM 实际运行系统中时基 0 计数器的值。实际读出的计数范围为-TH ~ +TH

14.2.16 MCPWM0_UPDATE

无写保护的寄存器

地址:0x4001_0C50

复位值:0x0

表 14-19 MCPWM0_UPDATE MCPWM 手动更新寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			IO3_UPDATE			TMR3_UPDATE	TMR2_UPDATE							TH31_UPDATE	TH30_UPDATE
			WO			WO	WO							WO	WO
			0			0	0							0	0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			IO012_UPDATE	CNT0_UPDATE	TH0_UPDATE	TMR1_UPDATE	TMR0_UPDATE			TH21_UPDATE	TH20_UPDATE	TH11_UPDATE	TH10_UPDATE	TH01_UPDATE	TH00_UPDATE
			WO	WO	WO	WO	WO			WO	WO	WO	WO	WO	WO
			0	0	0	0	0			0	0	0	0	0	0

位置	位名称	说明
[31:29]		未使用
[28]	IO3_UPDATE	写 1 产生软件（手动）触发，将 MCPWM0_IO3 由预装载寄存器加载

		到 MCPWM 运行所使用的影子寄存器
[27:26]		未使用
[25]	TMR3_UPDATE	写 1 产生软件（手动）触发，将 MCPWM0_TMR3 由预装载寄存器加载到 MCPWM 运行所使用的影子寄存器
[24]	TMR2_UPDATE	写 1 产生软件（手动）触发，将 MCPWM0_TMR2 由预装载寄存器加载到 MCPWM 运行所使用的影子寄存器
[23:18]		未使用
[17]	TH31_UPDATE	写 1 产生软件（手动）触发，将 MCPWM0_TH31 由预装载寄存器加载到 MCPWM 运行所使用的影子寄存器
[16]	TH30_UPDATE	写 1 产生软件（手动）触发，将 MCPWM0_TH30 由预装载寄存器加载到 MCPWM 运行所使用的影子寄存器
[15:13]		未使用
[12]	IO012_UPDATE	写 1 产生软件（手动）触发，将 MCPWM0_IO0/1/2 由预装载寄存器加载到 MCPWM 运行所使用的影子寄存器
[11]	CNT0_UPDATE	写 1 产生软件（手动）触发，将 MCPWM0_CNT0 由预装载寄存器加载到 MCPWM 运行所使用的影子寄存器
[10]	TH0_UPDATE	写 1 产生软件（手动）触发，将 MCPWM0_TH0 由预装载寄存器加载到 MCPWM 运行所使用的影子寄存器
[9]	TMR1_UPDATE	写 1 产生软件（手动）触发，将 MCPWM0_TMR1 由预装载寄存器加载到 MCPWM 运行所使用的影子寄存器
[8]	TMR0_UPDATE	写 1 产生软件（手动）触发，将 MCPWM0_TMR0 由预装载寄存器加载到 MCPWM 运行所使用的影子寄存器
[7:6]		未使用
[5]	TH21_UPDATE	写 1 产生软件（手动）触发，将 MCPWM0_TH21 由预装载寄存器加载到 MCPWM 运行所使用的影子寄存器
[4]	TH20_UPDATE	写 1 产生软件（手动）触发，将 MCPWM0_TH20 由预装载寄存器加载到 MCPWM 运行所使用的影子寄存器
[3]	TH11_UPDATE	写 1 产生软件（手动）触发，将 MCPWM0_TH11 由预装载寄存器加载到 MCPWM 运行所使用的影子寄存器
[2]	TH10_UPDATE	写 1 产生软件（手动）触发，将 MCPWM0_TH10 由预装载寄存器加载到 MCPWM 运行所使用的影子寄存器
[1]	TH01_UPDATE	写 1 产生软件（手动）触发，将 MCPWM0_TH01 由预装载寄存器加载到 MCPWM 运行所使用的影子寄存器
[0]	TH00_UPDATE	写 1 产生软件（手动）触发，将 MCPWM0_TH00 由预装载寄存器加载到 MCPWM 运行所使用的影子寄存器

向 MCPWM0_UPDATE 对应位写 1 可以触发寄存器值从预装载寄存器写入影子寄存器，MCPWM0_UPDATE 写入后自动清零，无需软件清零。每写 1 一次，进行一次软件/手动触发。向 MCPWM0_UPDATE[15:14]会导致 MCPWM0_CNT0/1 被更新为预装载值，请留意是否需要更新 CNT。

向 MCPWM0_UPDATE 写 0 不作用，不推荐写入 0。

14.2.17 MCPWM0_FCNT

无写保护的寄存器

地址:0x4001_0C54

复位值:0x0

表 14-20 MCPWM0_FCNT 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FCNT															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	FCNT	若 MCPWM0_CH_FAIL[15]=1，当发生 fail0/1 事件时，记录 MCPWM0_CNT0 值，存入 MCPWM0_FCNT

14.2.18 MCPWM0_EVT0

无写保护的寄存器

地址:0x4001_0C58

复位值:0x0

表 14-21 MCPWM0_EVT0 MCPWM 时基 0 外部触发寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	TIMER2_CMP1	TIMER2_CMP0	TIMER1_CMP1	TIMER1_CMP0	TIMER0_CMP1	TIMER0_CMP0					PWM0_TMR3	PWM0_TMR2	PWM0_TMR1	PWM0_TMR0
RW	RW	RW	RW	RW	RW	RW	RW					RW	RW	RW	RW
0	0	0	0	0	0	0	0					0	0	0	0

位置	位名称	说明
[31:16]		未使用
[15]	Reserved	保留位，必须为 0
[14]	Reserved	保留位，必须为 0
[13]	TIMER2_CMP1	TIMER2 CMP1 事件触发时基 0 开始计数
[12]	TIMER2_CMP0	TIMER2 CMP0 事件触发时基 0 开始计数
[11]	TIMER1_CMP1	TIMER1 CMP1 事件触发时基 0 开始计数
[10]	TIMER1_CMP0	TIMER1 CMP0 事件触发时基 0 开始计数
[9]	TIMER0_CMP1	TIMER0 CMP1 事件触发时基 0 开始计数
[8]	TIMER0_CMP0	TIMER0 CMP0 事件触发时基 0 开始计数
[7:4]		未使用
[3]	PWM0_TMR3	MCPWM0 TMR3 事件触发时基 0 开始计数
[2]	PWM0_TMR2	MCPWM0 TMR2 事件触发时基 0 开始计数
[1]	PWM0_TMR1	MCPWM0 TMR1 事件触发时基 0 开始计数

[0]	PWM0_TMR0	MCPWM0 TMR0 事件触发时基 0 开始计数

14.2.19 MCPWM0_DTH00

写保护的寄存器

地址:0x4001_0C60

复位值:0x0

表 14-22 MCPWM0_DTH00 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						DTH00									
						RW									
						0									

位置	位名称	说明
[31:10]		未使用
[9:0]	DTH00	MCPWM CH0/1/2 /3 P 通道死区宽度控制寄存器，10bit 无符号数

14.2.20 MCPWM0_DTH01

写保护的寄存器

地址:0x4001_0C64

复位值:0x0

表 14-23 MCPWM0_DTH01 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						DTH01									
						RW									
						0									

位置	位名称	说明
[31:10]		未使用
[9:0]	DTH01	MCPWM CH0/1/2/3 N 通道死区宽度控制寄存器，10bit 无符号数

14.2.21 MCPWM0_FLT

写保护的寄存器

地址:0x4001_0C70

复位值:0x0

表 14-24 MCPWM0_FLT MCPWM 滤波时钟分频寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								FLT_CLKDIV							

	RW
	0

位置	位名称	说明
[31:8]		未使用
[7:0]	FLT_CLKDIV	滤波时钟分频寄存器，基于系统时钟分频，影响 MCPWM0_CH_FAIL[1:0]。计算公式如下: 系统时钟 / (FLT_CLKDIV + 1)。分频范围是 1-256。

MCPWM 使用分频后的时钟对 FAIL 信号固定进行 16 周期的滤波。当使用 256 分频时，滤波宽度为 4096 个 TCLK 时钟宽度。

14.2.22 MCPWM0_SDCFG

写保护的寄存器

地址:0x4001_0C74

复位值:0x0

表 14-25 MCPWM0_SDCFG 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									TR0_AEC	TR0_T1_UPDATE	TR0_T0_UPDATE	TR0_UP_INTV			
									RW	RW	RW	RW			
									0	0	0	0			

位置	位名称	说明
[31:7]		未使用
[6]	TR0_AEC	更新事件是否自动清除 MCPWM0_EIF[5:4]并置位 MCPWM0_CH012_FAIL.MOE，恢复 MCPWM 通道 0/1/2 信号输出。 1:使能自动故障清除功能；0:关闭自动故障清除功能。
[5]	TR0_T1_UPDATE	时基 0 t1（过零）事件更新使能。1:使能；0，关闭。
[4]	TR0_T0_UPDATE	时基 0 t0（起点）事件更新使能。1:使能；0，关闭。
[3:0]	TR0_UP_INTV	时基 0 更新间隔。一旦 t0 和 t1 事件发生次数同 TR0_UP_INTV 相等，MCPWM 系统自动触发 MCPWM0_TH0，MCPWM0_TH00~TH21 和 MCPWM0_TMR 寄存器加载到 MCPWM 运行系统的操作。若 TR0_T1_UEN 和 TR0_T0_UEN 均关闭，将不会触发此类型加载，只能手动触发加载。

14.2.23 MCPWM0_AUEN

写保护的寄存器

地址:0x4001_0C78

复位值:0x0303073F

表 14-26 MCPWM0_AUEN MCPWM 自动更新使能寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			IO3_AUPDATE			TMR3_AUPDATE	TMR2_AUPDATE							TH31_AUPDATE	TH30_AUPDATE
			RW			RW	RW							RW	RW
			0			1	1							1	1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			IO012_AUPDATE	CNT0_AUPDATE	TH0_AUPDATE	TMR1_AUPDATE	TMR0_AUPDATE			TH21_AUPDATE	TH20_AUPDATE	TH11_AUPDATE	TH10_AUPDATE	TH01_AUPDATE	TH00_AUPDATE
			RW	RW	RW	RW	RW			RW	RW	RW	RW	RW	RW
			0	0	1	1	1			1	1	1	1	1	1

位置	位名称	说明
[31:29]		未使用
[28]	IO3_AUPDATE	MCWPM0_IO3 自动加载使能。 MCPWM0_IO3 指的是 MCPWM0_IO23 中的 Bit[15:08]，即 MCPWM 的通道 3 的基本配置。 1：加载；0：不加载。
[27:26]		未使用
[25]	TMR3_AUPDATE	MCPWM0_TMR3 自动加载使能。1:加载；0:不加载。
[24]	TMR2_AUPDATE	MCPWM0_TMR2 自动加载使能。1:加载；0:不加载。
[23:18]		未使用
[17]	TH31_AUPDATE	MCPWM0_TH31 自动加载使能。1:加载；0:不加载。
[16]	TH30_AUPDATE	MCPWM0_TH30 自动加载使能。1:加载；0:不加载。
[15:13]		未使用
[12]	IO012_AUPDATE	MCPWM0_IO01/MCWPM0_IO2 自动加载使能。MCPWM0_IO2 指的是 MCPWM0_IO23 中的 Bit[7:0],即 MCPWM 的通道 2 的基本配置。 1:加载；0:不加载。
[11]	CNT0_AUPDATE	MCPWM0_CNT0 自动加载使能。1:加载；0:不加载。
[10]	TH0_AUPDATE	MCPWM0_TH0 自动加载使能。1:加载；0:不加载。
[9]	TMR1_AUPDATE	MCPWM0_TMR1 自动加载使能。1:加载；0:不加载。
[8]	TMR0_AUPDATE	MCPWM0_TMR0 自动加载使能。1:加载；0:不加载。
[7:6]		未使用
[5]	TH21_AUPDATE	MCPWM0_TH21 自动加载使能。1:加载；0:不加载。
[4]	TH20_AUPDATE	MCPWM0_TH20 自动加载使能。1:加载；0:不加载。

[3]	TH11_AUPDATE	MCPWM0_TH11 自动加载使能。1:加载；0:不加载。
[2]	TH10_AUPDATE	MCPWM0_TH10 自动加载使能。1:加载；0:不加载。
[1]	TH01_AUPDATE	MCPWM0_TH01 自动加载使能。1:加载；0:不加载。
[0]	TH00_AUPDATE	MCPWM0_TH00 自动加载使能。1:加载；0:不加载。

注意 MCPWM0_AUEN 寄存器需要配合 MCPWM0_SDCFG 一起使用。例如当 MCPWM0_AUEN 中 TH00_AUPDATE=1，MCPWM0_SDCFG 中 TR0_T1_UEN=1，那么当 t1（过零）事件发生时 MCPWM0_TH00 的值会加载到 MCPWM 实际运行系统中。

14.2.24 MCPWM0_TCLK

写保护的寄存器

地址:0x4001_077C

复位值:0x0

表 14-27 MCPWM0_TCLK 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CLK_DIV						EVT_CNT0_EN		BASE0_CNT_EN				CLK_EN		
	RW						RW		RW				RW		
	0						0		0				0		

位置	位名称	说明
[31:15]		未使用
[14:12]	CLK_DIV	MCPWM 工作时钟分频寄存器。 0:系统时钟 1:系统时钟/2 2:系统时钟/4 3:系统时钟/8 4:系统时钟/16 5:系统时钟/32 6:系统时钟/64 7:系统时钟/128
[11:9]		未使用
[8]	EVT_CNT0_EN	时基 0 外部触发使能
[7]		未使用
[6]	BASE0_CNT_EN	MCPWM 时基 0 计数器使能开关。1:使能；0:关闭。
[5:3]		未使用
[2]	CLK_EN	MCPWM 工作时钟使能。1:使能；0:关闭。 这个时钟使能主要作用的时钟是用来控制 FAIL 信号，死区控制以及处理 DMA 搬运请求的。并不影响 PWM 影子寄存器的更新

		以及波形输出和 MCPWM_CNT 的更新。
[1:0]		未使用

只有使能 MCPWM0_TCLK.CLK_EN，才能完成影子寄存器更新。配置完成影子寄存器之后，同时开启 MCPWM0_TCLK.BASE_CNT0_EN 可以使得时基 0 开始计数。

当使用外部触发 MCPWM 开始计数时，需要配置 BASE_CNTx_EN 为 0，EVT_THx_EN 为 1，同时设置 MCPWM0_EVTx 选择合适的外部触发源。待触发事件发生后，BASE_CNTx_EN 会由硬件置 1，MCPWM 对应计数器开始计数。

14.2.25 MCPWM0_IE0

写保护的寄存器

地址:0x4001_0C80

复位值:0x0

表 14-28 MCPWM0_IE0 MCPWM 时基 0 中断控制寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UP_IE	TMR3_IE	TMR2_IE	TMR1_IE	TMR0_IE	TH31_IE	TH30_IE	TH21_IE	TH20_IE	TH11_IE	TH10_IE	TH01_IE	TH00_IE	T1_IE	T0_IE
	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31:15]		未使用
[14]	UP_IE	时基 0 更新事件中断源使能。1，使能；0，关闭。
[13]	TMR3_IE	MCPWM0_CNT0 等于 MCPWM0_TMR3 中断源使能。1，使能；0，关闭。
[12]	TMR2_IE	MCPWM0_CNT0 等于 MCPWM0_TMR2 中断源使能。1，使能；0，关闭。
[11]	TMR1_IE	MCPWM0_CNT0 等于 MCPWM0_TMR1 中断源使能。1，使能；0，关闭。
[10]	TMR0_IE	MCPWM0_CNT0 等于 MCPWM0_TMR0 中断源使能。1，使能；0，关闭。
[9]	TH31_IE	MCPWM0_CNT0 等于 MCPWM0_TH31 中断源使能。1，使能；0，关闭。
[8]	TH30_IE	MCPWM0_CNT0 等于 MCPWM0_TH30 中断源使能。1，使能；0，关闭。
[7]	TH21_IE	MCPWM0_CNT0 等于 MCPWM0_TH21 中断源使能。1，使能；0，关闭。
[6]	TH20_IE	MCPWM0_CNT0 等于 MCPWM0_TH20 中断源使能。1，使能；0，关闭。
[5]	TH11_IE	MCPWM0_CNT0 等于 MCPWM0_TH11 中断源使能。1，使能；0，关闭。
[4]	TH10_IE	MCPWM0_CNT0 等于 MCPWM0_TH10 中断源使能。1，使能；0，关闭。
[3]	TH01_IE	MCPWM0_CNT0 等于 MCPWM0_TH01 中断源使能。1，使能；0，关闭。
[2]	TH00_IE	MCPWM0_CNT0 等于 MCPWM0_TH00 中断源使能。1，使能；0，关闭。
[1]	T1_IE	时基 0 T1 事件，MCPWM0_CNT0 的计数值回 0 中断源使能。 1，使能；0，关闭。
[0]	T0_IE	时基 0 T0 事件，MCPWM0_CNT0 的计数值等于 MCPWM0_TH0 中断源使能。1，使能；0，关闭。

14.2.26 MCPWM0_IF0

无写保护的寄存器

地址:0x4001_0C84

复位值:0x0

表 14-29 MCPWM0_IF0 MCPWM 时基 0 中断标志寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UP_IF	TMR3_IF	TMR2_IF	TMR1_IF	TMR0_IF			TH21_IF	TH20_IF	TH11_IF	TH10_IF	TH01_IF	TH00_IF	T1_IF	T0_IF
	RW1C	RW1C	RW1C	RW1C	RW1C			RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C
	0	0	0	0	0			0	0	0	0	0	0	0	0

位置	位名称	说明
[31:15]		未使用
[14]	UP_IF	时基 0 更新事件 MCPWM0_TH0/MCPWM0_TH00~MCPWM0_TH21/MCPWM0_TMR 等寄存器更新到 MCPWM 实际运行系统的中断事件。 1，发生；0，没发生。写 1 清零。
[13]	TMR3_IF	MCPWM0_CNT0 等于 MCPWM0_TMR3 中断事件。 1，发生；0，没发生。写 1 清零。
[12]	TMR2_IF	MCPWM0_CNT0 等于 MCPWM0_TMR2 中断事件。 1，发生；0，没发生。写 1 清零。
[11]	TMR1_IF	MCPWM0_CNT0 等于 MCPWM0_TMR1 中断事件。 1，发生；0，没发生。写 1 清零。
[10]	TMR0_IF	MCPWM0_CNT0 等于 MCPWM0_TMR0 中断事件。 1，发生；0，没发生。写 1 清零。
[9:8]		未使用
[7]	TH21_IF	MCPWM0_CNT0 等于 MCPWM0_TH21 中断事件。 1，发生；0，没发生。写 1 清零。
[6]	TH20_IF	MCPWM0_CNT0 等于 MCPWM0_TH20 中断事件。 1，发生；0，没发生。写 1 清零。
[5]	TH11_IF	MCPWM0_CNT0 等于 MCPWM0_TH11 中断事件。 1，发生；0，没发生。写 1 清零。
[4]	TH10_IF	MCPWM0_CNT0 等于 MCPWM0_TH10 中断事件。 1，发生；0，没发生。写 1 清零。
[3]	TH01_IF	MCPWM0_CNT0 等于 MCPWM0_TH01 中断事件。 1，发生；0，没发生。写 1 清零。
[2]	TH00_IF	MCPWM0_CNT0 等于 MCPWM0_TH00 中断事件。 1，发生；0，没发生。写 1 清零。
[1]	T1_IF	t1 事件，MCPWM0_CNT0 等于 0 中断事件。 1，发生；0，没发生。写 1 清零。

[0]	T0_IF	t0 事件，MCPWM0_CNT0 等于 MCPWM0_TH 中断事件。 1，发生；0，没发生。写 1 清零。

当发生特定事件时，即使中断使能位 IE=0，对应的 IF 仍会置位，但不会向处理器提起中断服务请求。

14.2.27 MCPWM0_EIE

写保护的寄存器

地址:0x4001_0C90

复位值:0x0

表 14-30 MCPWM0_EIE 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
										FAIL1_IE	FAIL0_IE				
										RW	RW				
										0	0				

位置	位名称	说明
[31:6]		未使用
[5]	FAIL1_IE	FAIL1 中断源使能。1，使能；0，关闭。
[4]	FAIL0_IE	FAIL0 中断源使能。1，使能；0，关闭。
[3:0]		未使用

14.2.28 MCPWM0_EIF

无写保护的寄存器

地址:0x4001_0C94

复位值:0x0

表 14-31 MCPWM0_EIF 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
										FAIL1_IF	FAIL0_IF				
										RW	RW				
										0	0				

位置	位名称	说明

[31:6]		未使用
[5]	FAIL1_IF	FAIL1 中断源事件。1，发生；0，没发生。写 1 清零。
[4]	FAIL0_IF	FAIL0 中断源事件。1，发生；0，没发生。写 1 清零。
[3:0]		未使用

14.2.29 MCPWM0_RE

写保护的寄存器

地址:0x4001_0C98

复位值:0x0

表 14-32 MCPWM0_RE 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		TR0_T1_RE1	TR0_T0_RE1	TMR3_RE1	TMR2_RE1	TMR1_RE1	TMR0_RE1			TR0_T1_RE0	TR0_T0_RE0	TMR3_RE0	TMR2_RE0	TMR1_RE0	TMR0_RE0
		RW	RW	RW	RW	RW	RW			RW	RW	RW	RW	RW	RW
		0	0	0	0	0	0			0	0	0	0	0	0

位置	位名称	说明
[31:14]		未使用
[13]	TR0_T1_RE1	时基 0 T1 事件 DMA 请求 1 使能。1:使能；0:关闭。
[12]	TR0_T0_RE1	时基 0 T0 事件 DMA 请求 1 使能。1:使能；0:关闭。
[11]	TMR3_RE1	MCPWM 计数器命中 TMR3，DMA 请求 1 使能。1:使能；0:关闭。
[10]	TMR2_RE1	MCPWM 计数器命中 TMR2，DMA 请求 1 使能。1:使能；0:关闭。
[9]	TMR1_RE1	MCPWM 计数器命中 TMR1，DMA 请求 1 使能。1:使能；0:关闭。
[8]	TMR0_RE1	MCPWM 计数器命中 TMR0，DMA 请求 1 使能。1:使能；0:关闭。
[7:6]		未使用
[5]	TR0_T1_RE0	时基 0 T1 事件 DMA 请求 0 使能。1:使能；0:关闭。
[4]	TR0_T0_RE0	时基 0 T0 事件 DMA 请求 0 使能。1:使能；0:关闭。
[3]	TMR3_RE0	MCPWM 计数器命中 TMR3，DMA 请求 0 使能。1:使能；0:关闭。
[2]	TMR2_RE0	MCPWM 计数器命中 TMR2，DMA 请求 0 使能。1:使能；0:关闭。
[1]	TMR1_RE0	MCPWM 计数器命中 TMR1，DMA 请求 0 使能。1:使能；0:关闭。
[0]	TMR0_RE0	MCPWM 计数器命中 TMR0，DMA 请求 0 使能。1:使能；0:关闭。

MCPWM 可以产生两个 DMA 请求信号。如果使能 MCPWM0_RE 寄存器中的 RE0，且对应的事件标志置位，会产生 DMA 请求信号 0；如果使能 MCPWM0_RE 寄存器中的 RE1，且对应的事件标志置位，会产生 DMA 请求信号 1。两个请求信号可以分别触发两个 DMA 通道进行搬运。

14.2.30 MCPWM0_PP

写保护的寄存器

地址:0x4001_0C9C

复位值:0x0

表 14-33 MCPWM0_PP 配置寄存器

15	14	13	12	11	10	9	8	7	6	3	2	1	0
										IO3_PPE	IO2_PPE	IO1_PPE	IO0_PPE
										RW	RW	RW	RW
										0	0	0	0

位置	位名称	说明
[31:4]		未使用
[3]	IO3_PPE	IO3 推挽模式使能信号。写 1，使能；写 0，关闭。
[2]	IO2_PPE	IO2 推挽模式使能信号。写 1，使能；写 0，关闭。
[1]	IO1_PPE	IO1 推挽模式使能信号。写 1，使能；写 0，关闭。
[0]	IO0_PPE	IO0 推挽模式使能信号。写 1，使能；写 0，关闭。

推挽模式使能信号。根据工作模式不同而不同。边沿模式，开启边沿模式的推挽模式；中心对齐，开启中心对齐的推挽模式。

14.2.31 MCPWM0_IO01

写保护的寄存器

地址:0x4001_0CA0

复位值:0x0

表 14-34 MCPWM0_IO01 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH1_WM	CH1_PN_SW	CH1_SCTRLP	CH1_SCTRLN	CH1_PS	CH1_NS	CH1_PP	CH1_NP	CH0_WM	CH0_PN_SW	CH0_SCTRLP	CH0_SCTRLN	CH0_PS	CH0_NS	CH0_PP	CH0_NP
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31:16]		未使用
[15]	CH1_WM	CH1 工作模式选择。1:边沿模式；0:互补模式。
[14]	CH1_PN_SW	CH1 的 P 和 N 通道输出互换选择。即 P 通道信号最后从 N 通道输出，N 通道的信号最后从 P 通道输出。1:互换；0:不互换。

[13]	CH1_SCTRLP	当 CH1_PS=1 时，输出到 CH1 P 通道的值。
[12]	CH1_SCTRLN	当 CH1_NS=1 时，输出到 CH1 N 通道的值。
[11]	CH1_PS	CH1 P 来源。1:来自 CH1_SCTRLP；0:MCPWM 内部计数器产生。
[10]	CH1_NS	CH1 N 来源。1:来自 CH1_SCTRLN；0:MCPWM 内部计数器产生。
[9]	CH1_PP	CH1 P 极性选择。1:CH1 P 信号取反输出；0:CH1 P 信号正常输出。
[8]	CH1_NP	CH1 N 极性选择。1:CH1 N 信号取反输出；0:CH1 N 信号正常输出。
[7]	CH0_WM	CH0 工作模式选择。1:边沿模式；0:互补模式。
[6]	CH0_PN_SW	CH0 的 P 和 N 通道输出互换选择。即 P 通道信号最后从 N 通道输出，N 通道的信号最后从 P 通道输出。1:互换；0:不互换。
[5]	CH0_SCTRLP	当 CH0_PS =1 时，输出到 CH0 P 通道的值。
[4]	CH0_SCTRLN	当 CH0_NS =1 时，输出到 CH0 N 通道的值。
[3]	CH0_PS	CH0 P 来源。1:来自 CH0_SCTRLP；0:MCPWM 实际运行系统中计数器产生。
[2]	CH0_NS	CH0 N 来源。1:来自 CH0_SCTRLN；0:MCPWM 实际运行系统中计数器产生。
[1]	CH0_PP	CH0 P 极性选择。1:CH0 P 信号取反输出；0:CH0 P 信号正常输出。
[0]	CH0_NP	CH0 N 极性选择。1:CH0 N 信号取反输出；0:CH0 N 信号正常输出。**极性选择跟随通道交换，例如 CH0 N 选择取反输出，同时选择了通道交换，则交换后的 CH0 N 仍是取反输出。**

14.2.32 MCPWM0_IO23

写保护的寄存器

地址:0x4001_0CA4

复位值:0x0

表 14-35 MCPWM0_IO23 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH3_WM	CH3_PN_SW	CH3_SCTRLP	CH3_SCTRLN	CH3_PS	CH3_NS	CH3_PP	CH3_NP	CH2_WM	CH2_PN_SW	CH2_SCTRLP	CH2_SCTRLN	CH2_PS	CH2_NS	CH2_PP	CH2_NP
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31:16]		未使用
[15]	CH3_WM	CH3 工作模式选择。1:Edge 模式；0:互补模式。
[14]	CH3_PN_SW	CH3 的 P 和 N 通道输出互换选择。即 P 通道信号最后从 N 通道输出，N 通道的信号最后从 P 通道输出。1:互换；0:不互换。
[13]	CH3_SCTRLP	当 CH3_PS =1 时，输出到 CH3 P 通道的值。
[12]	CH3_SCTRLN	当 CH3_NS =1 时，输出到 CH3 N 通道的值。
[11]	CH3_PS	CH3 P 来源。1:来自 CH3_SCTRLP；0:MCPWM 实际运行系统中计数

		器产生。
[10]	CH3_NS	CH3 N 来源。1:来自 CH3_SCTRLN；0:MCPWM 实际运行系统中计数器产生。
[9]	CH3_PP	CH3 P 极性选择。1:CH3 P 信号取反输出；0:CH3 P 信号正常输出。
[8]	CH3_NP	CH3 N 极性选择。1:CH3 N 信号取反输出；0:CH3 N 信号正常输出。
[7]	CH2_WM	CH2 工作模式选择。1:Edge 模式；0:互补模式。
[6]	CH2_PN_SW	CH2 的 P 和 N 通道输出互换选择。即 P 通道信号最后从 N 通道输出，N 通道的信号最后从 P 通道输出。1:互换；0:不互换。
[5]	CH2_SCTRLP	当 CH2_PS =1 时，输出到 CH2 P 通道的值。
[4]	CH2_SCTRLN	当 CH2_NS =1 时，输出到 CH2 N 通道的值。
[3]	CH2_PS	CH2 P 来源。1:来自 CH2_SCTRLP；0:MCPWM 实际运行系统中计数器产生。
[2]	CH2_NS	CH2 N 来源。1:来自 CH2_SCTRLN；0:MCPWM 实际运行系统中计数器产生。
[1]	CH2_PP	CH2 P 极性选择。1:CH2 P 信号取反输出；0:CH2 P 信号正常输出。
[0]	CH2_NP	CH2 N 极性选择。1:CH2 N 信号取反输出；0:CH2 N 信号正常输出。**极性选择跟随通道交换，例如 CH0 N 选择取反输出，同时选择了通道交换，则交换后的 CH0 N 仍是取反输出。**

14.2.33 MCPWM0_CH_FAIL

写保护的寄存器

地址:0x4001_0CB0

复位值:0x0

表 14-36 MCPWM0_CH_FAIL 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FAIL0_CAP				FAIL1_SEL		FAIL0_SEL		HALT_PRT	MOE	FAIL1_EN	FAIL0_EN	FAIL1_POL	FAIL0_POL		
RW				RW		RW		RW	RW	RW	RW	RW	RW		
0				0		0		0	0	0	0	0	0		

位置	位名称	说明
[31:16]		未使用
[15]	FAIL0_CAP	当发生 fail0/1 事件时，将 MCPWM0_CNT0 值存入 MCPWM0_FCNT
[14:12]		未使用
[11:10]	FAIL1_SEL	FAIL1 来源选择 0: MCPWM0_BKIN1 1: 比较器 1 原始输出

		2: CLUOUT2 3: CLUOUT3
[9:8]	FAIL0_SEL	FAIL0 来源选择 0: MCPWM0_BKIN0 1: 比较器 0 原始输出 2: CLUOUT0 3: CLUOUT1
[7]	HALT_PRT	MCU 进入 HALT 状态，MCPWM 输出值选择。 1:正常输出；0:强制 MCPWM 输出保护值。
[6]	MOE	MOE 控制 MCPWM 通道 P 和 N 输出值。 1:输出 MCPWM 产生的正常信号 0:输出 MCPWM0_CH_DEF 设置的 CHxN_DEFAULT 和 CHxP_DEFAULT 默认值，此默认值不受极性/通道选择等控制。 MCPWM0_EIF.FAIL1_IF 和 MCPWM0_EIF.FAIL0_IF 任意一位变 1 将触发 MOE 变成 0，输出默认值。
[5]	FAIL1_EN	FAIL1 输入使能。1:使能；0:关闭。
[4]	FAIL0_EN	FAIL0 输入使能。1:使能；0:关闭。
[3]	FAIL1_POL	FAIL1 极性选择。1:信号极性取反输入，信号输入低为有效电平；0:信号极性正常输入，信号输入高为有效电平。
[2]	FAIL0_POL	FAIL0 极性选择。1:信号极性取反输入，信号输入低为有效电平；0:信号极性正常输入，信号输入高为有效电平。
[1:0]		未使用

FAIL0/1 信号用于工作于时基 0 的 MCPWM 通道 0/1/2/3。当 FAIL0/1 有效时，将暂停 MCPWM 时基 0 对应的计数器 MCPWM0_CNT0，并产生对应的错误中断标志 MCPWM0_EIF。

14.2.34 MCPWM0_CH_DEF

写保护的寄存器

地址:0x4001_0CB8

复位值:0x0

表 14-37 MCPWM0_CH_DEF 短路保护通道输出值寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								CH3P_DEFAULT	CH3N_DEFAULT	CH2P_DEFAULT	CH2N_DEFAULT	CH1P_DEFAULT	CH1N_DEFAULT	CH0P_DEFAULT	CH0N_DEFAULT
								RW	RW	RW	RW	RW	RW	RW	RW
								0	0	0	0	0	0	0	0

位置	位名称	说明
[31:8]		未使用
[7]	CH3P_DEFAULT	CH3 P 通道默认值

[6]	CH3N_DEFAULT	CH3 N 通道默认值。当发生 FAIL 事件或 MOE 为 0 时，相应通道输出默认电平。**默认电平输出不受 MCPWM0_IO23 的 BIT0、BIT1、BIT8、BIT9、BIT6、BIT14 通道交换和极性控制的影响，直接控制通道输出。**
[5]	CH2P_DEFAULT	CH2_P 通道默认值
[4]	CH2N_DEFAULT	CH2_N 通道默认值
[3]	CH1P_DEFAULT	CH1_P 通道默认值
[2]	CH1N_DEFAULT	CH1_N 通道默认值
[1]	CH0P_DEFAULT	CH0_P 通道默认值
[0]	CH0N_DEFAULT	CH0_N 通道默认值。当发生 FAIL 事件或 MOE 为 0 时，相应通道输出默认电平。**默认电平输出不受 MCPWM0_IO001 和 MCPWM0_IO23 的 BIT0、BIT1、BIT8、BIT9、BIT6、BIT14 通道交换和极性控制的影响，直接控制通道输出。**

14.2.35 MCPWM0_CH_MSK

写保护的寄存器

地址:0x4001_0CBC

复位值:0x00FF

表 14-38 MCPWM0_CH_MSK 通道屏蔽位寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								CH3P_FAIL_EN	CH3N_FAIL_EN	CH2P_FAIL_EN	CH2N_FAIL_EN	CH1P_FAIL_EN	CH1N_FAIL_EN	CH0P_FAIL_EN	CH0N_FAIL_EN
								RW	RW	RW	RW	RW	RW	RW	RW
								1	1	1	1	1	1	1	1

位置	位名称	说明
[31:8]		未使用
[7]	CH3P_FAIL_EN	CH3_P 通道 FAIL 事件使能，高有效，默认开启
[6]	CH3N_FAIL_EN	CH3_N 通道 FAIL 事件使能，高有效，默认开启
[5]	CH2P_FAIL_EN	CH2_P 通道 FAIL 事件使能，高有效，默认开启
[4]	CH2N_FAIL_EN	CH2_N 通道 FAIL 事件使能，高有效，默认开启
[3]	CH1P_FAIL_EN	CH1_P 通道 FAIL 事件使能，高有效，默认开启
[2]	CH1N_FAIL_EN	CH1_N 通道 FAIL 事件使能，高有效，默认开启
[1]	CH0P_FAIL_EN	CH0_P 通道 FAIL 事件使能，高有效，默认开启
[0]	CH0N_FAIL_EN	CH0_N 通道 FAIL 事件使能，1:发生 FAIL 事件或 MCPWM0_CH012_FAIL.MOE=0 时，CH0_N 通道电平输出为默认值，0:发生 FAIL 事件或 MCPWM0_CH012_FAIL.MOE=0 时，

		CH0_N 通道电平不受影响，仍由 MCPWM 内部硬件控制。默认开启 FAIL 使能

14.2.36 MCPWM0_PRT

无写保护的寄存器

地址:0x4001_0CC0

复位值:0x0

表 14-39 MCPWM0_PRT 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRT															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	PRT	写入 0xDEAD，解除 MCPWM 寄存器写保护；写入其它值，MCPWM 寄存器进入写保护。此寄存器读出恒为 0。

14.2.37 MCPWM0_SWAP

移动至 GPIO 模块中的 PWM_SWAP 寄存器。

14.2.38 MCPWM0_SW_FAIL

写保护的寄存器

地址:0x4001_0CD0

复位值:0x0

表 14-40 MCPWM0_SW_FAIL MCPWM 软件 FAIL 调试寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
										FAIL1_TE	FAIL0_TE			FAIL1_TD	FAIL0_TD
										RW	RW			RW	RW
										0	0			0	0

位置	位名称	说明
[31:6]		未使用
[5]	FAIL1_TE	FAIL1 软件测试信号使能，高有效
[4]	FAIL0_TE	FAIL0 软件测试信号使能，高有效

[3:2]		未使用
[1]	FAIL1_TD	FAIL1 软件测试信号
[0]	FAIL0_TD	FAIL0 软件测试信号

当 FAILx_TE=1 时，对应的 FAILx_TD 与来自 IO 或比较器的硬件 FAIL 信号有相同作用，可以控制 PWM 停机。举例来说，当设置 MCPWM0_CH_FAIL.FAIL0_EN=1（选择 FAIL0 信号作为通道停机控制信号），MCPWM0_CH_FAIL.FAIL0_POL=1（FAIL 信号低电平有效），MCPWM0_SW_FAIL.FAIL0_TE=1（使能软件 FAIL0 测试功能）。当 MCPWM0_SW_FAIL.FAIL0_TD=0 时，MCPWM 关闭通道的输出，持续输出通道短路时的默认值；当 MCPWM0_SW_FAIL.FAIL0_TD=1 时，则由来自硬件的 FAIL 信号来控制 PWM 的通道是否正常输出。

软件 FAIL 信号与硬件 FAIL 信号经过相同的 PWM 逻辑，包括极性选择、使能、滤波。

一旦软件使能 FAILx_TE，且 FAILx_TD 为有效电平，则 MCPMW_SDCFG.MOE 无法置 1，PWM 通道也只能输出通道默认值，可用于软件立即关断 PWM 通道。

15 GPIO

15.1 概述

LSK32MC09x 系列芯片共集成了 3 组 GPIO，每组包含 16 个 GPIO。部分 GPIO 可以作为系统的休眠模式唤醒源。部分 GPIO 可以用作外部中断源输入。

15.1.1 功能框图

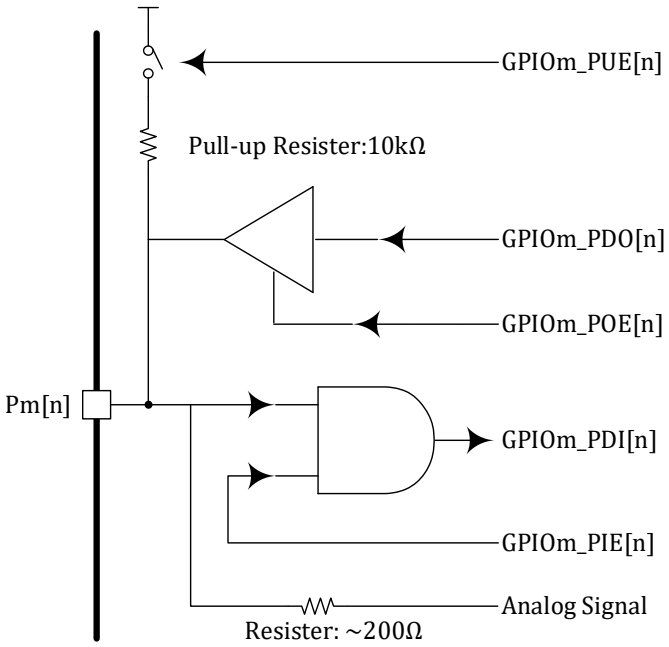


图 15-1 GPIO 功能框图

如上图所示，Pm[n]为芯片 PAD，m 可以是 0~3，表示 4 组 GPIO 中的任意一组，n 可以是 0~15，表示一组 16 个 GPIO 中的一个 IO。模拟信号通过一个约 200Ω 的电阻串联直接连接到 PAD。数字信号经过一个三态门输出，当输出使能 GPIOm_POE[n]=0 时，buffer 输出高阻态，否则 buffer 输出与 GPIOm_PDO[n]电平相同。数字信号输入通过一个与门进入芯片内部，当 GPIOm_PIE[n]=0 时，GPIOm_PDI[n]恒为 0，当 GPIOm_PIE[n]=1，即输入使能打开时，GPIOm_PDI[n]的电平与 Pm[n]电平相同。芯片 PAD 可以配置上拉，P0[2]引脚因为复用为外部复位脚 RSTN 上拉电阻为 100kΩ，其余上拉电阻为 10kΩ，注意，并非所有 PAD 都配备上拉电阻，具体哪些 PAD 具有上拉电阻资源，请参考 15.2.6 章节。没有上拉电阻的 PAD 也可以配置 GPIOm_PUE[n]寄存器，但无实际作用。

15.1.2 产品特点

- 64 路 GPIO
- 推挽开漏模式可配置
- 部分 GPIO 支持外部中断
- 部分 GPIO 可作为休眠唤醒源

- 部分 GPIO 支持输入信号滤波

  具体哪些 GPIO 支持外部中断，请参考 15.2.15.4

  具体哪些 GPIO 可以作为休眠唤醒源，请参考 21.6.5

  具体哪些 GPIO 可以进行输入信号滤波，请参考 15.3.2

  GPIO 可配置成最多 13 种外部功能。GPIO 功能分布，请参考对应器件手册(datasheet)。

表 15-1 GPIO 第二功能

GPIO 第二功能值	功能描述
0	模拟功能，当 GPIO 作为模拟功能使用时，需要关闭对应 IO 的输出使能，上拉使能等，方式 IO 输出信号或片内上拉电阻对模拟信号造成干扰
1	CMP_OUT/CLKO，模拟比较器直接输出/时钟输出
2	HALL，HALL 信号输入
3	MCPWM，MCPWM 通道输出或停机信号输入
4	UART，串口 RXD 或 TXD
5	SPI，SPI 时钟、片选，数据输入、数据输出
6	I2C，I2C 时钟、I2C 数据
7	TIMER0/1，TIMER0/1 的通道 0/1，作为输入用于捕获模式或外部时钟源，作为输出用于比较模式，TIMER0 的停机信号输入
8	TIMER2，TIMER2 的通道 0/1，作为输入用于捕获模式或外部时钟源，作为输出用于比较模式，QEP0 的 Z 轴清零信号输入
9	ADC_TRIGGER0/1，ADC0/1 采样触发信号输出，每发生一次 ADC 采样触发，ADC_TRIGGER 信号翻转一次
10	CAN，CAN RX 或 TX
11	SIF，一线通串行通讯接口
12	CL，可配置逻辑（Configurable Logic）阵列 UNIT 输出

15.2 寄存器

15.2.1 地址分配

GPIO 0 模块在芯片中的基地址是 0x4001_0D00。

GPIO 1 模块在芯片中的基地址是 0x4001_0D40。

GPIO 2 模块在芯片中的基地址是 0x4001_0D80。

GPIO 0/1/2 的寄存器定义完全相同，仅基地址不同。

表 15-2 GPIOx 寄存器列表

名称	偏移地址	说明
GPIOx_PIE	0x00	GPIO x 输入使能
GPIOx_POE	0x04	GPIO x 输出使能
GPIOx_PDI	0x08	GPIO x 输入数据

GPIOx_PDO	0x0C	GPIO x 输出数据
GPIOx_PUE	0x10	GPIO x 上拉使能
GPIOx_PODE	0x18	GPIO x 开漏使能
GPIO_PFLT	0x1C	GPIO x 配置锁定寄存器
GPIOx_F3210	0x20	GPIO x [3:0]功能选择
GPIOx_F7654	0x24	GPIO x [7:4]功能选择
GPIOx_FBA98	0x28	GPIO x [11:8]功能选择
GPIOx_FFEDC	0x2C	GPIO x [15:12]功能选择
GPIOx_BSRR	0x30	GPIO x 位操作寄存器
GPIOx_BRR	0x34	GPIO x 位清零寄存器
EXTI_CR0	0x00	外部中断配置寄存器 0
EXTI_CR1	0x04	外部中断配置寄存器 1
EXTI_IE	0x08	GPIO 中断/DMA 使能
EXTI_IF	0x0C	GPIO 中断标志
EXTI_CLKO	0x10	输出时钟选择信号
PWM_SWAP	0x14	MCPWM 通道重排

GPIO 中断/唤醒/配置锁定模块的基地址是 0x4001_0E00。

表 15-3 GPIO 中断/唤醒/配置锁定模块寄存器列表

名称	偏移地址	说明
EXTI_CR0	0x00	外部中断配置寄存器 0
EXTI_CR1	0x04	外部中断配置寄存器 1
EXTI_IE	0x08	GPIO 中断/DMA 使能
EXTI_IF	0x0C	GPIO 中断标志
EXTI_CLKO	0x10	输出时钟选择信号
PWM_SWAP	0x14	MCPWM 通道重排
EXTI_ROW	0x18	GPIO 行数据寄存器
EXTI_BIT0	0xC0	GPIO 列数据 bit0
EXTI_BIT1	0xC4	GPIO 列数据 bit1
EXTI_BIT2	0xC8	GPIO 列数据 bit2
EXTI_BIT3	0xCC	GPIO 列数据 bit3
EXTI_BIT4	0xD0	GPIO 列数据 bit4
EXTI_BIT5	0xD4	GPIO 列数据 bit5
EXTI_BIT6	0xD8	GPIO 列数据 bit6
EXTI_BIT7	0xDC	GPIO 列数据 bit7
EXTI_BIT8	0xE0	GPIO 列数据 bit8
EXTI_BIT9	0xE4	GPIO 列数据 bit9
EXTI_BIT10	0xE8	GPIO 列数据 bit10
EXTI_BIT11	0xEC	GPIO 列数据 bit11
EXTI_BIT12	0xF0	GPIO 列数据 bit12
EXTI_BIT13	0xF4	GPIO 列数据 bit13
EXTI_BIT14	0xF8	GPIO 列数据 bit14

EXTI_BIT15	0xFC	GPIO 列数据 bit15

15.2.2 GPIOx_PIE (x = 0,1,2)

地址分别是:0x4001_0D00, 0x4001_0D40, 0x4001_0D80

复位值:0x0

表 15-4 GPIOx 输入使能寄存器 GPIOx_PIE

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIE15	PIE14	PIE13	PIE12	PIE11	PIE10	PIE9	PIE8	PIE7	PIE6	PIE5	PIE4	PIE3	PIE2	PIE1	PIE0
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31:16]		未使用
[15]	PIE15	GPIO x[15] / Px[15] 输入使能
[14]	PIE14	GPIO x[14] / Px[14] 输入使能
[13]	PIE13	GPIO x[13] / Px[13] 输入使能
[12]	PIE12	GPIO x[12] / Px[12] 输入使能
[11]	PIE11	GPIO x[11] / Px[11] 输入使能
[10]	PIE10	GPIO x[10] / Px[10] 输入使能
[9]	PIE9	GPIO x[9] / Px[9] 输入使能
[8]	PIE8	GPIO x[8] / Px[8] 输入使能
[7]	PIE7	GPIO x[7] / Px[7] 输入使能
[6]	PIE6	GPIO x[6] / Px[6] 输入使能
[5]	PIE5	GPIO x[5] / Px[5] 输入使能
[4]	PIE4	GPIO x[4] / Px[4] 输入使能
[3]	PIE3	GPIO x[3] / Px[3] 输入使能
[2]	PIE2	GPIO x[2] / Px[2] 输入使能
[1]	PIE1	GPIO x[1] / Px[1] 输入使能
[0]	PIE0	GPIO x[0] / Px[0] 输入使能

15.2.3 GPIOx_POE (x = 0,1,2)

地址分别是:0x4001_0D04, 0x4001_0D44, 0x4001_0D84

复位值:0x0

表 15-5 GPIOx 输出使能寄存器 GPIOx_POE

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
POE15	POE14	POE13	POE12	POE11	POE10	POE9	POE8	POE7	POE6	POE5	POE4	POE3	POE2	POE1	POE0
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31:16]		未使用
[15]	POE15	GPIO x[15] / Px[15] 输出使能
[14]	POE14	GPIO x[14] / Px[14] 输出使能
[13]	POE13	GPIO x[13] / Px[13] 输出使能
[12]	POE12	GPIO x[12] / Px[12] 输出使能
[11]	POE11	GPIO x[11] / Px[11] 输出使能
[10]	POE10	GPIO x[10] / Px[10] 输出使能
[9]	POE9	GPIO x[9] / Px[9] 输出使能
[8]	POE8	GPIO x[8] / Px[8] 输出使能
[7]	POE7	GPIO x[7] / Px[7] 输出使能
[6]	POE6	GPIO x[6] / Px[6] 输出使能
[5]	POE5	GPIO x[5] / Px[5] 输出使能
[4]	POE4	GPIO x[4] / Px[4] 输出使能
[3]	POE3	GPIO x[3] / Px[3] 输出使能
[2]	POE2	GPIO x[2] / Px[2] 输出使能
[1]	POE1	GPIO x[1] / Px[1] 输出使能
[0]	POE0	GPIO x[0] / Px[0] 输出使能

15.2.4 GPIOx_PDI (x = 0,1,2)

地址分别是:0x4001_0D08, 0x4001_0D48, 0x4001_0D88

复位值:0x0

表 15-6 GPIOx 输入数据寄存器 GPIOx_PDI

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PDI															
RO															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	PDI	GPIO x 输入数据

15.2.5 GPIOx_PDO (x = 0,1,2)

地址分别是:0x4001_0D0C, 0x4001_0D4C, 0x4001_0D8C

复位值:0x0

表 15-7 GPIOx 输出数据寄存器 GPIOx_PDO

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PDO															
RW															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	PDO	GPIO x 输出数据

15.2.6 GPIOx_PUE (x = 0,1,2)

地址分别是:0x4001_0D10, 0x4001_0D50, 0x4001_0D90

复位值:0x0

表 15-8 GPIOx 上拉使能寄存器 GPIOx_PUE

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PUE15	PUE14	PUE13	PUE12	PUE11	PUE10	PUE9	PUE8	PUE7	PUE6	PUE5	PUE4	PUE3	PUE2	PUE1	PUE0
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31:16]		未使用
[15]	PUE15	GPIO x[15] / Px[15] 上拉使能
[14]	PUE14	GPIO x[14] / Px[14] 上拉使能
[13]	PUE13	GPIO x[13] / Px[13] 上拉使能
[12]	PUE12	GPIO x[12] / Px[12] 上拉使能
[11]	PUE11	GPIO x[11] / Px[11] 上拉使能
[10]	PUE10	GPIO x[10] / Px[10] 上拉使能
[9]	PUE9	GPIO x[9] / Px[9] 上拉使能
[8]	PUE8	GPIO x[8] / Px[8] 上拉使能
[7]	PUE7	GPIO x[7] / Px[7] 上拉使能
[6]	PUE6	GPIO x[6] / Px[6] 上拉使能
[5]	PUE5	GPIO x[5] / Px[5] 上拉使能
[4]	PUE4	GPIO x[4] / Px[4] 上拉使能
[3]	PUE3	GPIO x[3] / Px[3] 上拉使能
[2]	PUE2	GPIO x[2] / Px[2] 上拉使能
[1]	PUE1	GPIO x[1] / Px[1] 上拉使能
[0]	PUE0	GPIO x[0] / Px[0] 上拉使能

注意:并非所有 IO 都具有上拉功能，具体哪些 IO 具有上拉功能请参考 15.3.1。没有上拉功能的

IO 对应的 PUE 寄存器也没有实现，因此向这些位置写入 1 无效，读回恒为 0。

注意：P0.11 和 P0.12 的上拉使能实际作用于 P1.10 和 P2.8。

15.2.7 GPIOx_PODE (x = 0,1,2)

地址分别是:0x4001_0D18, 0x4001_0D58, 0x4001_0D98

复位值:0x0

表 15-9 GPIOx 开漏使能寄存器 GPIOx_PODE

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PODE15	PODE14	PODE13	PODE12	PODE11	PODE10	PODE9	PODE8	PODE7	PODE6	PODE5	PODE4	PODE3	PODE2	PODE1	PODE0
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31:16]		未使用
[15]	PODE15	GPIO x[15] / Px[15] 开漏使能
[14]	PODE14	GPIO x[14] / Px[14] 开漏使能
[13]	PODE13	GPIO x[13] / Px[13] 开漏使能
[12]	PODE12	GPIO x[12] / Px[12] 开漏使能
[11]	PODE11	GPIO x[11] / Px[11] 开漏使能
[10]	PODE10	GPIO x[10] / Px[10] 开漏使能
[9]	PODE9	GPIO x[9] / Px[9] 开漏使能
[8]	PODE8	GPIO x[8] / Px[8] 开漏使能
[7]	PODE7	GPIO x[7] / Px[7] 开漏使能
[6]	PODE6	GPIO x[6] / Px[6] 开漏使能
[5]	PODE5	GPIO x[5] / Px[5] 开漏使能
[4]	PODE4	GPIO x[4] / Px[4] 开漏使能
[3]	PODE3	GPIO x[3] / Px[3] 开漏使能
[2]	PODE2	GPIO x[2] / Px[2] 开漏使能
[1]	PODE1	GPIO x[1] / Px[1] 开漏使能
[0]	PODE0	GPIO x[0] / Px[0] 开漏使能

15.2.8 GPIOx_PFLT (x = 0,1,2)

地址分别是:0x4001_0D1C, 0x4001_0D5C, 0x4001_0D9C

复位值:0x0

表 15-10 GPIOx 配置锁定寄存器 GPIOx_PFLT

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PFLT 15	PFLT 14	PFLT 13	PFLT 12	PFLT 11	PFLT 10	PFLT 9	PFLT 8	PFLT 7	PFLT 6	PFLT 5	PFLT 4	PFLT 3	PFLT 2	PFLT1	PFLT0
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31:16]		未使用
[15]	PFLT15	GPIO x[15] / Px[15] 滤波使能
[14]	PFLT14	GPIO x[14] / Px[14] 滤波使能
[13]	PFLT13	GPIO x[13] / Px[13] 滤波使能
[12]	PFLT12	GPIO x[12] / Px[12] 滤波使能
[11]	PFLT11	GPIO x[11] / Px[11] 滤波使能
[10]	PFLT10	GPIO x[10] / Px[10] 滤波使能
[9]	PFLT9	GPIO x[9] / Px[9] 滤波使能
[8]	PFLT8	GPIO x[8] / Px[8] 滤波使能
[7]	PFLT7	GPIO x[7] / Px[7] 滤波使能
[6]	PFLT6	GPIO x[6] / Px[6] 滤波使能
[5]	PFLT 5	GPIO x[5] / Px[5] 滤波使能
[4]	PFLT 4	GPIO x[4] / Px[4] 滤波使能
[3]	PFLT 3	GPIO x[3] / Px[3] 滤波使能
[2]	PFLT 2	GPIO x[2] / Px[2] 滤波使能
[1]	PFLT1	GPIO x[1] / Px[1] 滤波使能
[0]	PFLT0	GPIO x[0] / Px[0] 滤波使能

只有部分 GPIO 支持输入信号滤波，具体哪些 GPIO 支持滤波，请参考 15.3.2。

15.2.9 GPIOx_F3210 (x = 0,1,2)

地址分别是:0x4001_0D20, 0x4001_0D60, 0x4001_0DA0

复位值:0x0

表 15-11 GPIOx 功能选择寄存器 GPIOx_F3210

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
F3				F2				F1				F0			
RW				RW				RW				RW			
0				0				0				0			

位置	位名称	说明
[31:16]		未使用
[15:12]	F3	GPIO x[3] / Px[3] 功能选择
[11:8]	F2	GPIO x[2] / Px[2] 功能选择

[7:4]	F1	GPIO x[1] / Px[1] 功能选择
[3:0]	F0	GPIO x[0] / Px[0] 功能选择

其中 F3/F2/F1/F0 可以设置的 GPIO 第二功能如表 15-1 所示，GPIO 功能为稀疏映射，即每个 GPIO 仅可配置部分第二功能使用，需要 GPIO 功能分布，请参考对应器件手册(datasheet)。以下 GPIOx_F7654，GPIOx_FBA98，GPIOx_FFEDC 与 GPIOx_F3210 相同。

15.2.10 GPIOx_F7654 (x = 0,1,2)

地址分别是:0x4001_0D24, 0x4001_0D64, 0x4001_0DA4

复位值:0x0

表 15-12 GPIOx 功能选择寄存器 GPIOx_F7654

15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
F7	F6	F5	F4
RW	RW	RW	RW
0	0	0	0

位置	位名称	说明
[31:16]		未使用
[15:12]	F7	GPIO x[7] / Px[7] 功能选择
[11:8]	F6	GPIO x[6] / Px[6] 功能选择
[7:4]	F5	GPIO x[5] / Px[5] 功能选择
[3:0]	F4	GPIO x[4] / Px[4] 功能选择

15.2.11 GPIOx_FBA98 (x = 0,1,2)

地址分别是:0x4001_0D28, 0x4001_0D68, 0x4001_0DA8

复位值:0x0

表 15-13 GPIOx 功能选择寄存器 GPIOx_FBA98

15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
F11	F10	F9	F8
RW	RW	RW	RW
0	0	0	0

位置	位名称	说明
[31:16]		未使用
[15:12]	F11	GPIO x[11] / Px[11] 功能选择
[11:8]	F10	GPIO x[10] / Px[10] 功能选择
[7:4]	F9	GPIO x[9] / Px[9] 功能选择
[3:0]	F8	GPIO x[8] / Px[8] 功能选择

15.2.12 GPIOx_FFEDC (x = 0,1,2)

地址分别是:0x4001_0D2C, 0x4001_0D6C, 0x4001_0DAC

复位值:0x0

表 15-14 GPIOx 功能选择寄存器 GPIOx_FFEDC

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
F15				F14				F13				F12			
RW				RW				RW				RW			
0				0				0				0			

位置	位名称	说明
[31:16]		未使用
[15:12]	F15	GPIO x[15] / Px[15] 功能选择
[11:8]	F14	GPIO x[14] / Px[14] 功能选择
[7:4]	F13	GPIO x[13] / Px[13] 功能选择
[3:0]	F12	GPIO x[12] / Px[12] 功能选择

GPIO 的功能复用详细列表请见对应产品 DATASHEET 管脚分布章节。

15.2.13 GPIOx_BSRR (x = 0,1,2)

地址分别是:0x4001_0D30, 0x4001_0D70, 0x4001_0DB0

复位值:0x0

表 15-15 GPIOx 位操作寄存器 GPIOx_BSRR

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CLR15	CLR14	CLR13	CLR12	CLR11	CLR10	CLR9	CLR8	CLR7	CLR6	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SET15	SET14	SET13	SET12	SET11	SET10	SET9	SET8	SET7	SET6	SET5	SET4	SET3	SET2	SET1	SET0
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31]	CLR15	写 1 将 GPIO x[15]清零，写 0 无作用

[30]	CLR14	写 1 将 GPIO x[14]清零，写 0 无作用
[29]	CLR13	写 1 将 GPIO x[13]清零，写 0 无作用
[28]	CLR12	写 1 将 GPIO x[12]清零，写 0 无作用
[27]	CLR11	写 1 将 GPIO x[11]清零，写 0 无作用
[26]	CLR10	写 1 将 GPIO x[10]清零，写 0 无作用
[25]	CLR9	写 1 将 GPIO x[9]清零，写 0 无作用
[24]	CLR8	写 1 将 GPIO x[8]清零，写 0 无作用
[23]	CLR7	写 1 将 GPIO x[7]清零，写 0 无作用
[22]	CLR6	写 1 将 GPIO x[6]清零，写 0 无作用
[21]	CLR5	写 1 将 GPIO x[5]清零，写 0 无作用
[20]	CLR4	写 1 将 GPIO x[4]清零，写 0 无作用
[19]	CLR3	写 1 将 GPIO x[3]清零，写 0 无作用
[18]	CLR2	写 1 将 GPIO x[2]清零，写 0 无作用
[17]	CLR1	写 1 将 GPIO x[1]清零，写 0 无作用
[16]	CLR0	写 1 将 GPIO x[0]清零，写 0 无作用
[15]	SET15	写 1 将 GPIO x[15]置 1，写 0 无作用
[14]	SET14	写 1 将 GPIO x[14]置 1，写 0 无作用
[13]	SET13	写 1 将 GPIO x[13]置 1，写 0 无作用
[12]	SET12	写 1 将 GPIO x[12]置 1，写 0 无作用
[11]	SET11	写 1 将 GPIO x[11]置 1，写 0 无作用
[10]	SET10	写 1 将 GPIO x[10]置 1，写 0 无作用
[9]	SET9	写 1 将 GPIO x[9]置 1，写 0 无作用
[8]	SET8	写 1 将 GPIO x[8]置 1，写 0 无作用
[7]	SET7	写 1 将 GPIO x[7]置 1，写 0 无作用
[6]	SET6	写 1 将 GPIO x[6]置 1，写 0 无作用
[5]	SET5	写 1 将 GPIO x[5]置 1，写 0 无作用
[4]	SET4	写 1 将 GPIO x[4]置 1，写 0 无作用
[3]	SET3	写 1 将 GPIO x[3]置 1，写 0 无作用
[2]	SET2	写 1 将 GPIO x[2]置 1，写 0 无作用
[1]	SET1	写 1 将 GPIO x[1]置 1，写 0 无作用
[0]	SET0	写 1 将 GPIO x[0]置 1，写 0 无作用

若用 BSRR 的高 16 位与低 16 位同时对 GPIO 同一位置既置 1 又清零，则该位被清零。

15.2.14 GPIOx_BRR (x = 0,1,2)

地址分别是:0x4001_0D34, 0x4001_0D74, 0x4001_0DB4

复位值:0x0

表 15-16 GPIOx 位清零寄存器 GPIOx_BRR

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLR15	CLR14	CLR13	CLR12	CLR11	CLR10	CLR9	CLR8	CLR7	CLR6	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31:16]		未使用
[15]	CLR15	写 1 将 GPIO x[15]清零，写 0 无作用
[14]	CLR14	写 1 将 GPIO x[14]清零，写 0 无作用
[13]	CLR13	写 1 将 GPIO x[13]清零，写 0 无作用
[12]	CLR12	写 1 将 GPIO x[12]清零，写 0 无作用
[11]	CLR11	写 1 将 GPIO x[11]清零，写 0 无作用
[10]	CLR10	写 1 将 GPIO x[10]清零，写 0 无作用
[9]	CLR9	写 1 将 GPIO x[9]清零，写 0 无作用
[8]	CLR8	写 1 将 GPIO x[8]清零，写 0 无作用
[7]	CLR7	写 1 将 GPIO x[7]清零，写 0 无作用
[6]	CLR6	写 1 将 GPIO x[6]清零，写 0 无作用
[5]	CLR5	写 1 将 GPIO x[5]清零，写 0 无作用
[4]	CLR4	写 1 将 GPIO x[4]清零，写 0 无作用
[3]	CLR3	写 1 将 GPIO x[3]清零，写 0 无作用
[2]	CLR2	写 1 将 GPIO x[2]清零，写 0 无作用
[1]	CLR1	写 1 将 GPIO x[1]清零，写 0 无作用
[0]	CLR0	写 1 将 GPIO x[0]清零，写 0 无作用

15.2.15 外部事件

EXTI_CR0 和 EXTI_CR1 用于选择 GPIO 外部信号产生中断或 DMA 请求的上升沿/下降沿触发类型。

15.2.15.1 EXTI_CR0

地址:0x4001_0E00

复位值:0x0

表 15-17 EXTI_CR0 外部触发配置寄存器 0

15 14	13 12	11 10	9 8	7 6	5 4	3 2	1 0
T7	T6	T5	T4	T3	T2	T1	T0
RW	RW	RW	RW	RW	RW	RW	RW
0	0	0	0	0	0	0	0

位置	位名称	说明
[31:16]		未使用
[15:14]	T7	GPIO 1[0]/ P1[0]外部触发类型选择 00:不触发 01:下降沿触发 10:上升沿触发

		11:上升沿、下降沿均触发
[13:12]	T6	GPIO 0[15]/ P0[15]外部触发类型选择 00:不触发 01:下降沿触发 10:上升沿触发 11:上升沿、下降沿均触发
[11:10]	T5	GPIO 0[14]/ P0[14]外部触发类型选择 00:不触发 01:下降沿触发 10:上升沿触发 11:上升沿、下降沿均触发
[9:8]	T4	GPIO 0[13]/ P0[13]外部触发类型选择 00:不触发 01:下降沿触发 10:上升沿触发 11:上升沿、下降沿均触发
[7:6]	T3	GPIO 0[12]/ P0[12]外部触发类型选择 00:不触发 01:下降沿触发 10:上升沿触发 11:上升沿、下降沿均触发
[5:4]	T2	GPIO 0[11]/ P0[11]外部触发类型选择 00:不触发 01:下降沿触发 10:上升沿触发 11:上升沿、下降沿均触发
[3:2]	T1	GPIO 0[2]/ P0[2]外部触发类型选择 00:不触发 01:下降沿触发 10:上升沿触发 11:上升沿、下降沿均触发
[1:0]	T0	GPIO 0[0]/ P0[0]外部触发类型选择 00:不触发 01:下降沿触发 10:上升沿触发 11:上升沿、下降沿均触发

15.2.15.2 EXTI_CR1

地址:0x4001_0E04

复位值:0x0

表 15-18 EXTI_CR1 外部触发配置寄存器 1

15 14	13 12	11 10	9 8	7 6	5 4	3 2	1 0
T15	T14	T13	T12	T11	T10	T9	T8

RW	RW	RW	RW	RW	RW	RW	RW
0	0	0	0	0	0	0	0

位置	位名称	说明
[31:16]		未使用
[15:14]	T15	GPIO 2[0]/P2[0]外部触发类型选择 00:不触发 01:下降沿触发 10:上升沿触发 11:上升沿、下降沿均触发
[13:12]	T14	GPIO 2[13]/P2[13]外部触发类型选择 00:不触发 01:下降沿触发 10:上升沿触发 11:上升沿、下降沿均触发
[11:10]	T13	GPIO 2[6]/P2[6]外部触发类型选择 00:不触发 01:下降沿触发 10:上升沿触发 11:上升沿、下降沿均触发
[9:8]	T12	GPIO 2[5]/P2[5]外部触发类型选择 00:不触发 01:下降沿触发 10:上升沿触发 11:上升沿、下降沿均触发
[7:6]	T11	GPIO 2[4]/P2[4]外部触发类型选择 00:不触发 01:下降沿触发 10:上升沿触发 11:上升沿、下降沿均触发
[5:4]	T10	GPIO 2[3]/P2[3]外部触发类型选择 00:不触发 01:下降沿触发 10:上升沿触发 11:上升沿、下降沿均触发
[3:2]	T9	GPIO 2[9]/P2[9]外部触发类型选择 00:不触发 01:下降沿触发 10:上升沿触发 11:上升沿、下降沿均触发
[1:0]	T8	GPIO 2[7]/P2[7]外部触发类型选择 00:不触发 01:下降沿触发 10:上升沿触发

		11:上升沿、下降沿均触发

表 15-19 GPIO 中断/DMA 请求事件资源分布表

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
P0	√	√	√	√	√									√		√
P1																√
P2			√				√		√	√	√	√	√			√

15.2.15.3 EXTI_IE

地址:0x4001_0E08

复位值:0x0

表 15-20 EXTI_IE GPIO 中断使能寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					EXTI2_RE	EXTI1_RE	EXTI0_RE						EXTI2_IE	EXTI1_IE	EXTI0_IE
					RW	RW	RW						RW	RW	RW
					0	0	0						0	0	0

位置	位名称	说明
[31:11]		未使用
[10]	EXTI2_RE	GPIO2 DMA 请求使能，需要配合 EXTI_CR0/1 使用
[9]	EXTI1_RE	GPIO1 DMA 请求使能，需要配合 EXTI_CR0/1 使用
[8]	EXTI0_RE	GPIO0 DMA 请求使能，需要配合 EXTI_CR0/1 使用
[7:3]		未使用
[2]	EXTI2_IE	GPIO2 中断使能，需要配合 EXTI_CR0/1 使用
[1]	EXTI1_IE	GPIO1 中断使能，需要配合 EXTI_CR0/1 使用
[0]	EXTI0_IE	GPIO0 中断使能，需要配合 EXTI_CR0/1 使用

每一组 GPIO 外部请求信号可以统一用作中断请求，或者 DMA 请求。但通常每组信号不会同时用作中断和 DMA 请求。DMA 请求信号的产生同样来自中断标志置位，当中断发生后，如果使能了 EXTIx_RE，则 DMA 会在响应请求后清除该组 GPIO 的所有中断标志。举例来说 GPIO0 中，通常只会使用 16 个 GPIO P0.0~P0.15 中的一个作为外部事件来源，且要么当做中断请求使用，要么当做 DMA 请求使用。如果同时使能 P0.0 和 P0.1 的外部事件请求，则两个 IO 都会产生外部事件。如果作为 DMA 请求，则 P0.0 和 P0.1 中任意一个外部事件发生时，DMA 都会清除 P0.0~P0.15 所有的外部事件标志。

但是允许使用 GPIO0 中的一个 IO 作为中断事件请求，同时使用 GPIO2 中的一个 IO 作为 DMA 请求使能。则 GPIO2 的 IO 发生 DMA 请求时，DMA 只会硬件清零 GPIO2 的外部事件标志，不会影响 GPIO0 的外部事件标志，GPIO0 的外部事件会产生中断请求，由中断服务程序进行处理。

15.2.15.4 EXTI_IF

地址:0x4001_0E0C

复位值:0x0

表 15-21 EXTI_IF 外部中断标志寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IF15	IF14	IF13	IF12	IF11	IF10	IF9	IF8	IF7	IF6	IF5	IF4	IF3	IF2	IF1	IF0
RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31:16]		未使用
[15]	IF15	GPIO 2[0] / P2[0] 外部中断标志。中断标志高有效，写 1 清零
[14]	IF14	GPIO 2[13] / P2[13] 外部中断标志。中断标志高有效，写 1 清零
[13]	IF13	GPIO 2[6] / P2[6] 外部中断标志。中断标志高有效，写 1 清零
[12]	IF12	GPIO 2[5] / P2[5] 外部中断标志。中断标志高有效，写 1 清零
[11]	IF11	GPIO 2[4] / P2[4] 外部中断标志。中断标志高有效，写 1 清零
[10]	IF10	GPIO 2[3] / P2[3] 外部中断标志。中断标志高有效，写 1 清零
[9]	IF9	GPIO 2[9] / P2[9] 外部中断标志。中断标志高有效，写 1 清零
[8]	IF8	GPIO 2[7] / P2[7] 外部中断标志。中断标志高有效，写 1 清零
[7]	IF7	GPIO 1[0] / P1[0] 外部中断标志。中断标志高有效，写 1 清零
[6]	IF6	GPIO 0[15] / P0[15] 外部中断标志。中断标志高有效，写 1 清零
[5]	IF5	GPIO 0[14] / P0[14] 外部中断标志。中断标志高有效，写 1 清零
[4]	IF4	GPIO 0[13] / P0[13] 外部中断标志。中断标志高有效，写 1 清零
[3]	IF3	GPIO 0[12] / P0[12] 外部中断标志。中断标志高有效，写 1 清零
[2]	IF2	GPIO 0[11] / P0[11] 外部中断标志。中断标志高有效，写 1 清零
[1]	IF1	GPIO 0[2] / P0[2] 外部中断标志。中断标志高有效，写 1 清零
[0]	IF0	GPIO 0[0] / P0[0] 外部中断标志。中断标志高有效，写 1 清零

即使不使能 EXTI_IE，EXTI_IF 仍会置位，但不会产生中断请求或 DMA 请求。

15.2.15.5 EXTI_CLKO

地址:0x4001_0E10

复位值:0x0

表 15-22 EXTI_CLKO GPIO 输出时钟信号选择寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											HSE_OE	ADC_OE	PLL_OE	HSI_OE	LSI_OE
											RW	RW	RW	RW	RW

	0	0	0	0	0

位置	位名称	说明
[31:5]		未使用
[4]	HSE_OE	晶振时钟输出使能。1:使能；0:禁用。
[3]	ADC_OE	ADC 时钟输出使能。1:使能；0:禁用。
[2]	PLL_OE	PLL 输出使能。1:使能；0:禁用。
[1]	HSI_OE	HRC 输出使能。1:使能；0:禁用。
[0]	LSI_OE	LRC 输出使能。1:使能；0:禁用。

芯片各时钟信号可以从 P0.0/P2.7 进行输出观测。注意由于 ADC/PLL 为高频时钟信号，可能无法驱动片外大负载。

如果需要输出时钟，需要配置 P0.0 的第二功能为 1，即 GPIO0_F3210 = 0x0001，并使能 P0.0 输出使能 GPIO0_POE=0x0001，并配置 CLKO_SEL，选择某一路时钟通过 P0.0 进行输出。

15.2.15.6 PWM_SWAP

地址:0x4001_0E14

复位值:0x0

表 15-23 PWM_SWAP 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														SWAP	
														RW	
														0	

位置	位名称	说明
[31:2]		未使用
[1:0]	SWAP	向此寄存器写入 0x67 可将 BIT[1:0]写为 1，写入 0x69 可将 BIT[1:0]写为 2，写其他值则将 BIT[1:0]写为 0。

MCPWM0_SWAP 的值为 0 时，MCPWM 通道输出与 GPIO 关系如下:

表 15-24 MCPWM 默认输出表

MCPWM 输出顺序	GPIO 对应顺序	
MCPWM0_CH0P	P1.4	P0.15
MCPWM0_CH0N	P1.5	P1.0
MCPWM0_CH1P	P1.6	P2.11
MCPWM0_CH1N	P1.7	P2.12
MCPWM0_CH2P	P1.8	
MCPWM0_CH2N	P1.9	P2.5
MCPWM0_CH3P	P1.10	P2.4
MCPWM0_CH3N	P1.11	P2.6

为了便于 MCU 芯片与 Gate Driver 芯片进行多 die 封装 SIP 设计，GPIO 模块内 PWM 通道输出可以进行重新映射。下表中最左侧一列 MCPWM 通道进行了重排，右侧两列不变，仍与芯片的 IO 排布顺序一致。

PWM_SWAP 的值为 1 时，对应关系如下:

表 15-25 PWM_SWAP=1 时 MCPWM 输出映射表表

MCPWM 输出顺序	GPIO 对应顺序	
MCPWM0_CH0N	P1.4	
MCPWM0_CH1N	P1.5	
MCPWM0_CH2N	P1.6	
MCPWM0_CH0P	P1.7	
MCPWM0_CH1P	P1.8	
MCPWM0_CH2P	P1.9	
MCPWM0_CH3P	P1.10	P2.4
MCPWM0_CH3N	P1.11	P2.6

PWM_SWAP 的值为 2 的配置保留，请勿使用。

15.3 实现说明

15.3.1 上拉实现

LKS32MC09x 系列芯片，部分 GPIO 配备有 10kΩ 上拉电阻。配备上拉功能的 GPIO 如下:

表 15-26 GPIO 上拉资源分布表

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
P0	√	√					√		√	√		√	√	√		√
P1					√	√							√			√
P2	√	√	√			√	√	√	√	√	√	√				

15.3.2 滤波实现

LKS32MC09x 系列芯片，部分 GPIO 支持对输入信号进行滤波操作，滤波时间宽度为 4 个 LSI 时钟周期，约 120us，即不足 120us 的变化会被滤波滤除。注意由于滤波使用 LSI 时钟，而 RC 本身精度有限，所以具体滤波时间常数会存在个体偏差。

表 15-27 GPIO 滤波资源分布表

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
P0	√	√	√	√	√				√	√				√		√
P1																√
P2			√				√		√	√	√	√	√			√

15.3.3 外部中断实现

LKS32MC09x 系列芯片，部分 GPIO 可以作为外部中断源，对应中断编号 24 GPIO(EXTI)。需要配置 EXTI_CR0/EXTI_CR1 使能后，才可以触发外部中断。

表 15-28 GPIO 中断资源分布表

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
P0	√	√	√	√	√									√		√
P1																√
P2			√				√		√	√	√	√	√			√

15.3.4 外部唤醒实现

LKS32MC09x 系列芯片，部分 GPIO 可以作为外部唤醒源。需要配置 AON_IO_WAKE_EN 使能并设置 AON_IO_WAKE_POL 为适当电平。

表 15-29 GPIO 唤醒资源分布表

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
P0		√	√	√										√		√
P1																
P2									√			√				√

15.4 应用指南

15.4.1 外部中断

示例如下:

```
GPIO0_PIE = 0x0001;                 // 使能 P0[0]输入
NVIC_EnableIRQ(GPIO_IRQn);          //使能 GPIO 中断
__enable_irq();                     //使能中断
i = 1000;
while(i--);
// P0[7] IO 上外接方波信号
EXTI_CR0 = 0x0002;                  // 使能 p0[7]上升沿触发，产生外部中断
    while(irq_flag != 2);               // 外部信号翻转两次产生两次中断，irq_flag 在 GPIO 中断处理程序中递增两次
EXTI_CR0 = 0x0001;                  // 使能 p0[7]下降沿触发，产生外部中断
    while(irq_flag != 4);
EXTI_CR0 = 0x00003;                 // 同时使能 P0[7]上升沿、下降沿触发，产生外部中断
    while(irq_flag != 8);
EXTI_CR0 = 0x0000;                  // 同时禁用 P[7]上下沿触发，将无法产生外部中断
```

15.4.2 使用 GPIO 的模拟功能

将 GPIO 的 IE 和 OE 关闭，即可使用模拟功能。此时，PAD 通过内部电阻直接与模拟模块相连。

16 CRC

16.1 概述

CRC 即循环冗余校验码（Cyclic Redundancy Check）:是数据通信领域中最常用的一种查错校验码，其特征是信息字段和校验字段的长度可以任意选定。循环冗余检查（CRC）是一种数据传输检错功能，对数据进行多项式计算，并将得到的结果附在帧的后面，接收设备也执行类似的算法，以保证数据传输的正确性和完整性。

利用 CRC 进行检错的过程可简单描述为:在发送端根据要传送的 K 位二进制码序列，以一定的规则产生一个校验用的 R 位监督码(CRC 码)，附在原始信息后边，构成一个新的二进制码序列数共 K+R 位，然后发送出去。在接收端，根据信息码和 CRC 码之间所遵循的规则进行检验，以确定传送中是否出错。这个规则，在差错控制理论中称为“生成多项式”。

16.2 基本原理

循环冗余校验码（CRC）的基本原理是:在 K 位信息码后再拼接 R 位的校验码，整个编码长度为 N 位，因此，这种编码也叫（N，K）码。对于一个给定的（N，K）码，可以证明存在一个最高次幂为 N-K=R 的多项式 G(x)。根据 G(x)可以生成 K 位信息的校验码，而 G(x)叫做这个 CRC 码的生成多项式。校验码的具体生成过程为:假设要发送的信息用多项式 C(X)表示，将 C(x)左移 R 位（可表示成 $C(x)*2^R$），这样 C(x)的右边就会空出 R 位，这就是校验码的位置。用 $C(x)*2^R$ 除以生成多项式 G(x)得到的余数就是校验码。

任意一个由二进制位串组成的代码都可以和一个系数仅为‘0’和‘1’取值的多项式一一对应。例如:代码 1010111 对应的多项式为 $x^6+x^4+x^2+x+1$，而多项式为 $x^5+x^3+x^2+x+1$ 对应的代码 101111。

16.3 基本概念

16.3.1 对应关系

多项式和二进制数有直接对应关系:X 的最高幂次对应二进制数的最高位，以下各位对应多项式的各幂次，有此幂次项对应 1，无此幂次项对应 0。可以看出:X 的最高幂次为 R，转换成对应的二进制数有 R+1 位。

多项式包括生成多项式 G(X)和信息多项式 C(X)。

如生成多项式为 $G(X)=X^4+X^3+X+1$，可转换为二进制数码 11011。

而发送信息为 101111，可转换为数据多项式为 $C(X)=X^5+X^3+X^2+X+1$。

16.3.2 生成多项式

生成多项式是接受方和发送方的一个约定，也就是一个二进制数，在整个传输过程中，这个数始终保持不变。

在发送方，利用生成多项式对信息多项式做模 2 除生成校验码。在接收方利用生成多项式对收到的编码多项式做模 2 除检测和确定错误位置。

应满足以下条件:

A、生成多项式的最高位和最低位必须为 1。

B、当被传送信息（CRC 码）任何一位发生错误时，被生成多项式做除后应该使余数不为 0。

C、不同位发生错误时，应该使余数不同。

D、对余数继续做除，应使余数循环。

16.3.3 校验码位数

CRC 校验码位数 = 生成多项式位数 - 1。注意有些生成多项式的简记式中将生成多项式的最高位 1 省略了。

16.3.4 生成步骤

1、将 X 的最高次幂为 R 的生成多项式 G(X)转换成对应的 R+1 位二进制数。

2、将信息码左移 R 位，相当于对应的信息多项式 $C(X)*2^R$。

3、用生成多项式（二进制数）对信息码做除，得到 R 位的余数(注意:这里的二进制做除法得到的余数其实是模 2 除法得到的余数，并不等于其对应十进制数做除法得到的余数。)。

4、将余数拼到信息码左移后空出的位置，得到完整的 CRC 码。

【例】假设使用的生成多项式是 $G(X)=X^3+X+1$。4 位的原始报文为 1010，求编码后的报文。

解:

1、将生成多项式 $G(X)=X^3+X+1$ 转换成对应的二进制除数 1011。

2、此题生成多项式有 4 位（R+1）(注意:4 位的生成多项式计算所得的校验码为 3 位，R 为校验码位数)，要把原始报文 C(X)左移 3（R）位变成 1010 000

3、用生成多项式对应的二进制数对左移 3 位后的原始报文进行模 2 除（高位对齐），相当于按位异或:

1010000

1011

0001000

0001011

0000011

得到的余位 011，所以最终编码为:1010 011

POL=0x13，data=0x77

011101110000000

10010011

01111101000000

10010011

0110100100000

10010011

010000010000

10010011

00010001000

10010011

00011011

16.4 寄存器

16.4.1 地址分配

CRC 的基地址是 0x4001_0F00，寄存器列表如下:

表 16-1 CRC 寄存器列表

名称	偏移地址	说明
CRC0_DR	0x00	CRC 数据（输入信息码/输出编码）寄存器
CRC0_CR	0x04	CRC 控制寄存器
CRC0_INIT	0x08	CRC 初始码寄存器
CRC0_POL	0x0C	CRC 生成多项式对应的二进制码寄存器

16.4.2 寄存器描述

16.4.2.1CRC0_DR CRC 信息码寄存器

地址:0x4001_0F00

复位值:0x0

表 16-2 CRC0_DR CRC 数据寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DR															
RW															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DR															
RW															
0															

位置	位名称	说明
[31:0]	DR	存放待编码的信息码和经 CRC 校验后的编码

CRC0_DR 寄存器既用于放入待校验数据，也用于返回校验结果。写入 CRC0_DR 寄存器即触发一次 CRC 计算。待编码数据应在 CR 等寄存器配置完成后最后写入，以触发 CRC 计算开始。

16.4.2.2CRC0_CR CRC 控制寄存器

地址:0x4001_0F04

复位值:0x0

表 16-3 CRC0_CR CRC 控制寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			REV_OUT_TYPE			REV_IN_TYPE				POLY_SIZE					RESET
			RW			RW				RW					WO
			0			0				0					0

位置	位名称	说明
[31:13]		未使用
[12]	REV_OUT_TYPE	是否将CRC校验后的编码反转后输出，即b[31]=b[0], b[30]=b[1],…[b0]=b[31]
[11:10]		未使用

[9:8]	REV_IN_TYPE	待编码数据反转类型 00:不反转 01:按字节反转，即 b[31]=b[24], b[30]=b[25], …, b[24]=b[31], …, b[7]=b[0], b[6]=b[1], …, b[0]=b[7] 10:按半字（16bit）反转，即 b[31]=b[16], b[30]=b[17], …, b[16]=b[31], …, b[15]=b[0], b[14]=b[1], …, b[0]=b[15] 11:按字反转，即 b[31]=b[0], b[30]=b[1],… [b0]=b[31]
[7:6]		未使用
[5:4]	POLY_SIZE	输出编码（多项式）位宽 00: 32bits 01: 16bits 10: 8bits 11: 7bits
[3:1]		未使用
[0]	RESET	与输入信息码进行 CRC 计算的数据来源 0:来自于上一次的计算结果 1:来自于 CRC0_INIT 写入 1 实现 CRC 数据重置并自动清零，读回恒为 0.

同时需要注意的是，向 CRC0_CR.RESET 写入 1 会将 CRC0_INIT 寄存器复位为 0xFFFFFFFF。

如果需要清除 CRC 的计算结果，应向 CRC0_CR.RESET 写入 1，否则后续 CRC 计算会以之前的计算结果为初值进行。

16.4.2.3CRC0_INIT CRC 初始码寄存器

地址:0x4001_0F08

复位值:0xFFFFFFFF

表 16-4 CRC0_INIT CRC 初始码寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
INIT															
RW															
0xFFFFFFFF															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INIT															
RW															
0xFFFFFFFF															

位置	位名称	说明
[31:0]	INIT	存放初始码

初 CRC0_DR 与 CRC0_INIT 相异或后开始进行 CRC 校验计算。

16.4.2.4CRC0_POL CRC 生成码寄存器

地址:0x4001_0F0C

复位值:0x04C11DB7

表 16-5 CRC0_POL CRC 生成码寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
POL															
RW															
0x04C11DB7															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
POL															
RW															
0x04C11DB7															

位置	位名称	说明
[31:0]	POL	存放生成多项式对应的生成码

17 UART

17.1 概述

通用异步收发传输器（Universal Asynchrounous Receiver/Transmitter），通常称作 UART，是一种异步收发传输器。

UART 主要特征如下:

- 支持全双工工作
- 支持单线半双工工作
- 支持 8/9 位数据位
- 支持 1/2 停止位
- 支持奇/偶/无校验模式
- 带 1 字节发送缓存
- 带 1 字节接收缓存
- 支持 LIN 模式 break character 收发
- 支持空闲帧检测
- 支持一主多从的 Multi-drop Slave/Master 模式

17.2 功能说明

17.2.1 发送

UART 包括一个字节发送缓冲区，当发送缓冲区有数据时，UART 将发送缓冲区的数据移入串行移位寄存器，并通过 UART_TXD 端口发送出去。只要 UART 发送缓冲区有数据，UART 就会自动进行发送。

完成加载后，产生发送缓冲区空中断，此时，用户可以往发送缓冲区填入下一个需要发送的字节，这样，发送完成后，UART 将加载这个字节进行发送。

完成发送后，会产生发送完成中断。

发送流程:

设置 SYS_CLK_FEN. UART_CLK_EN = 1 开启 UART 时钟

设置 UART_CTRL.BYTE_LEN，选择 8/9bit 数据字节长度

设置 UART_CTRL.CK_EN，选择是否启用数据字节校验

设置 UART_CTRL.CK_TYPE，选择使用奇校验还是偶校验

设置 UART_CTRL.BIT_ORDER，选择发送时 LSB first 还是 MSB first

设置 UART_CTRL.STOP_LEN，选择停止比特长度为 1bit/2bit

如果使用 DMA 搬运数据，则设置 UART_RE. TX_BUF_EMPTY_RE=1，即 TX buffer 空就触发 DMA 搬运新数据到 UART；如果使用软件轮询或中断的方式，则设置 UART_IE. TX_BUF_EMPTY_IE=1

如果使用 DMA 搬运数据到 UART 发送，需要对 DMA 进行相应设置

如果使用软件搬运数据到 UART 发送，需要软件向 UART_BUFF 写入数据，可以触发 UART 开始通过 UART_TXD 端口发送数据。

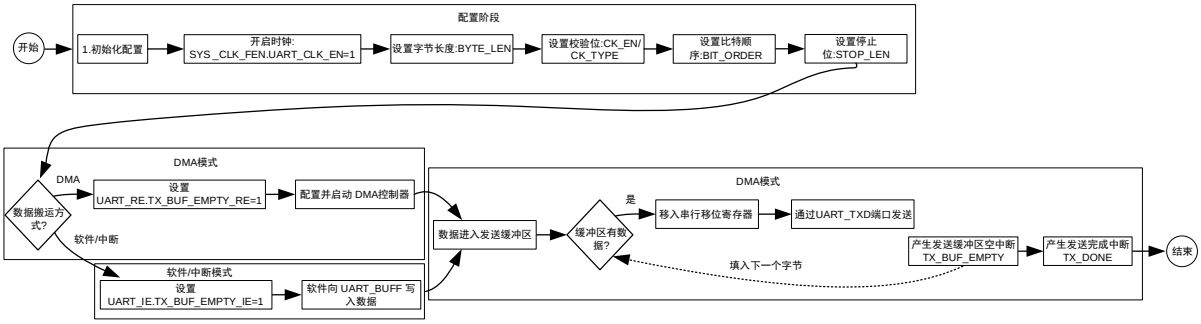


图 17-1 UART 发送流程和硬件机制

17.2.2 接收

UART 包括一个字节的接收缓冲区，当完成一个字节的接收后，会产生接收中断，并将接收到字节存储到接收缓冲区，用户应当在 UART 接收完成下一个字节前完成此字节的读取，否则缓冲区会被写入新接收的字节。接收部分内部使用高速时钟对 UART_RX 信号进行过采样来判定稳态的数据信号，防止噪声干扰造成错误接收。

17.2.3 UART 帧格式

UART 信号上收发的数据格式通常如下:

信号线空闲;

起始比特 (1 bit Start bit:1 bit Zero)

数据字节 (data word, 8bits or 9bits, LSB first or MSB first)

停止比特 (1/2 bit Stop bit: 1/2bit Ones)

数据字节的长度可以通过 UART_CTRL.BYTE_LEN 进行选择，8bit (UART_CTRL.BYTE_LEN=0)或 9bit (UART_CTRL.BYTE_LEN=1)。起始比特为 1bit 零，TX 信号线为低，停止比特期间 TX 信号线为高。

停止比特的长度由 UART_CTRL.

需要注意的是，当启用校验位时(UART_CTR.CK_EN=1)，校验位会替换掉数据字节的最高 bit，即 MSB，此时 8bit 数据字节实际是 7bit 数据+1bit 校验字，9bit 数据字节实际是 8bit 数据+1bit 校验字。

图 17-2 UART 帧格式

17.2.4 波特率配置

UART 输入时钟为系统主时钟，波特率通过两级分频实现。

波特率=UART 模块时钟/（256*DIVH+DIVL+1)

可以通过 SYS_CLK_DIV2 对 UART 模块时钟进行分频.

UART 模块时钟=系统主时钟/(1+SYS_CLK_DIV2)

表 17-1 UART 波特率配置示例

UART 波特率	SYS_CLK_DIV2	UART_DIVH	UART_DIVL
300	0x0007	0x9C	0x3F
600	0x0003	0x9C	0x3F
1200	0x0001	0x9C	0x3F
2400	0x0000	0x9C	0x3F
4800	0x0000	0x4E	0x1F
9600	0x0000	0x27	0x0F
19200	0x0000	0x13	0x87
38400	0x0000	0x09	0xC3
43000	0x0000	0x08	0xB8

56000	0x0000	0x06	0xB1
57600	0x0000	0x06	0x82
115200	0x0000	0x03	0x40

注意，同一波特率，其配置系数可能不唯一。

17.2.5 波特率自适应

UART 模块支持波特率自适应。一般 UART 从机在不知晓主机波特率的情况下，会开启波特率自适应，同时等待主机发送特定的同步字，一般是 0x55。主机无须开启波特率自适应设置。从机在收到主机发出的同步字后，会将识别到的波特率存储到波特率寄存器，即 UART_DIVH 和 UART_DIVL。若在 0x55 接收期间，发生干扰可能导致波特率识别不成功，此时主机可以再次发送 0x55 直到从机完成波特率自适应识别并反馈消息给主机。在波特率自适应器件，同步字 0x55 可能接收不正确， UART_IF.STOP_ERR 和 UART_IF.RX_DONE 可能会出现置位。

在 LIN 模式下（UART_CTRL.LIN_EN=1），如果启用波特率自适应（UART_IOC.ABD_EN=1）则在 LIN 的每一帧的间隔场 break character+同步场 0x55 阶段会进行波特率自适应。且 UART_IOC.ABD_EN 会保持为 1。波特率自适应模块需要先识别到 10 波特以上的低电平，然后识别到 0x55 才会完成波特率识别。

在 UART 模式下（UART_CTRL.LIN_EN=0），如果启用波特率自适应（UART_IOC.ABD_EN=1）则需要主机先发送 0x55 同步字节给从机，同时建议从机设置波特率为 0（UART_DIVH=UART_DIVL=0）。从机成功接收 0x55 完成波特率自适应识别后，硬件会将 UART_IOC.ABD_EN 清零。

17.2.6 LIN 模式

LIN 的每一帧以同步间隔场起始，其后为 0x55 同步场、PID 标识符场、以及数据场。通常由软件将 LIN 组帧存储在 RAM 中，然后由 DMA 逐个字节发送，发送端以 UART 的 BUFFER 空作为 DMA 请求信号，对应 UART_RE.TX_BUF_EMPTY 标志。接收端以 UART 的接收完成为 DMA 请求信号，对应 UART_RE.RX_DONE 标志。

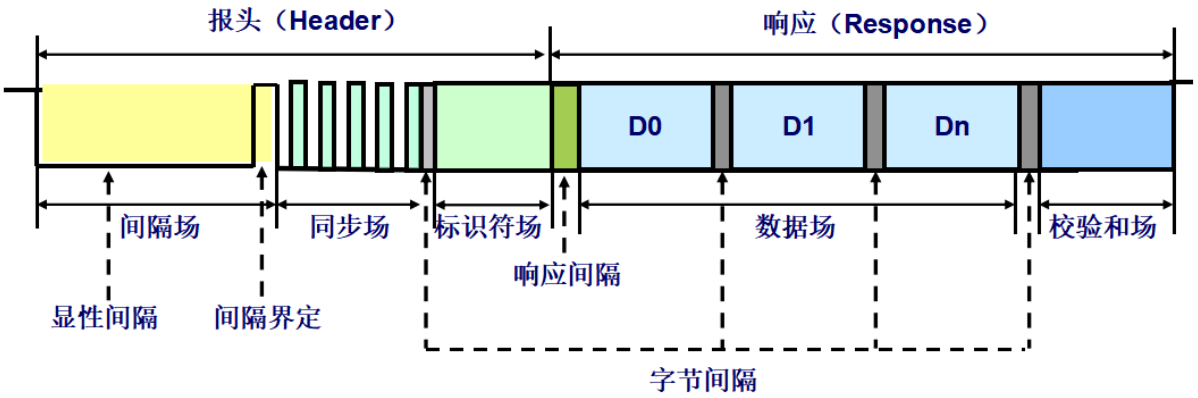


图 17-3 LIN 的帧结构

发送端一般需要软件先向 UART_IOC.SBK 写 1，先发送显性间隔场，然后开启 DMA 使能。无须等待 SBK 发送完成，可先开启 UART 发送的 DMA 使能。

接收端由于会将间隔场作为一个字节接收到，因此配置的接收字节个数=发送端+1。

17.2.7 单线半双工

当使用单线半双工时，串口 IO 输入一直使能，而 IO 输出只有在软件写入串口发送数据，串口开始发送数据时才会使能，串口不会收到自己发出的数据。当线路上没有串口发送输出时，由于没有 IO 输出驱动线路，线路处于高阻态，建议电路上开启上拉，使得线路在没有数据发送时处于高电平。

17.2.8 收发端口互换(TX/RX 互换)

UART 模块支持 Tx 与 Rx 端口互换。通过将 Tx 对应的 GPIO 配置为输入使能，Rx 对应的 GPIO 配置为输出使能，即可实现 Tx 与 Rx 端口的互换。此时，GPIO 第二功能仍选择为 UART，UART 本身配置无需修改。

此外，如果要使用一个 GPIO 同时作为 Tx 和 Rx，需要将 IO 分时复用为输入或输出，对应 Rx 或 Tx，即可实现单口半双工逻辑。

17.2.9 多机通讯

多机通讯场景通常是一个设备作为主设备 master，另有若干个从设备 slave，主设备的 UARTm_TXD 端口连接到所有从设备的 UARTs_RXD 端口，从设备的 UARTs_TXD 相与连接到主设备的 UARTm_RXD 端口。如图 17-4 UART 多机通讯互联拓扑所示，为一个主设备和 3 个从设备（地址分别为 0x51,0x52,0x53）的互联情况。

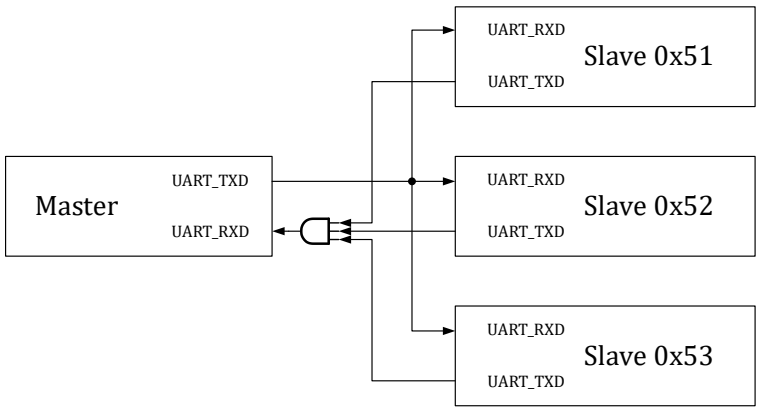


图 17-4 UART 多机通讯互联拓扑

为了降低从机报文处理的负荷，从设备应该只处理发送给他的 UART 数据，而忽略发送给其他从设备的数据。在多机通讯场景中，每一个从机有一个 8bit 的设备地址，即 UART_ADR。从设备设置 UART_CTRL.MD_EN=1 后，开启多机通讯过滤模式，主机无须设置 MD_EN。主机、从机均需要使用 9bit 模式发送数据，即设置 UART_CTRL.BYTE_LEN=1。当发送数据字节 MSB(BIT8)为 1 时，低 8 位(BIT7:BIT0)是主机发出的从机地址，即**地址字节**；当发送数据字节 MSB(BIT8)为 0 时，低 8 位(BIT7:BIT0)是主机发给特定从机的数据，即**数据字节**。

所有从机接收到 MSB(BIT8)=1 的数据字节后，判断低 8 位(BIT7:BIT0)地址是否与自己的 UART_ADR 配置值相等。如果相等，则说明后续数据都是发送给此从机，否则从机进入静默状态，忽略所有后续主机发出的数据。当从机再次接收到 MSB(BIT8)=1 的数据字节且低 8 位(BIT7:BIT0)地址与自己的 UART_ADR 配置值相等时，表示此从机被选中，退出静默状态。从机设置 UART_CTRL.MD_EN=1 开启多机通讯过滤模式后，立即进入静默状态。如果主机没有发送 MSB=1

的地址字节，直接发送数据字节，则所有从机都处于静默状态，不会接收任何数据。

在多机通讯模式中，主设备无需设置 UART_CTRL.MD_EN=1，从设备需要设置 UART_CTRL.MD_EN=1。如果无需地址过滤，从设备也可以不设置 UART_CTRL.MD_EN=1，另使用软件对接收数据进行判读，此时从设备会接收并处理所有报文数据。

在多机通讯模式中，如果从设备设置了 UART_CTRL.MD_EN=1，则地址字节无论是否命中 UART_ADR，UART_IF.RX_DONE_IF 标志均不置位；如果地址不匹配，即从设备处于静默状态，即使主设备发送数据，UART_IF.RX_DONE_IF 仍不置位。如果地址匹配，当接收到主设备发送的数据字节时，从设备的 UART_IF.RX_DONE_IF 标志置位为 1，表示从设备接收到一个数据字节。

由于检验位需要占用 1bit 数据位，而多机通讯需要使用 9bit 字节长度。因此多机通讯场景下不支持校验位，在设置 UART_CTRL.MD_EN=1 时，请勿设置 UART_CTRL.CK_EN=1。主机、从机均需设置 UART_CTRL.BYTE_LEN=1 使用 9bit 模式，并设置 UART_CTRL.MD_EN。多机通讯支持 MSB first，即 UART_CTRL.BIT_ORDER=1。

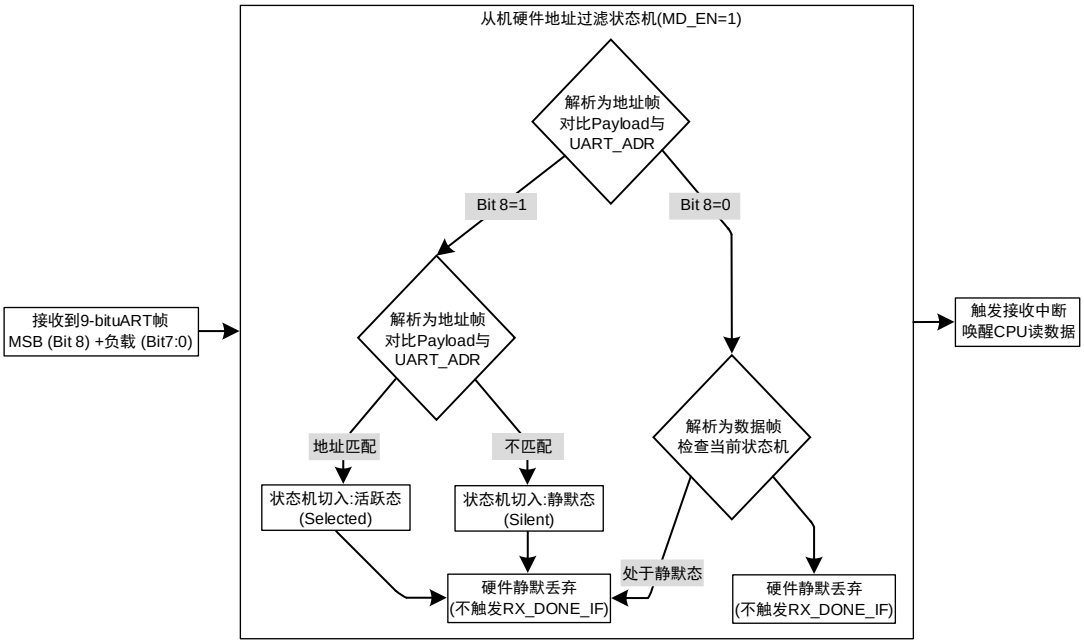


图 17-5 从机 9-bit UART 地址帧过滤状态机处理流程

如图 17-6 UART 多机通讯示例所示，主设备先发送了数据 0x03，但此时没有从设备地址命中，因此 3 个从设备均不接收 0x03。主设备发送地址字节 0x151，从设备 0x51 被选中。但之后主设备没有发送数据，而是直接发送地址字节 0x153，从设备 0x53 被选中，主设备连续发送 3 个数据字节 0x03,0x53,0x04，均被从设备 0x53 接收。之后主设备发送地址字节 0x152，之后发送数据字节 0x07，被从设备 0x52 接收。

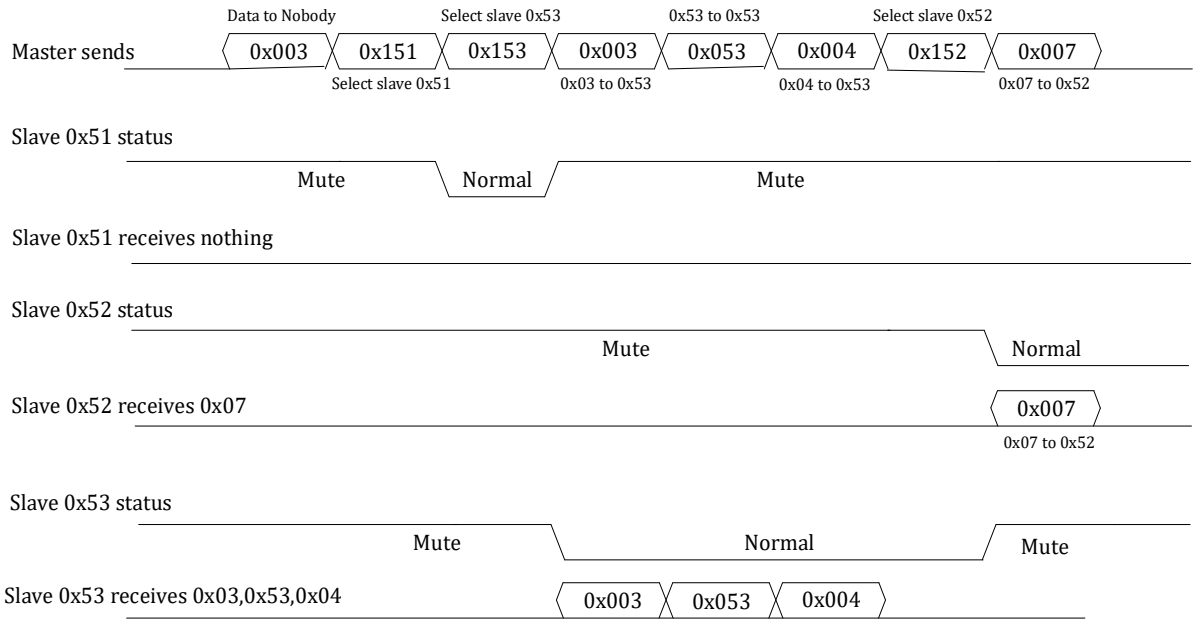


图 17-6 UART 多机通讯示例

17.2.10 校验位

可以通过设置 UART_CTRL.CK_EN=1 来使能校验位。同时根据字节长度 UART_CTRL.BYTE_LEN 不同，UART 的帧格式有 4 种情况。

表 17-2 UART 帧格式

BYTE_LEN	CK_EN	UART frame
0	0	| StartBit | 8bit data | StopBit |
0	1	| StartBit | 7bit data | Parity | StopBit |
1	0	| StartBit | 9bit data | StopBit |
1	1	| StartBit | 8bit data | Parity | StopBit |

17.3 寄存器

17.3.1 地址分配

UART0、UART1、UART2 实现完全相同。

UART0 基地址 0x4001_1000。

UART1 基地址 0x4001_1100。

UART2 基地址 0x4001_1600。

表 17-3 UART 地址分配列表

名称	偏移地址	说明
UARTx_CTRL	0x00	UART 控制寄存器
UARTx_DIVH	0x04	UART 波特率设置高字节寄存器
UARTx_DIVL	0x08	UART 波特率设置低字节寄存器
UARTx_BUFF	0x0C	UART 收发缓冲寄存器
UARTx_ADR	0x10	485 通信地址匹配寄存器
UARTx_STT	0x14	UART 状态寄存器
UARTx_RE	0x18	UART DMA 请求使能寄存器
UARTx_IE	0x1C	UART 中断使能寄存器
UARTx_IF	0x20	UART 中断标志寄存器
UARTx_IOC	0x24	UART IO 控制

17.3.2 UARTx_CTRL UARTx 控制寄存器 (x = 0,1,2)

地址分别是:0x4001_1000，0x4001_1100，0x4001_1600

复位值:0x0

表 17-4 UART 控制寄存器 UARTx_CTRL

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								DUPLEX	LIN_EN	MD_EN	CK_EN	CK_TYPE	BIT_ORDER	STOP_LEN	BYTE_LEN
								RW	RW	RW	RW	RW	RW	RW	RW
								0	0	0	0	0	0	0	0

位置	位名称	说明
[31:8]		未使用
[7]	DUPLEX	双工，默认值为 0。 0:全双工；1:半双工
[6]	LIN_EN	LIN 模式使能，默认值为 0。 0:关闭；1:开启
[5]	MD_EN	使能 Multi-drop，默认值为 0。 0:关闭；1:开启
[4]	CK_EN	数据校验开关，默认值为 0。 0:关闭；1:开启
[3]	CK_TYPE	奇偶校验配置，默认值为 0。 0:偶校验（EVEN）；1: 奇校验（ODD）
[2]	BIT_ORDER	数据发送顺序配置，默认值为 0。 0:LSB；1:MSB
[1]	STOP_LEN	停止位长度配置，默认值为 0。 0:1-Bit；1:2-Bit

[0]	BYTE_LEN	数据长度配置，默认值为 0。 0:8-Bit；1:9-Bit

17.3.3 UARTx_DIVH UARTx 波特率设置高字节寄存器 (x = 0,1,2)

地址分别是:0x4001_1004，0x4001_1104，0x4001_1604

复位值:0x0

表 17-5 UART 波特率设置高字节寄存器 UARTx_DIVH

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								DIVH							
								RW							
								0							

位置	位名称	说明
[31:8]		未使用
[7:0]	DIVH	波特率设置高字节 BAUDRATE =主时钟/(1+256* UART_DIVH+UART_DIVL)

17.3.4 UARTx_DIVL UARTx 波特率设置低字节寄存器 (x = 0,1,2)

地址分别是:0x4001_1008，0x4001_1108，0x4001_1608

复位值:0x0

表 17-6 UART 波特率设置低字节寄存器 UART_DIVL

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								DIVL							
								RW							
								0							

位置	位名称	说明
[31:8]		未使用
[7:0]	DIVL	波特率设置低字节 BAUDRATE =主时钟/(1+256* UART_DIVH+UART_DIVL)

17.3.5 UARTx_BUFF UARTx 收发缓冲寄存器 (x = 0,1,2)

地址分别是:0x4001_100C，0x4001_110C，0x4001_160C

表 17-7 UART 收发缓冲寄存器 UART_BUFF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								BUFF							
								RW							
								0							

位置	位名称	说明
[31:9]		未使用
[8:0]	BUFF	写:发送数据缓存；读:接收数据寄存器

UART 的 Tx_buffer 和 Rx_buffer 共享 UART_BUFF。其中，Tx_buffer 是只写的，Rx_buffer 是只读的。因此，读 UART_BUFF 寄存器是访问 UART_RX_BUFF，写 UART_BUFF 寄存器是访问 UART_TX_BUFF。

当 UARTx_CTRL.BYTE_LEN=0 时，UART 收发只使用 buffer 低 8 位，即 UARTx_BUFF[7:0]；

当 UARTx_CTRL.BYTE_LEN=1 时，UART 收发使用 buffer 全部 9 位，即 UARTx_BUFF[8:0]。

如果使能 UARTx_CTRL.CK_EN，即使用校验位，则 UARTx_BUFF 的最高位（BIT8 when UARTx_CTRL.BYTE_LEN=1 or BIT7 UARTx_CTRL.BYTE_LEN=0）数据无效，发送时会被替换为校验位，接收时会作为校验位，而不会写入 UARTx_BUFF。

17.3.6 UARTx_ADR UARTx 地址匹配寄存器 (x = 0,1,2)

地址分别是:0x4001_1010，0x4001_1110，0x4001_1610

复位值:0x0

表 17-8 UART 地址匹配寄存器 UART_ADR

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								ADR							
								RW							
								0							

位置	位名称	说明
[31:8]		未使用
[7:0]	ADR	多机通讯时的从机地址

17.3.7 UARTx_STT UARTx 状态寄存器 (x = 0,1,2)

地址分别是:0x4001_1014，0x4001_1114，0x4001_1614

复位值:0x03

表 17-9 UART 状态寄存器 UART_STT

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												RX_BUSY	ADR_MATCH	TX_DONE	TX_BUF_EMPTY
												R	R	R	R
												0	0	1	1

位置	位名称	说明
[31:4]		未使用
[3]	RX_BUSY	1:UART 已检测到起始符并正处于接收状态 0:UART 接收端空闲 此状态位只读，置位与清零均由硬件完成
[2]	ADR_MATCH	Multi-drop 模式下，地址匹配标志位。 1:匹配；0:未匹配。
[1]	TX_DONE	发送完成标志位。 1:完成；0:未完成。
[0]	TX_BUF_EMPTY	发送缓存状态位。 1:空；0:非空。

17.3.8 UARTx_RE UARTx DMA 请求使能寄存器 (x = 0,1,2)

地址分别是:0x4001_1018，0x4001_1118，0x4001_1618

复位值:0x0

表 17-10 UART DMA 请求使能寄存器 UART_RE

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													TX_BUF_EMPTY	RX_DONE	TX_DONE
													RW	RW	RW
													0	0	0

位置	位名称	说明
[31:3]		未使用
[2]	TX_BUF_EMPTY	发送缓冲区空 DMA 请求开关，默认值为 0。 0:关闭；1:开启。
[1]	RX_DONE	接收完成 DMA 请求开关，默认值为 0。 0:关闭；1:开启。
[0]	TX_DONE	发送完成 DMA 请求开关，默认值为 0。 0:关闭；1:开启。

17.3.9 UARTx_IE UARTx 中断使能寄存器 (x = 0,1,2)

地址分别是:0x4001_101C，0x4001_111C，0x4001_161C

复位值:0x0

表 17-11 UART 中断使能寄存器 UART_IE

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						ABD	IDLE	LBD	RX_OV	TX_OV	CK_ERR	STOP_ERR	TX_BUF_EMPTY	RX_DONE	TX_DONE
						RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
						0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31:10]		未使用
[9]	ABD	波特率自适应中断使能 0:关闭；1:开启
[8]	IDLE	空闲帧中断使能 0:关闭；1:开启
[7]	LBD	LIN break character 检测中断使能 0:关闭；1:开启
[6]	RX_OV	接收缓冲区溢出中断使能 0:关闭；1:开启
[5]	TX_OV	发送缓冲区溢出中断使能 0:关闭；1:开启
[4]	CK_ERR	校验错误中断开关，默认值为 0。 0:关闭；1:开启
[3]	STOP_ERR	停止位错误中断开关，默认值为 0。 0:关闭；1:开启
[2]	TX_BUF_EMPTY	发送缓冲区空中断开关，默认值为 0。 0:关闭；1:开启
[1]	RX_DONE	接收完成中断开关，默认值为 0。 0:关闭；1:开启
[0]	TX_DONE	发送完成中断开关，默认值为 0。 0:关闭；1:开启

17.3.10 UARTx_IF UARTx 中断标志寄存器 (x = 0,1,2)

地址分别是:0x4001_1020，0x4001_1120，0x4001_1620

复位值:0x05

表 17-12 UART 中断使能寄存器 UART_IF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

	ABD	IDLE	LBD	RX_OV	TX_OV	CK_ERR	STOP_ERR	TX_BUF_EMPTY	RX_DONE	TX_DONE
	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C
	0	0	0	0	0	0	0	1	0	1

位置	位名称	说明
[31:10]		未使用
[9]	ABD	波特率自适应使能情况下，发生波特率更新事件，高有效，写 1 清零
[8]	IDLE	空闲帧中断标志，高有效，写 1 清零 当 UART 检测到空闲帧后，硬件置位这一标志，如果 UARTx_IE.IDLE_IE=1，则产生中断请求；写 1 清零后，只有待 RX_DONE_IF 标志再次置位后，IDLE_IF 标志才会置位。在多从机（Multi-drop）场景中，只有从机地址命中时，即 UARTx_STT.ADR_MATCH=1 时，表示主机此时欲与本从机通讯，IDLE_IF 才会置位，否则即使 UARTx_RX 信号为常高，IDLE_IF 也不会置位。
[7]	LBD	LIN break character 检测中断标志，高有效，写 1 清零
[6]	RX_OV	接收缓冲区溢出中断标志，高有效，写 1 清零
[5]	TX_OV	发送缓冲区溢出中断标志，高有效，写 1 清零
[4]	CK_ERR	校验错误中断标志，高有效，写 1 清零
[3]	STOP_ERR	停止位错误中断标志，高有效，写 1 清零
[2]	TX_BUF_EMPTY	发送缓冲区空中断标志，高有效，写 1 清零
[1]	RX_DONE	接收完成中断标志，高有效，写 1 清零
[0]	TX_DONE	发送完成中断标志，高有效，写 1 清零

当发生特定事件时，即使中断使能位 IE=0，对应的 IF 仍会置位，但不会向处理器提起中断服务请求。

中断标志写 1 清零，一般不建议用如下|=方式清零，因为|=是先读取中断标志，将对应位改为 1 再写入清零，如果同时有其他中断标志置位，会被一起清零，而这通常不是软件所期望的。例如，如下写法本意是清零 TX_DONE_IF，但如果同时 RX_DONE_IF 在写入执行前置 1 了，则软件先读取回 UART_IF 值为 0x2，然后执行或操作 0x2|0x1=0x3，然后写入，同时对 RX_DONE_IF 和 TX_DONE_IF 进行了清零，可能导致 UART 少进入一次因接收数据产生的中断，从而少接收到一字节数据。

```
UART_IF|=0x1;
```

如果希望清零 TX_DONE_IF 标志位，应以如下方式，直接对 BIT0 写 1.

```
UART_IF=0x1;
```

17.3.11 UARTx_IOC UARTx IO 控制寄存器 (x = 0,1,2)

地址分别是:0x4001_1024，0x4001_1124，0x4001_1624

复位值:0x0

表 17-13 UARTIO 控制寄存器 UART_IOC

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								SBK	LBDL		ABD_EN			TXD_INV	RXD_INV
								RW	RW		RW			RW	RW
								0	0		0			0	0

位置	位名称	说明
[31:8]		未使用
[7]	SBK	LIN 模式下，写 1 发送一次 break character，即连续 13 个 0，完成后自动清零，未完成时读回为 1，向此位写 1 之前需要先配置 UARTx_CTRL.LIN_EN=1，否则无法进行 break character 的发送
[6]	LBDL	LIN break character 检测长度，10/11 个 0 0:10bits，1:11bits
[5]		未使用
[4]	ABD_EN	波特率自适应使能 0:关闭；1:开启 当配置 UARTx_CTRL.LIN_EN=1，每一帧 LIN frame 都会进行波特率自适应，ABD_EN 在软件配置为 1 后，即保持为 1； 当配置 UARTx_CTRL.LIN_EN=0，软件设置 ABD_EN 从 0 置为 1，会触发一次波特率自适应，通常主机会发送一个 0x55 至从机，使从机完成波特率识别，完成后从机的 ABD_EN 位被硬件清零。主机无须设置波特率自适应。 如果 UARTx_CTRL.LIN_EN=0 且 ABD_EN =1，建议软件先设置 ABD_EN =0，再设置 ABD_EN =1。
[3:2]		未使用
[1]	TXD_INV	TXD 输出极性使能开关，默认值为 0。 0:正常输出；1:取反输出。 正常输出极性，即软件发送 1，硬件发送 1；取反输出极性，即应用发送 1，硬件发送 0。
[0]	RXD_INV	RXD 输入极性使能开关，默认值为 0。 0:正常输入；1:取反输入。 正常输入极性，即硬件接收到 1，软件接收的是 1；取反输入极性，即硬件接收 1，软件接收的是 0。

18 DMA

18.1 概述

DMA 和 CPU 同为芯片总线的主设备。

如图 18-1 所示。其中部分设备不需要被 DMA 访问，仅仅挂载于与 CPU 相连的总线上。ADC/DAC/SPI/I2C/MCPWM/UART/TIMER/GPIO/Hall/SRAM 等设备可以被CPU 和DMA 共享访问。

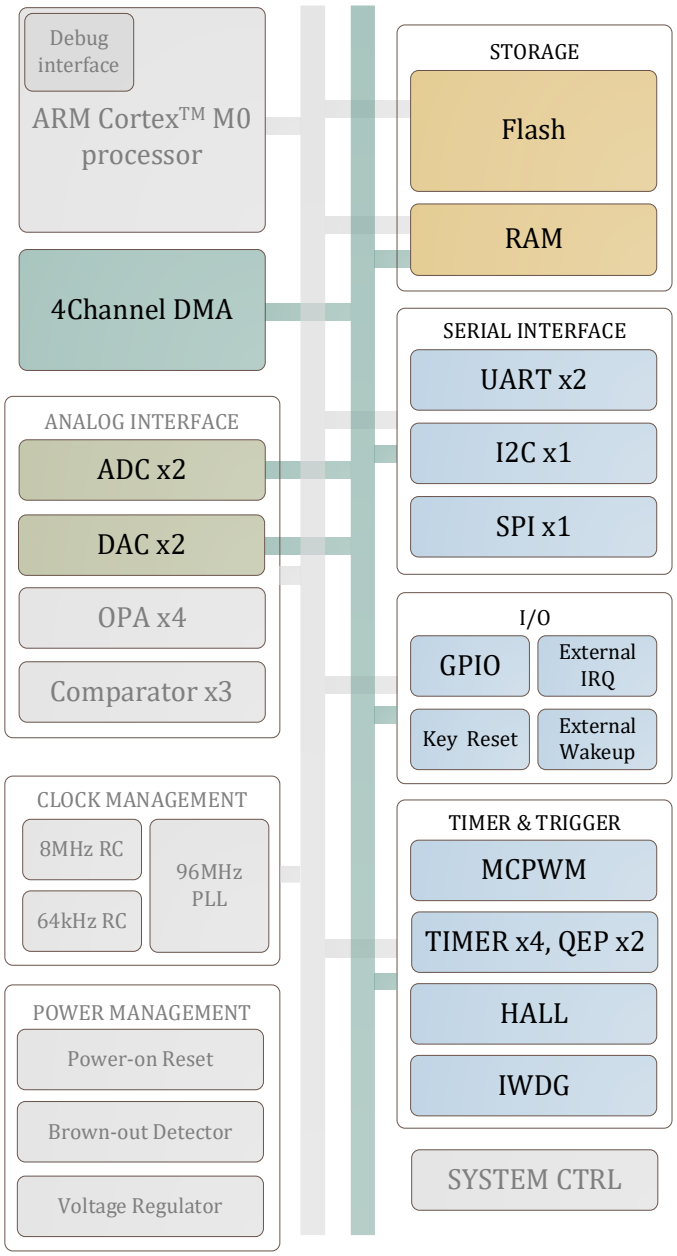


图 18-1 multi-layer AHB 总线架构

DMA 有 4 个通道，共享一个搬运引擎。当 DMA 空闲且多个通道同时发生请求时，按优先级进

行仲裁，但在搬运过程中不会发生抢占，即一定是某个通道完成搬运，DMA 空闲后，才会发起仲裁，判断下一个获得请求的通道是哪一个。

DMA 的传输有两种方式:DMA_CCRx.RMODE=1，多个轮次，每轮传输内传输一次；DMA_CCRx.RMODE=0，一轮，连续传输多次。

如果配置一轮传输多次数据，即 DMA_CCRx.RMODE=0，则一次 DMA 请求，DMA 连续发送 DMA_CTMSx 次数据，然后硬件将 DMA_CCRx.EN 位清零，置位中断标志。

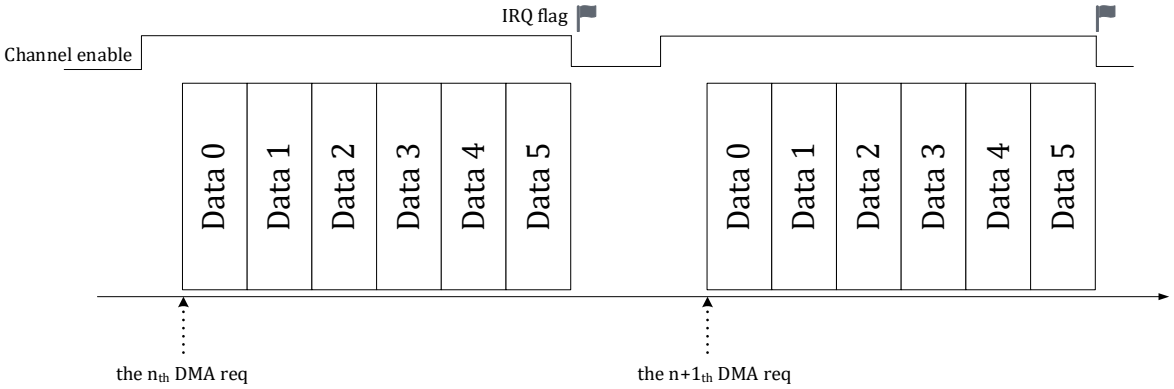


图 18-2 RMODE=0 DMA 传输情况

如果配置某个通道为多轮搬运，则在多轮搬运之间，DMA 可能会响应其他通道的搬运请求。

多轮传输每轮只搬运一次数据，搬运 DMA_CTMSx 轮后，硬件将 DMA_CCRx.EN 位清零，置位中断标志。

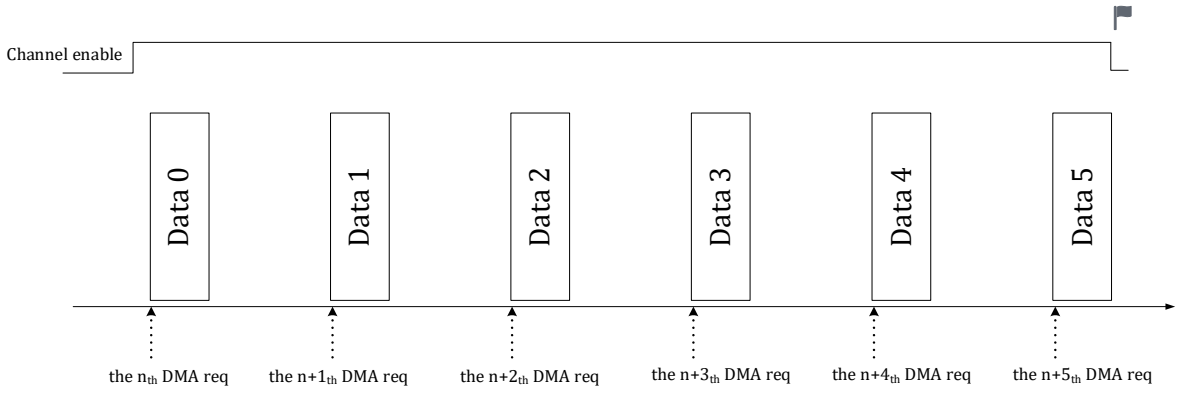


图 18-3 RMODE=1 DMA 传输情况

每发生一次 DMA 请求，DMA 开始一轮传输，完成一轮传输后，根据当前 DMA 通道的请求情况响应下一次请求，下一次请求可以仍为当前通道请求，也可以是其他通道请求，或者在无请求的情况下进入空闲状态，同时当前 DMA 通道待传输轮数减 1。当 DMA 待传输轮数为 0 时，当前通道的传输全部完成，DMA 产生中断，同时 DMA 通道使能 DMA_CCRx.EN 被硬件自动清零。在传输过程中，待传输轮数可以通过 DMA_CTMSx 寄存器读取。一轮传输内待传输次数不支持读取，因为 DMA 会连续进行多次传输，因此次数值会快速变化。

出于功耗控制考虑，DMA 模块可以通过设置 DMA_CTRL.EN 位为 0 来禁用（要求关闭 DMA 使能前先关闭通道对应的使能 DMA_CCRx.EN），此时 DMA 时钟被门控关闭。

DMA 支持 8, 16 或 32 bit (byte, half-word, or word) 三种位宽的传输操作，通过配置 DMA_CCRx.SBTW 和 DMA_CCRx.DBTW 来选择源地址和目的地址访问的位宽，源地址访问的位宽与目的地址访问的位宽可以不同。

DMA 每完成一次传输，地址根据 DMA_CCRx.SINC 和 DMA_CCRx.DINC 决定是否自动递增。所有的外设寄存器地址都是 word 对齐的，所以外设的地址递增应配置为 0/4。例如对于 UART/SPI/I2C，因为每次都是访问 UART_DATA 或 SPI/I2C FIFO 接口的固定地址，所以轮次间无需地址递增；如要访问 ADC 数据寄存器，则地址通常需要自动加 4，可以设置轮内递增。而对于内存，如果设置了轮内递增，每次地址递增的值，根据内存数据位宽(DMA_CCRx.SBTW/DBTW)设定，对于内存访问位宽为 byte 的情况，地址自动加 1，对于 half-word，地址自动加 2，对于 word，地址自动加 4。

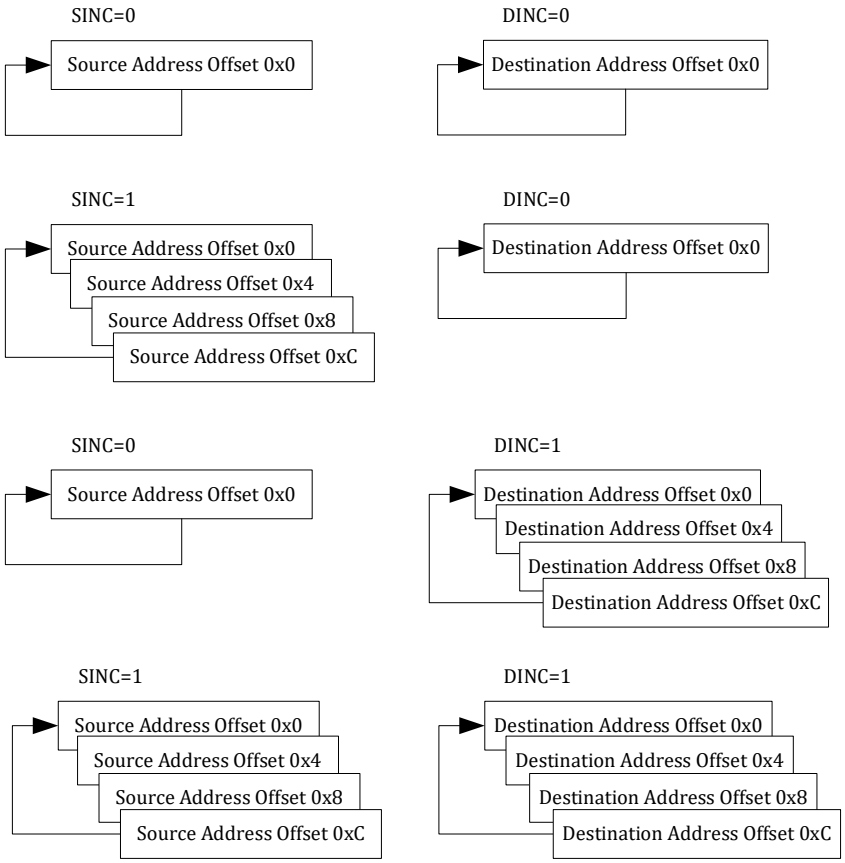


图 18-4 DMA 地址递增控制

图 18-4 仅为地址递增示例，配置为一轮传输 4 次，或传输 4 轮，源地址和目的地址数据尺寸均为 word。实际应用中，如果配置数据尺寸为 byte 或 halfword，则地址偏移按照 1/2 进行递增。

一般，SINC=0，DINC=0，源地址、目的地址均不递增，可能为外设到外设的搬运。

SINC=1，DINC=0，源地址递增，目的地址不递增，可能为内存数组到外设寄存器接口的搬运。

SINC=0，DINC=1，源地址不递增，目的地址递增，可能为外设寄存器接口到内存数组的搬运。

SINC=1，DINC=1，源地址、目的地址均递增，为外设多组数据(如 ADC_DATx)到内存数组的搬运。

如果配置 DMA_CCRx.CIRC=1，且 DMA_CCRx.RMODE=1，即循环多轮模式。一次 DMA 请求信

号进行触发，只进行一次数据搬运（如 UART 数据搬运至 RAM，完成一轮搬运等待下一次请求。在此模式下，DMA_CTMSx 可以配置为一个较大的值，每进行一次搬运 DMA_CTMSx 减 1。由于循环模式 DMA 进行多轮搬运不再产生中断标志，CPU 可以通过读取 DMA_CTMSx 来判断当前已经传输的数据量，如果已经足够则开始处理。当传输了 DMA_CTMSx 轮以后，地址会回到初始地址。DMA_CTMSx 会重新装载为预设值，开始新一轮的递减。循环多轮模式下，DMA 的通道使能 DMA_CCRx.EN 位由软件置位，一直为高，即使 DMA_CTMSx 递减至 0。如果要退出传输，可以软件清零 DMA_CCRx.EN。

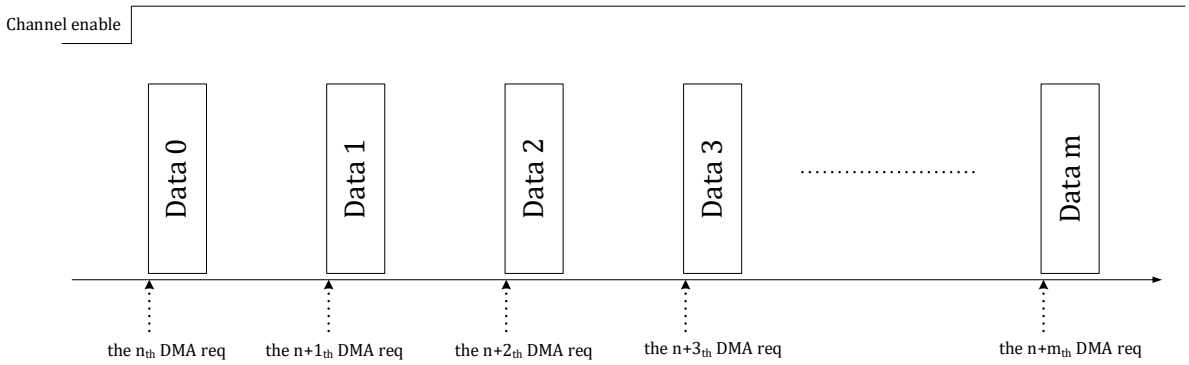


图 18-5 CIRC=1 且 RMODE=1 DMA 传输情况

如果配置 DMA_CCRx.CIRC=1，且 DMA_CCRx.RMODE=0，即循环单轮模式则 DMA 收到一次请求后会连续地进行 DMA_CTMSx 次数据搬运，并产生中断标志。在此模式下，DMA_CCRx.EN 无须软件置位，当 DMA 通道收到请求时会自动置位，传输完成一轮后自动清零。如果要退出此种模式，可以清零 DMA_CCRx.CIRC 位，并清零 DMA_CCRx.EN 位。

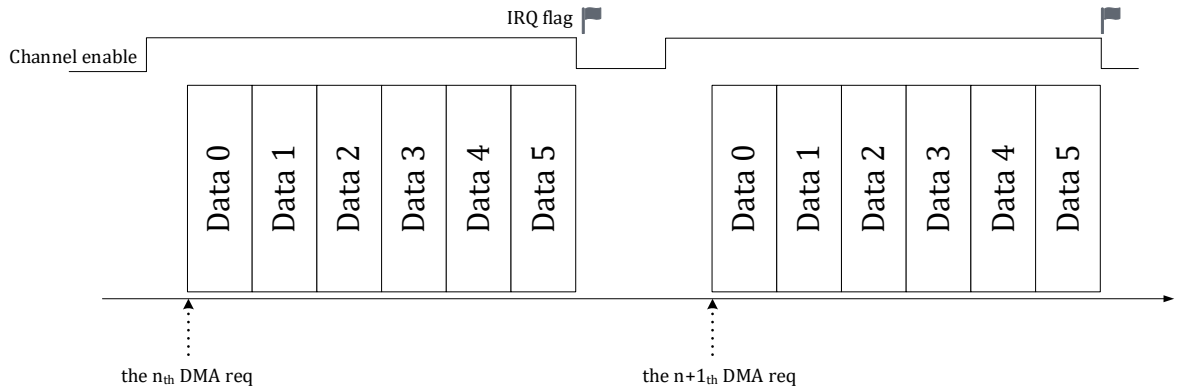


图 18-6 CIRC=1 且 RMODE=0 DMA 传输情况

循环模式下，DMA_CTMSx 寄存器随着搬运递减为 0 后重新装载为初始配置值。如果是搬运数据到内存，则覆盖之前搬运至内存的数据；如果是搬运至外设，则重复一轮数据发射。以将 ADC 数据搬运至内存为例，设定数据块大小为 16bit×12channel×8 次，则在循环模式下 DMA 完成一轮 96 个 half word 搬运后重新开始下一轮搬运，并覆盖之前使用的内存地址，不设置 DMA 完成中断标志位。单次模式下，DMA 完成一定大小的数据块搬运后即终止本次 DMA 操作，设置当前通道 DMA 完成中断标志位，同时硬件自动关闭对应的 DMA 通道，即硬件电路自动在该通道传输完成后将 DMA_CCRx.EN 设为 0。DMA 需要搬运的轮次由 DMA_CTMS 寄存器进行控制。

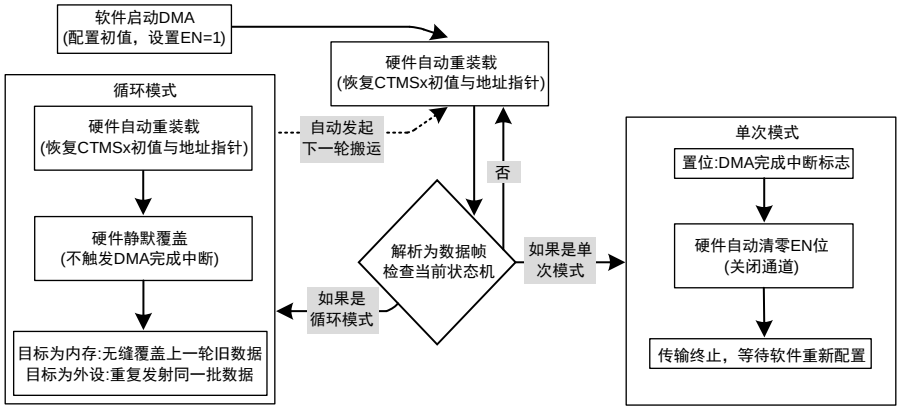


图 18-7 DMA 循环 / 单次传输模式硬件处理逻辑

18.2 请求

DMA 的请求分为软件请求和硬件请求两类，软件请求通过设置对应 DMA 通道的 DMA_RENx.SW_TRIG=1 来产生，写 1 即产生，软件触发位设置后需要软件清零。硬件请求通常为外设的中断事件，当特定的外设中断事件作为 DMA 传输请求时，通常要禁用对应事件的中断响应，即不再需要 CPU 对中断进行响应，响应仅作为 DMA 传输请求。而且硬件 DMA 请求信号经过 DMA 通道受理后会被 DMA 硬件清零，无需软件清除提起请求的外设中断标志。

表 18-1 DMA 请求

触发来源	描述
软件	软件触发时进行的搬运操作由配置寄存器 DMA_CCRx 指定，当设置了 DMA_RENx.SW_TRIG，一旦通道被使能即开始进行 DMA 操作。
ADC	ADC 在单段触发模式下，一次完成若干个通道后采样后产生中断请求，由 DMA 把 ADC 转换后的值搬运到 SRAM。ADC 单段采样完成中断事件作为 DMA 请求信号，请求信号在得到 DMA 响应后由 DMA 将其清零，无需软件清零；注意此时需要软件同时禁用 ADC 采样完成中断，使中断不再被 CPU 响应。
DSP	DSP IRQ 指令产生的中断事件标志可以作为 DMA 请求
TIMER	TIMER 可以使用过零/比较事件作为 DMA 请求，具体 DMA 操作根据配置寄存器设定，通常作为定时事件（如每隔 10ms 触发一次 DMA 操作）
SPI	SPI 模块可以使用接收缓冲区满事件作为 DMA 请求信号，由于 SPI 是同时收发，所以接收缓冲区满既是接收完毕也是发送完毕的事件标志。读取 SPI FIFO 自动清除事件标志。
MCPWM	MCPWM 模块可以使用过零/计数周期结束/4 个 ADC 触发信号作为 DMA 请求，具体 DMA 操作根据配置寄存器设定
I2C	I2C 模块可以使用 I2C0_SCR.BYTE_CMPLT 即字节发送完成作为触发 DMA 请求，DMA 自动清除 I2C 的请求标志。其他 I2C 中断事件仍由 CPU 响应
UART	串口模块可以使用 UART_IF 触发 DMA 请求，如果 DMA 配置的传输方向是内存到串口，则使用 UART 发送缓冲区空标志作为 DMA 请求信号；如果传输方向是串口到内存，则应使用 UART 接收完成事件产生 DMA 请求信号。事件标志由 DMA 自动清零。UART 在由 DMA 操作时应同样禁用相应中断防止被 CPU 响应。
HALL	HALL 中断标志可以作为 DMA 请求
SIF	SIF 中断标志可以作为 DMA 请求

比较器	CMP 中断标志可以作为 DMA 请求
GPIO	GPIO 中断标志可以作为 DMA 请求

18.3 优先级

DMA 的优先级采用固定优先级，优先级如图 18-8 所示。为避免出现来不及响应某些外设请求的情况，在设计应用软件时应考虑任务实时性，每个通道不配置搬运过于大量的数据导致其他通道得不到及时响应。

如图 18-8 所示，优先级由上至下降低。4 个 DMA 通道中，优先级关系为:通道 0>通道 1>通道 2>通道 3 (>号表示优先级高于)。在 DMA 各通道内部，通常有多个硬件请求事件和一个软件请求事件，硬件请求优先级高于软件请求。多个硬件请求事件优先级相同。通常，一个 DMA 通道配置一个硬件请求事件使能，多个硬件请求不应在一个通道内同时发生。

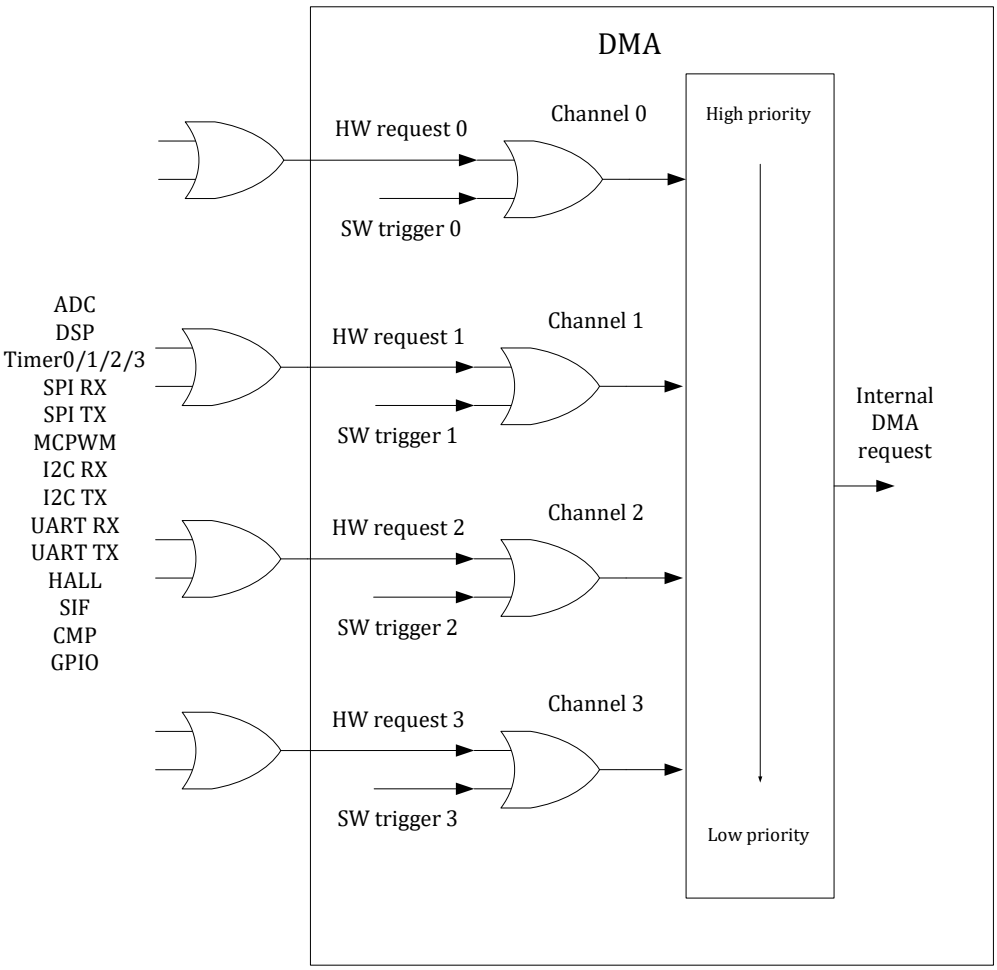


图 18-8 DMA 通道优先级

18.4 仲裁

当 DMA 处于空闲状态，或刚刚完成某一通道的 DMA 传输后，若此时恰好有一个或多个 DMA 请求发生，DMA 会根据优先级设定进行仲裁，优先级高的外设请求率先得到 DMA 服务。比如 ADC 连续模式下，每完成一轮 ADC 数据搬运，ADC 的采样完成事件标志被 DMA 清零，DMA 回到空闲状态或转而服务其他外设请求；对于 UART/SPI/I2C，每搬运一个 byte 重新仲裁。

为了避免 CPU 或 DMA 长期占用外设/SRAM，在外设/SRAM 的端口仲裁模块中加入了时间片机制，即一个主设备占用一段时间后释放访问权，仲裁模块观测另一个主设备是否在请求访问，如果是则转而允许另一个主设备访问，否则继续当前主设备未完成的访问。

18.5 中断

DMA 的一个通道完成 DMA 操作后产生 DMA 中断。当 DMA 某一个通道完成操作后，会自动关闭该通道的使能为 DMA_CCRx.EN。

18.6 寄存器

18.6.1 地址分配

DMA 控制器模块寄存器的基地址是 0x4001_1200，寄存器列表如下:

表 18-2 DMA 寄存器列表

名称	偏移地址	说明
DMA0_CCR0	0x00	DMA 通道 0 通道配置寄存器
DMA0_REN0	0x04	DMA 通道 0 请求使能寄存器
DMA0_CTMS0	0x08	DMA 通道 0 传输次数寄存器
DMA0_SADR0	0x0C	DMA 通道 0 源地址寄存器
DMA0_DADR0	0x10	DMA 通道 0 目的地址寄存器
DMA0_CCR1	0x20	DMA 通道 1 通道配置寄存器
DMA0_REN1	0x24	DMA 通道 1 请求使能寄存器
DMA0_CTMS1	0x28	DMA 通道 1 传输次数寄存器
DMA0_SADR1	0x2C	DMA 通道 1 源地址寄存器
DMA0_DADR1	0x30	DMA 通道 1 目的地址寄存器
DMA0_CCR2	0x40	DMA 通道 2 通道配置寄存器
DMA0_REN2	0x44	DMA 通道 2 请求使能寄存器
DMA0_CTMS2	0x48	DMA 通道 2 传输次数寄存器
DMA0_SADR2	0x4C	DMA 通道 2 源地址寄存器
DMA0_DADR2	0x50	DMA 通道 2 目的地址寄存器
DMA0_CCR3	0x60	DMA 通道 3 通道配置寄存器

DMA0_REN3	0x64	DMA 通道 3 请求使能寄存器
DMA0_CTMS3	0x68	DMA 通道 3 传输次数寄存器
DMA0_SADR3	0x6C	DMA 通道 3 源地址寄存器
DMA0_DADR3	0x70	DMA 通道 3 目的地址寄存器
DMA0_CTRL	0x80	DMA 控制寄存器
DMA0_IE	0x84	DMA 中断使能寄存器
DMA0_IF	0x88	DMA 中断标志寄存器

18.6.2 DMA 通道配置寄存器

18.6.2.1 DMA0_CCRx (x =0,1,2,3)

地址分别是:0x4001_1200，0x4001_1220，0x4001_1240，0x4001_1260

复位值:0x0

表 18-3 DMA 通道配置寄存器 DMA_CCRx

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				SBTW		DBTW			SINC		DINC	CIRC		RMODE	EN
				RW		RW			RW		RW	RW		RW	RW
				0		0			0		0	0		0	0

位置	位名称	说明
[31:12]		未使用
[11:10]	SBTW	源地址访问位宽 0: Byte 1: Halfword 2: Word 3: 保留
[9:8]	DBTW	目的地址访问位宽 0: Byte 1: Halfword 2: Word 3: 保留
[7]		未使用
[6]	SINC	源地址递增方式 0:不递增 1:每传输一次，地址按照 SBTW 对应大小递增 1/2/4
[5]		未使用
[4]	DINC	目的地址递增方式 0:不递增 1:每传输一次，地址按照 DBTW 对应大小递增 1/2/4

[3]	CIRC	循环模式，高有效
[2]		未使用
[1]	RMODE	0:单轮传输，一轮连续传输多次，每收到 DMA 请求传输一轮，一个 DMA 请求即传输完毕 1:多轮，每轮进行一次数据传输，每收到 DMA 请求传输一轮，多个 DMA 请求才传输完毕 不支持多轮×多次传输
[0]	EN	通道使能，高有效，软件置 1 开启通道进行 DMA 搬运操作，搬运完成后 DMA 硬件将此位清零

18.6.2.2 DMA0_RENx (x = 0,1,2,3)

地址分别是:0x4001_1204，0x4001_1224，0x4001_1244，0x4001_1264

复位值:0x0

表 18-4 DMA 请求使能寄存器 DMA_ RENx

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SW_TRIG		GPIO_TRIG			CMP_TRIG	SIF_TRIG	HALL0_TRIG			UART2_TX_TRIG	UART2_RX_TRIG	UART1_TX_TRIG	UART1_RX_TRIG	UART0_TX_TRIG	UART0_RX_TRIG
RW		RW			RW	RW	RW			RW	RW	RW	RW	RW	RW
0		0			0	0	0			0	0	0	0	0	0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I2C0_TX_TRIG	I2C0_RX_TRIG	MCPWM1_TRIG	MCPWM0_TRIG	SPI_TX_TRIG	SPI_RX_TRIG				TIMER2_TRIG	TIMER1_TRIG	TIMER0_TRIG	DSP_TRIG		ADC1_TRIG	ADC0_TRIG
RW	RW	RW	RW	RW	RW				RW	RW	RW	RW		RW	RW
0	0	0	0	0	0				0	0	0	0		0	0

位置	位名称	说明
[31]	SW_TRIG	软复位请求使能
[30]		保留
[29]	GPIO_TRIG	GPIO 请求使能
[28:27]		保留
[26]	CMP_TRIG	比较器请求使能
[25]	SIF_TRIG	SIF 模块请求使能
[24]	HALL0_TRIG	HALL0 模块请求使能
[23:22]		保留
[21]	UART2_TX_TRIG	UART2 发送请求使能
[20]	UART2_RX_TRIG	UART2 接收请求使能
[19]	UART1_TX_TRIG	UART1 发送请求使能

[18]	UART1_RX_TRIG	UART1 接收请求使能
[17]	UART0_TX_TRIG	UART0 发送请求使能
[16]	UART0_RX_TRIG	UART0 接收请求使能
[15]	I2C0_TX_TRIG	I2C0 发送请求使能
[14]	I2C0_RX_TRIG	I2C0 接收请求使能
[13]	MCPWM1_TRIG	MCPWM1 请求使能
[12]	MCPWM0_TRIG	MCPWM0 请求使能
[11]	SPI_TX_TRIG	SPI 发送请求使能
[10]	SPI_RX_TRIG	SPI 接收请求使能
[9:7]		保留
[6]	TIMER2_TRIG	TIMER2 请求使能
[5]	TIMER1_TRIG	TIMER1 请求使能
[4]	TIMER0_TRIG	TIMER0 请求使能
[3]	DSP_TRIG	DSP 请求使能
[2]		保留
[1]	ADC1_TRIG	ADC1 请求使能
[0]	ADC0_TRIG	ADC0 请求使能

一般，DMA 的通道中配置的内存、外设地址应与使能的外设中断请求相对应，这一点需要由应用软件保证。其中软件请求始终处于使能状态，即软件向 DMA_RENx.SW_TRIG 写 1 即开始一次 DMA 传输。来自外设的硬件请求进入 DMA 后通过 OR 逻辑形成一个请求信号，每一个 DMA 通道一般在同一时间只使能一个硬件 DMA 请求。软件触发标志 DMA_RENx.SW_TRIG 在请求被 DMA 受理后由硬件自动清除。

由于 CMP 信号可能是一个慢速的电平信号，在使用 CMP 触发 DMA 时，推荐将中断触发类型选择为边沿触发。

DMA_RENx 寄存器可以在 DMA 通道使能的情况下改写。

18.6.2.3 DMA0_CTMSx (x = 0,1,2,3)

地址分别是:0x4001_1208，0x4001_1228，0x4001_1248，0x4001_1268

复位值:0x0

表 18-5 DMA 传输次数寄存器 DMA_CTMS0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								TMS							
								RW							
								0							

位置	位名称	说明
[11:0]	TMS	DMA 通道 0 数据搬运次数。此寄存器在该通道使能后变为只读。

注意:

x=0，3 时，TMS[11:0]可配;

x=1，2 时，仅 TMS[7:0]可配。

DMA 通道 0/3 支持最大搬运次数为 4095 次，所以 DMA_CTMS0/ DMA_CTMS3 的位宽为 12。

DMA 通道 1/2 支持最大搬运次数为 255 次，所以 DMA_CTMS1/ DMA_CTMS2 的位宽为 8。

DMA_CTMSx 寄存器只有在通道禁用，即 DMA_CCRx.EN=0 之后才可以写入数据。

当 DMA_CCRx.RMODE=0 时，表示传输 1 轮，每轮传输 DMA_CTMS 次数据；

当 DMA_CCRx.RMODE=1 时，表示传输 DMA_CTMS 轮，每轮传输一次数据；

不支持多轮每轮传输多次数据。

当 DMA_CTRL=1 时，对 DMA_CTMSx 写入数据可以清零 DMA 内部传输轮数的计数值。

以外设数据宽度为 16，内存数据宽度为 32，即 DMA_CTMSx=16，DMA_CCRx.RMODE=0 为例，DMA 每轮需要读取外设数据 16bit=2byte，写入内存数据 32bit=4byte。一共需要搬运 16 轮，即读取外设 32byte，存入内存 64byte；

即使仅仅搬运一轮，也需要设置 CTMS=1，而不能让其为 0。

如果配置 DMA_CCRx.CIRC=1，且 DMA_CCRx.RMODE=1，即循环多轮模式。一次 DMA 请求信号进行触发，只进行一次数据搬运，如 UART 数据搬运至 RAM，完成一轮搬运等待下一次请求。在此模式下，DMA_CTMSx 可以配置为一个较大的值，每进行一次搬运 DMA_CTMSx 减 1。此时，DMA_CTMSx 读出为当前剩余未搬运轮数，当 DMA 传输完成后轮数会复位为配置值。举例来说，比如配置 DMA_CTMSx=4，读取时可能看到 DMA_CTMSx 由 4 开始递减，3,2,1...之后又变为 0。当 DMA 当前通道需要重新进行 4 轮传输时，需要重新向 DMA_CTMSx 写入轮数值。

如果配置 DMA_CCRx.CIRC=1，DMA_CCRx.RMODE=0 时，即单轮循环模式。DMA 收到一次请求后会连续地进行 DMA_CTMSx 次数据搬运，并产生中断标志。DMA_CTMSx 读出为当前这一轮剩余未搬运次数。但由于一轮内的数据是被 DMA 连续搬运的，所以软件读出的 DMA_CTMSx 会迅速变化。

注意，每次重新开启 DMA 通道前，都要重新配置 DMA_CTMSx 寄存器，已经在上一次传输中 DMA_CTMSx 寄存器已经递减为 0。

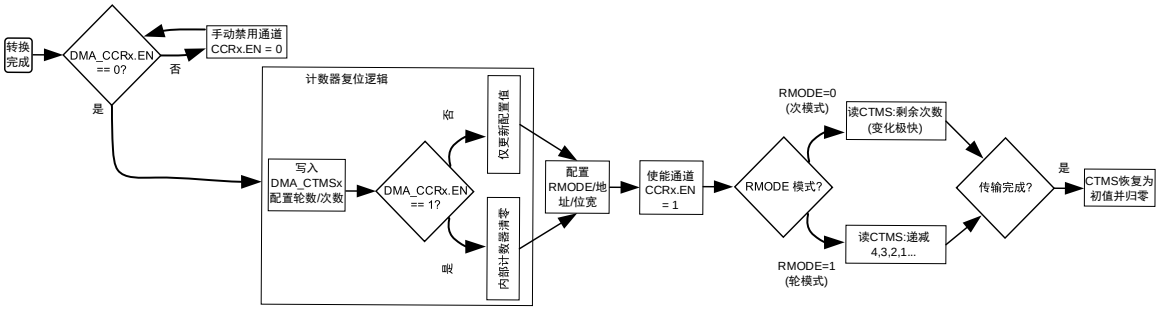


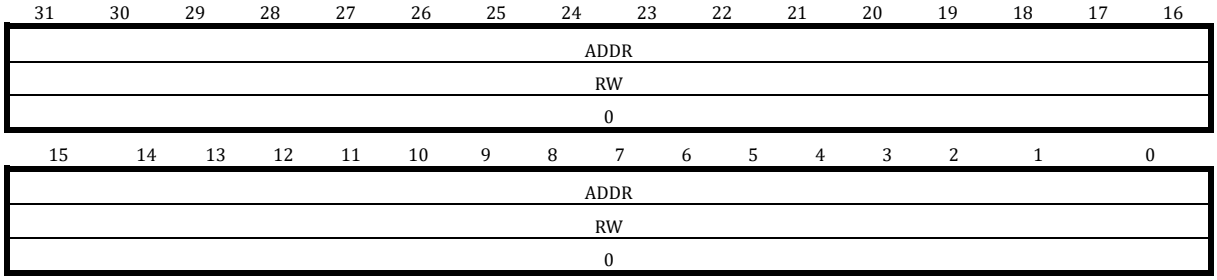
图 18-9 DMA 操作逻辑流程图

18.6.2.4 DMA0_SADRx (x = 0,1,2,3)

地址分别是:0x4001_120C，0x4001_122C，0x4001_124C，0x4001_126C

复位值:0x0

表 18-12 DMA 源地址寄存器 DMA_ SADRx



位置	位名称	说明
[31:0]	ADDR	DMA 通道 x 源地址

当 DMA_CCRx.SBTW=2'b01 时，即配置为以 16bit 为单位搬运源数据。DMA_SADRx.ADDR[0]值无效，外设地址会以 2 为单位递增。

当 DMA_CCRx.SBTW=2'b10 时，即配置为以 32bit 为单位搬运外设数据。DMA_SADRx.ADDR[1:0]值无效，外设地址会以 4 为单位递增。

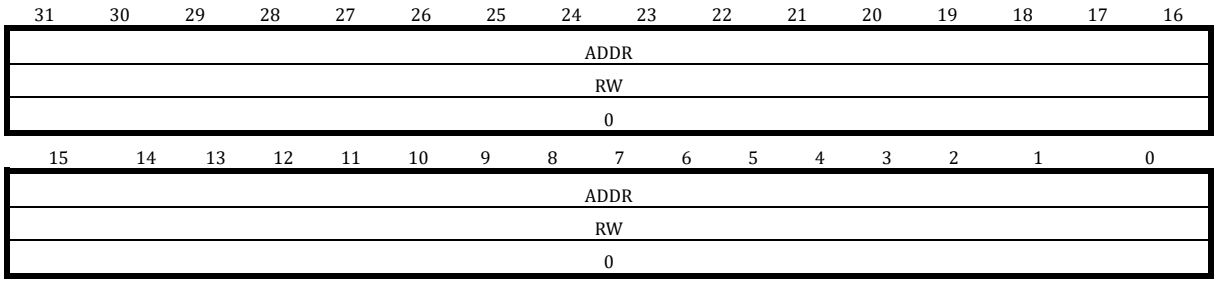
注意:DMA_SADRx 寄存器只有在通道禁用，即 DMA_CCRx.EN=0 之后才可以写入数据！！！

18.6.2.5 DMA0_DADRx (x = 0,1,2,3)

地址分别是:0x4001_1210，0x4001_1230，0x4001_1250，0x4001_1270

复位值:0x0

表 18-13 DMA 目的地址寄存器 DMA_DADRx



位置	位名称	说明
[31:0]	ADDR	DMA 通道 x 目的地址

当 DMA_CCRx.DBTW=2'b01 时，即配置为以 16bit 为单位搬运内存数据。DADRx. ADDR[0]值无效，内存地址会以 2 为单位递增。

当 DMA_CCRx.DBTW=2'b10 时，即配置为以 32bit 为单位搬运内存数据。DADRx. ADDR[1:0]值无效，内存地址会以 4 为单位递增。

注意:DMA_DADRx 寄存器只有在通道禁用，即 DMA_CCRx.EN=0 之后才可以写入数据！！！

18.6.3 DMA0_CTRL DMA 控制寄存器

地址:0x4001_1280

复位值:0x0

表 18-6 DMA 控制寄存器 DMA_CTRL

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															EN
															RW
															0

位置	位名称	说明
[31:1]		未使用
[0]	EN	DMA 整体使能

18.6.4 DMA0_IE DMA 中断使能寄存器

地址:0x4001_1284

复位值:0x0

表 18-7 DMA 中断使能寄存器 DMA_IE

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												CH3_FIE	CH2_FIE	CH1_FIE	CH0_FIE
												RW	RW	RW	RW
												0	0	0	0

位置	位名称	说明
[31:4]		未使用
[3]	CH3_FIE	通道 3 完成中断使能
[2]	CH2_FIE	通道 2 完成中断使能
[1]	CH1_FIE	通道 1 完成中断使能
[0]	CH0_FIE	通道 0 完成中断使能

18.6.5 DMA0_IF DMA 中断标志寄存器

地址:0x4001_1288

复位值:0x0

表 18-8 DMA 中断标志寄存器 DMA_IF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

	CH3_FIF	CH2_FIF	CH1_FIF	CH0_FIF
	RW1C	RW1C	RW1C	RW1C
	0	0	0	0

位置	位名称	说明
[31:4]		未使用
[3]	CH3_FIF	通道 3 完成中断标志，高有效，写 1 清零
[2]	CH2_FIF	通道 2 完成中断标志，高有效，写 1 清零
[1]	CH1_FIF	通道 1 完成中断标志，高有效，写 1 清零
[0]	CH0_FIF	通道 0 完成中断标志，高有效，写 1 清零

当发生特定事件时，即使中断使能位 IE=0，对应的 IF 仍会置位，但不会向处理器提起中断服务请求。

19 DSP 数字信号协处理器

19.1 概述

除法的被除数和商位宽均为 32 位有符号数，除数和余数为 32 位有符号数。

被开方数为 32 位无符号数，平方根为 16 位无符号数。

除法指令需要 12 个总线周期（96MHz）完成。

开方指令需要 8 个总线周期（96MHz）完成。

除法除数为 0 时，无论被除数是任何值，商恒为 0，余数为被除数。

当被除数为 0x8000_0000，除数为-1 时，商超出了 32bit 有符号数的表示范围，饱和为 0x7fff_ffff。

表 19-1 除法特殊操作数情况表

被除数 DSP0_DID		除数 DSP0_DIS		商 DSP0_QUO		余数 DSP0_REM	
HEX	DEC	HEX	DEC	HEX	DEC	HEX	DEC
0x7FFF_FFFF	2^{31}-1	0x8000_0000	-2^{31}	0x0	0	0x7FFF_FFFF	2^{31}-1
0x7FFF_FFFF	2^{31}-1	0x7FFF_FFFF	2^{31}-1	0x1	1	0x0	0
0x8000_0000	-2^{31}	0x7FFF_FFFF	2^{31}-1	0xFFFF_FFFF	-1	0xFFFF_FFFF	-1
0x8000_0000	-2^{31}	0x8000_0000	-2^{31}	0x1	1	0x0	0
0x8000_0000	-2^{31}	0xFFFF_FFFF	-1	0x7FFF_FFFF	2^{31}-1	0x0	0
0x7FFF_FFFF	2^{31}-1	0xFFFF_FFFF	-1	0x8000_0001	1-2^{31}	0x0	0
0x1234	4660	0x0	0	0x0	0	0x1234	4660
-0x1234	-4660	0x0	0	0x0	0	-0x1234	-4660

当 CPU 需要使用 DSP 除法器时，先向 DSP 写入被除数，后写入除数；写入除数可以触发一次除法操作，32/32 位除法需要 12 周期完成，期间读取除法结果 DSP0_QUO/ DSP0_QUO1/DSP0_REM 会导致软件等待除法计算完成后读回计算结果。若在除法器运算期间再次写入 DSP0_DIS1/ DSP0_DIS 则除法器会先完成前一次的运算，在此期间，软件等待除法器完成前一次的运算，然后才写入新的除数与被除数，旧的结果会被覆盖掉。

19.1.1 除法器的重入

除法器可保留两组计算结果，第 0 组和第 1 组，允许两个不同优先级的中断或一个中断和主函数调用，即可以重入一次。软件上约定，一般优先级高的中断使用第 0 组，优先级低的中断使用第 1 组，即允许第 1 组的运算被第 0 组中断/打断，如果出现第 0 组被第 1 组打断，则除法器计算完成保留的第 1 组的结果，第 0 组的结果会被覆盖掉。例如，中断 0 和中断 1 都会占用除法器进行除法运算，那么中断 0 调用除法器输入被除数 DSP0_DID 与除数 DSP0_DIS 所得到的商和余数分别保存在寄存器 DSP0_QUO 和 DSP0_REM 中，中断 1 调用除法器输入被除数 DSP0_DID1 与除数 DSP0_DIS1 所得到的商保存在寄存器 DSP0_QUO1 中。

除法器的运算模块只有一个，允许优先级高的中断会优先利用除法器的第 0 组寄存器进行除法运算。例如，假设中断 0 的优先级高于中断 1 的优先级。

当中断 1 先发生，软件在中断 1 中写入被除数 DSP0_DID1 之后，尚未写入除数 DIS1 时，中断 0 发生了。此时中断 0 会写入被除数 DSP0_DID 以及除数 DSP0_DIS，触发除法器进行除法操作。等待除法操作完成之后除法器将商和余数分别保存到寄存器 DSP0_QUO 和 DSP0_REM 中，第 0 组除法运算的结果需要在中断 0 中完成软件读回，否则当软件从中断 0 返回后结果可能会被后续除法运算覆盖。当软件回到中断 1 后，再继续写入除数 DSP0_DIS1，除法器完成第 1 组对应的除法运算，计算结果保存到寄存器 DSP0_QUO1 中。

若是中断 0 发生在中断 1 输入完除数 DSP0_DIS1 之后，此时除法器已经开始除法操作了，那么中断 0 对应的被除数会先写入到寄存器 DSP0_DID 中，而除数 DSP0_DIS 则会等到除法器完成中断 1 对应的除法操作后才输入到除法器中，同时触发除法器的第二次除法操作。具体如示意图 19-1 和图 19-2，图中的 Div0 和 Div1 分别对应的是中断 0 和中断 1 对应的除法操作。

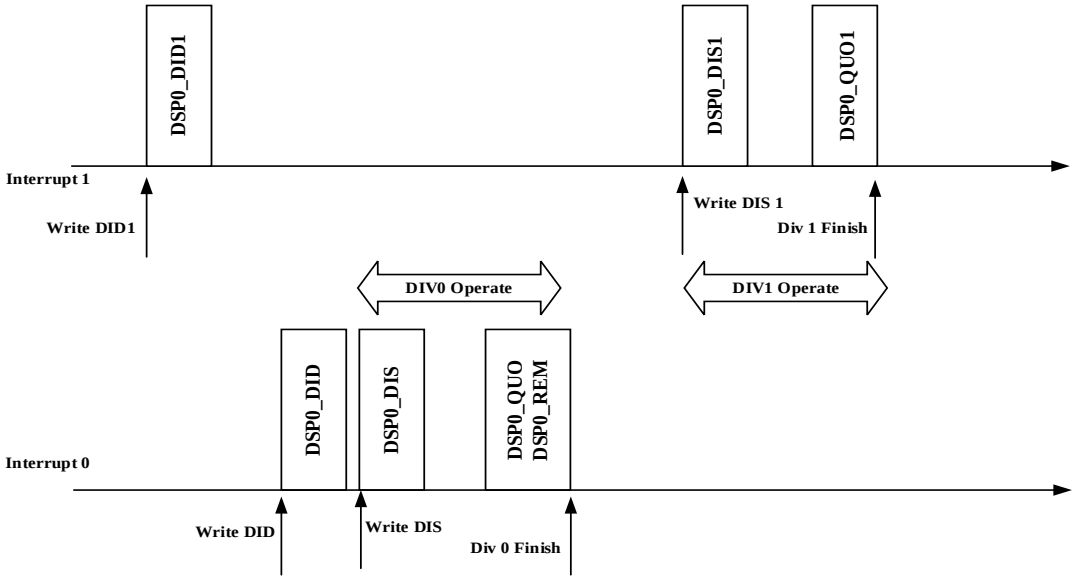


图 19-1 中断 0 写入除数发生在中断 1 写入除数之前

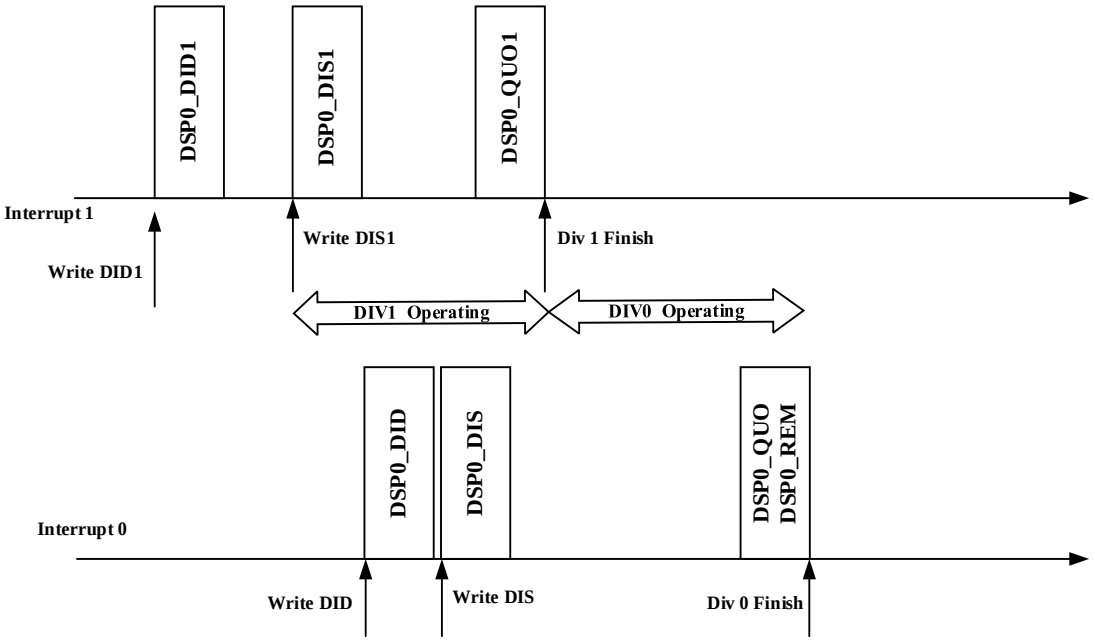


图 19-2 中断 0 写入除数发生在中断 1 写入除数之后

19.2 寄存器

19.2.1 地址分配

数字信号协处理器寄存器在芯片中的基地址是 0x4001_2000。

表 19-2 协处理器寄存器列表

名称	偏移	说明
DSP0_DID	0x20	DSP 除法操作被除数，中断优先级高
DSP0_DIS	0x24	DSP 除法操作除数，中断优先级高
DSP0_QUO	0x28	DSP 除法操作商，中断优先级高
DSP0_REM	0x2C	DSP 除法操作余数
DSP0_DID1	0x30	DSP 除法操作被除数，中断优先级低
DSP0_DIS1	0x34	DSP 除法操作除数，中断优先级低
DSP0_QUO1	0x38	DSP 除法操作商，中断优先级低
DSP0_RAD	0x40	协处理器 开方操作被开方数

DSP0_SQRT	0x44	协处理器 开方操作平方根

19.2.2 **DSP 除法相关寄存器**

19.2.2.1 DSP0_DID

地址:0x4001_2020

复位值:0x0

表 19-3 DSP 除法被除数寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DID															
RW															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DID															
RW															
0															

位置	位名称	说明
[31:0]	DID	DSP 除法被除数寄存器，中断优先级高

19.2.2.2 DSP0_DIS

地址:0x4001_2024

复位值:0x0

表 19-4 DSP 除法除数寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DIS															
RW															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIS															
RW															
0															

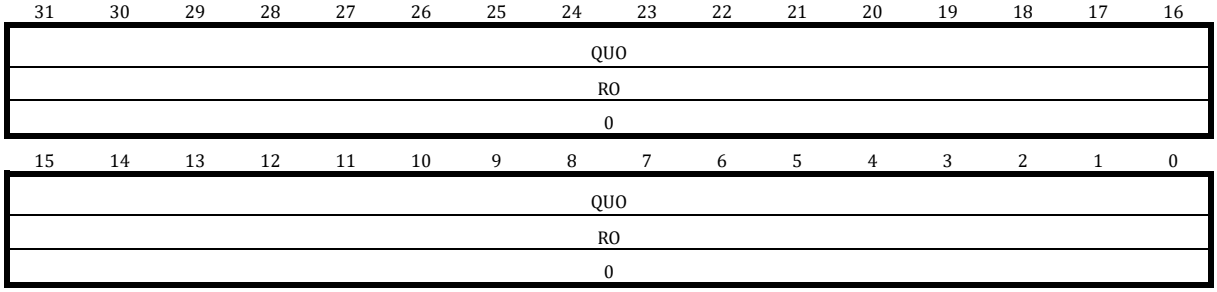
位置	位名称	说明
[31:0]	DIS	DSP 除法除数寄存器，中断优先级高

19.2.2.3 DSP0_QUO

地址:0x4001_2028

复位值:0x0

表 19-5 DSP 除法商寄存器



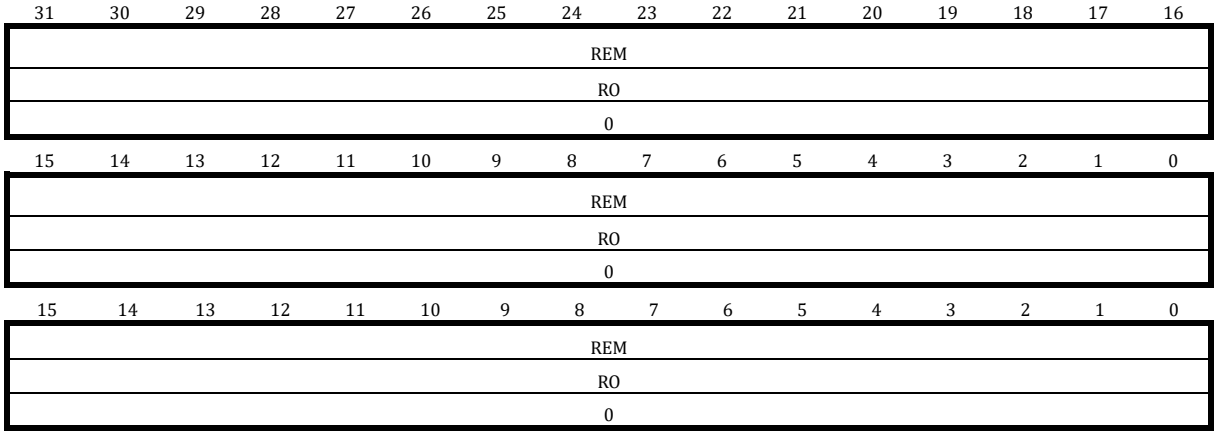
位置	位名称	说明
[31:0]	QUO	DSP 商寄存器，中断优先级高

19.2.2.4 DSP0_REM

地址:0x4001_202C

复位值:0x0

表 19-6 DSP 除法余数寄存器



位置	权限	说明
[31:0]	REM	DSP 除法余数寄存器

19.2.2.5 DSP0_DID1

地址:0x4001_2030

复位值:0x0

表 19-7 DSP 除法被除数寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DID1															
RW															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DID1															
RW															
0															

位置	位名称	说明
[31:0]	DID1	DSP 除法被除数寄存器，中断优先级低

19.2.2.6 DSP0_DIS1

地址:0x4001_2034

复位值:0x0

表 19-8 DSP 除法除数寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DIS1															
RW															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIS1															
RW															
0															

位置	位名称	说明
[31:0]	DIS1	DSP 除法除数寄存器，中断优先级低

19.2.2.7 DSP0_QUO1

地址:0x4001_2038

复位值:0x0

表 19-9 DSP 除法商寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
QUO1															
RO															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
QUO1															
RO															

0

位置	位名称	说明
[31:0]	QUO1	DSP 商寄存器，中断优先级低

19.2.3 开方相关寄存器

19.2.3.1 DSP0_RAD

地址:0x4001_2040

复位值:0x0

表 19-10 协处理器被开方数寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RAD															
RW															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RAD															
RW															
0															

位置	位名称	说明
[31:0]	RAD	协处理器被开方数寄存器

19.2.3.2 DSP0_SQRT

地址:0x4001_2044

复位值:0x0

表 19-11 协处理器平方根寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQRT															
RO															
0															

位置	位名称	说明
[31:16]		保留，读出时恒为 0
[15:0]	SQRT	协处理器平方根寄存器

向协处理器写入被开方数；写入被开方数可以触发一次开方操作，32 位开方需要 8 周期完成，期间读取开方结果 DSP_SQRT 会使 MCU 进入等待状态，等待开方计算完成并通过总线返回计算结

果。

20 IWDG 独立看门狗

20.1 概述

独立看门狗使用 32kHz 低速 RC(LRC/LSI)时钟进行工作，在系统主时钟停止的情况下仍可保证正常工作。

独立看门狗内部包含一个 21bit 递减计数器，启动后从配置值开始递减计数。独立看门狗可以配置产生系统休眠唤醒源，作为定时唤醒源。在超时情况下也可以产生全芯片复位信号。当 MCU 进入深度休眠状态时，包括 PLL/HRC 在内的系统时钟关闭，而 LRC 时钟是一直存在的，所以独立看门狗可以继续正常工作。

通常看门狗的定时唤醒门限值小于超时复位门限值，但大于 0x8，即独立看门狗重新装载后从 IWDG_RTH 开始递减计数，当计数到 IWDG_WTH 时产生唤醒信号。通常如果要使用 IWDG 进行休眠定时唤醒，在进入休眠前将 IWDG 刷新重置，IWDG 从 IWDG_RTH 开始递减计数，在经过一段时间后产生 IWDG 唤醒信号。如果不使能 IWDG 休眠定时唤醒，当 IWDG 产生全芯片复位时也可以将芯片从休眠中解除，但同时会复位 MCU 所有寄存器配置。

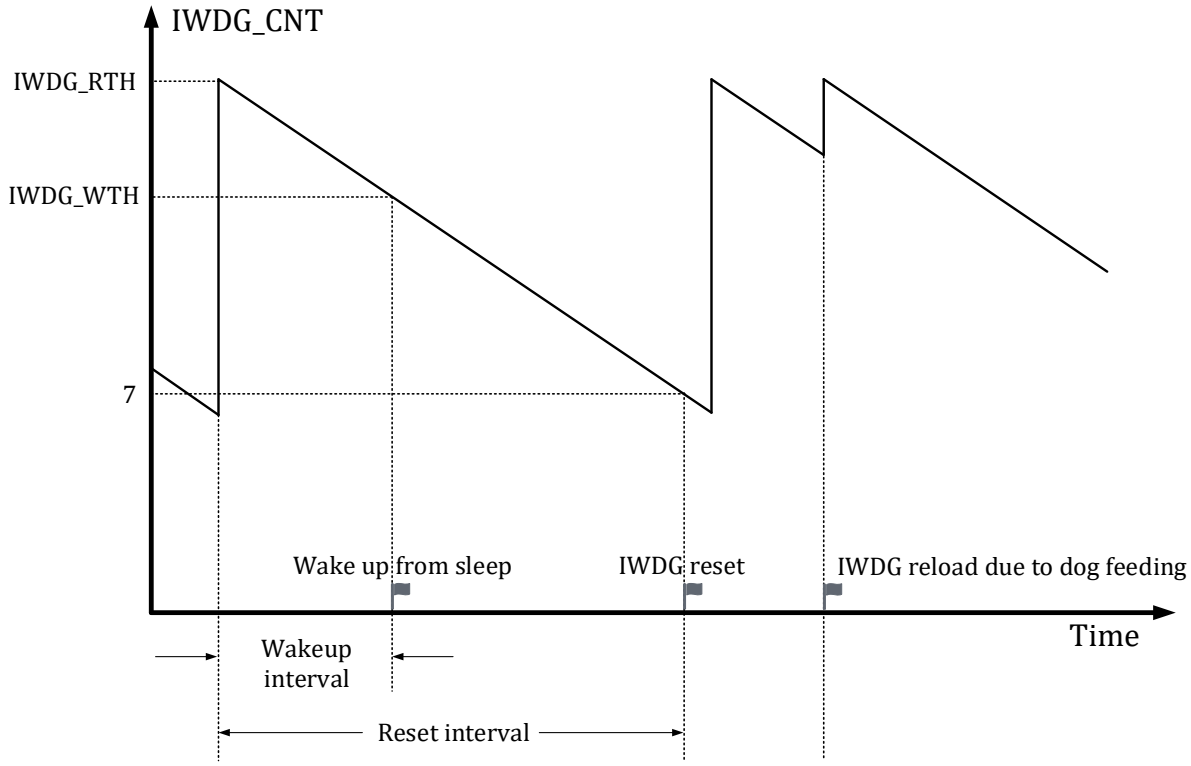


图 20-1 IWDG 递减计数事件发生示例

独立看门狗超时复位时间由如下公式计算

$Timeout_{IWDG}=t_{LRC}\times(IWDG\_RTH-7)$

独立看门狗唤醒时间由如下公式计算

$Wakeup_{IWDG}=t_{LRC}\times(IWDG\_RTH-IWDG\_WTH)$

其中 $Timeout_{IWDG}$ 为独立看门狗超时复位时间，$Wakeup_{IWDG}$ 为独立看门狗唤醒时间，t_{LRC} 为 LRC 时钟周期，1/32kHz=31.25uS，IWDG_RTH 为独立看门狗超时复位门限值，IWDG_WTH 为独立看门狗唤醒门限值。

IWDG_RTH=0x000100 对应独立看门狗最小复位时间间隔为 256/32kHz≈8ms。

IWDG_RTH=0x1FF000 对应独立看门狗最大复位时间间隔为 511×4096/32kHz≈64s。

需要注意，由于低速 RC 时钟精度有限，不同芯片存在一定偏差，通常低速 RC 时钟偏差在全温度范围内不超过±20%。

由于 IWDG 的计数器工作于 LRC 时钟域，而软件运行于系统主时钟域，通常为 PLL 时钟。软件在写入 IWDG_RTH 或写入 IWDG_CLR 进行喂狗时，从软件进行写入到看门狗计数器被重置，需要最多 3 个 LRC 时钟周期。

因此如果软件需要在喂狗后读取 IWDG_CNT，至少需要延时 3 个 LRC 时钟周期，读取 IWDG_CNT 才会发现计数器被重置。

软件写入修改 IWDG_RTH/IWDG_WTH/IWDG_CFG/IWDG_PSW 等寄存器，写入立即生效，无须等待。只有 IWDG_CNT 的重置会延时生效。

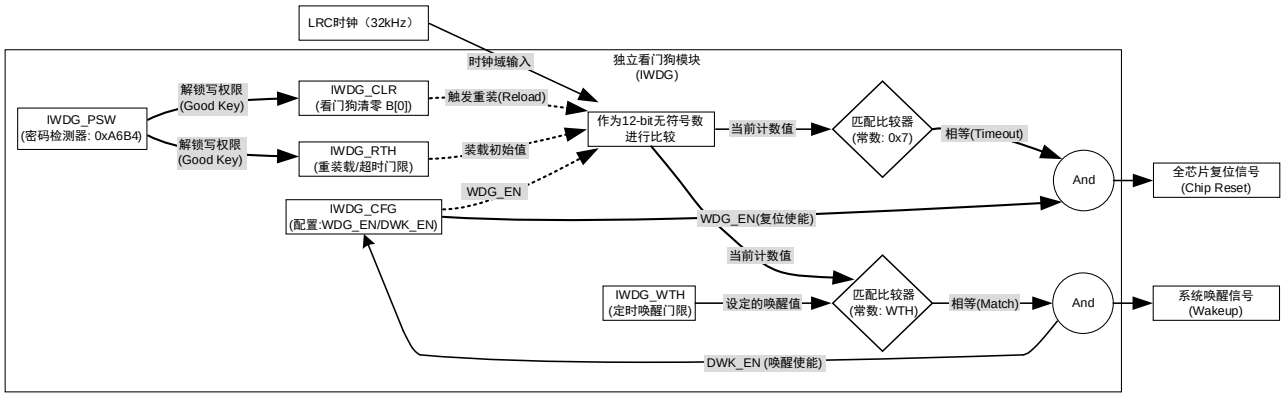


图 20-2IWDG 工作原理和信号流向

20.2 寄存器

20.2.1 地址分配

IWDG 基地址为 0x40011700

表 20-1 独立看门狗寄存器

名称	偏移	说明
IWDG_PSW	0x00	独立看门狗密码寄存器
IWDG_CFG	0x04	独立看门狗配置寄存器
IWDG_CLR	0x08	独立看门狗清零寄存器
IWDG_WTH	0x0C	独立看门狗计数器定时唤醒门限值寄存器
IWDG_RTH	0x10	独立看门狗计数器超时复位门限值寄存器
IWDG_CNT	0x14	独立看门狗计数器当前计数值寄存器

20.2.2 IWDG_PSW 独立看门狗密码寄存器

地址:0x4001_1700

复位值:0x0

表 20-2 IWDG_PSW 独立看门狗密码寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSW															
WO															
0															

位置	位名称	说明
[31:16]		未使用
[15:0]	PSW	写入 0xA6B4，才能对 IWDG_CLR/ IWDG_RTH 等进行写操作，对 IWDG_CLR 或 IWDG_RTH 的写操作会将密码清空，因此每次对看门狗 IWDG_CLR/ IWDG_RTH 寄存器进行写操作前都需要重新写入密码

20.2.3 IWDG_CFG 独立看门狗配置寄存器

地址:0x4001_1704

复位值:0x0001

表 20-3 IWDG_CFG 独立看门狗配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											DWK_EN				WDG_EN
											RW				RW
											0				1

位置	位名称	说明
[31:5]		未使用
[4]	DWK_EN	深度休眠定时唤醒使能，0:禁用，1:使能
[3:1]		未使用
[0]	WDG_EN	独立看门狗使能，0:禁用，1:使能。默认使能，写 1 置位，写 0 同时向[15:8]写入 0x3C 可清零。当看门狗被禁用时，不再产生复位信号，但仍可计数并产生定时唤醒信号

IWDG_CFG 的写入无需向 IWDG_PSW 写入密码。

20.2.4 IWDG_CLR 独立看门狗清零寄存器

地址:0x4001_1708

复位值:0x0

表 20-4 IWDG_CLR 看门狗清零寄存器

位置	位名称	说明
[31:16]		未使用
[15:0]	CLR	写入字节 16'b0111_1001_1000_110B_0，高 15 位为密码，密码正确时，B[0]才能写入 B[0]写入 1，则重置 WDT 计数器为 TH，且该 bit 写入后自动清零，写入 0 无效

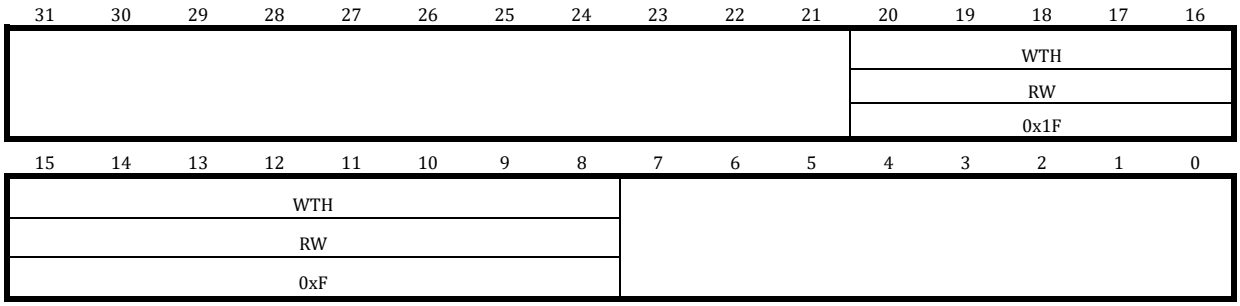
CLR 的写入需要先向 IWDG_PSW 写入密码。

20.2.5 IWDG_WTH 独立看门狗定时唤醒门限寄存器

地址:0x4001_170C

复位值:0x001FFF00

表 20-5 IWDG_WTH 独立看门狗超时复位门限寄存器



位置	位名称	说明
[31:21]		未使用
[20:8]	WTH	看门狗定时唤醒门限值，看门狗使用 32kHz LRC 时钟从 IWDG_RTH 开始计数，递减计数至 WTH 产生唤醒信号。
[7:0]		恒为 0

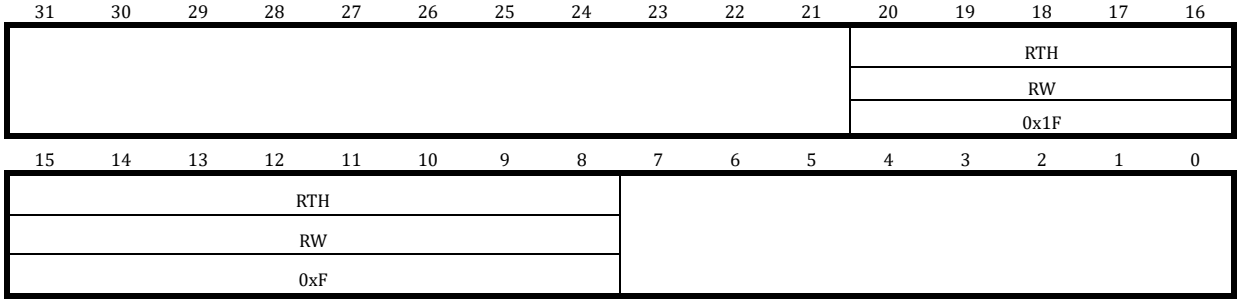
WTH 的写入无需向 IWDG_PSW 写入密码。

20.2.6 IWDG_RTH 独立看门狗超时复位门限寄存器

地址:0x4001_1710

复位值:0x001FFF00

表 20-6 IWDG_RTH 独立看门狗超时复位门限寄存器



位置	位名称	说明
[31:21]		未使用
[20:8]	RTH	看门狗超时复位门限值，也是重新装载值。看门狗使用 32kHz LRC 时钟从 RTH 开始计数，计数至 0x7 产生复位。向该寄存器写入 0x0，会被硬件强制改写为 0x100。先向 IWDG_PSW 写入正确密码才能改写 IWDG_RTH 寄存器。改写 RTH 同样具有重置看门狗计数器的作用，看门狗会从新的 IWDG_RTH 开始计数。
[7:0]		恒为 0

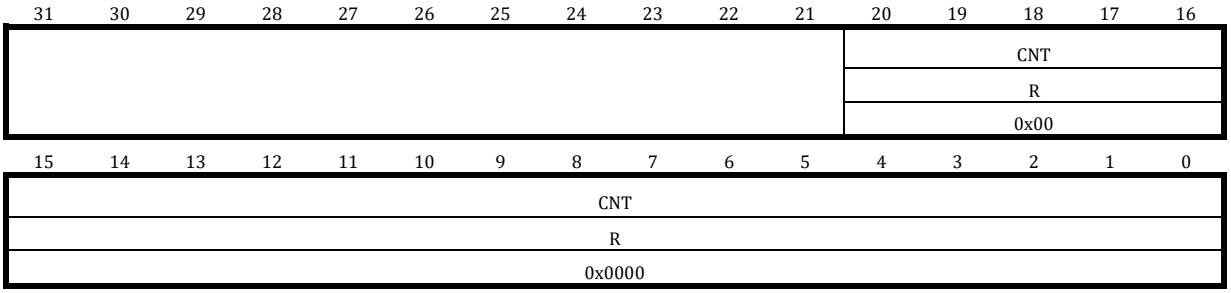
为防止 RTH 被写入为 0，当软件写入值为全 0 时，硬件会强制改写为 0x100，且寄存器低 8 位恒为 0。RTG 的写入需要向 IWDG_PSW 写入密码。

20.2.7 IWDG_CNT 独立看门狗当前计数值寄存器

地址:0x4001_1714

复位值:0x0000_0000

表 20-7 IWDG_CNT 独立看门狗当前计数值寄存器



位置	位名称	说明
[31:21]		未使用
[20:0]	CNT	看门狗当前计数值，此数值≤IWDG_TH

21 PMU 功耗管理模块

芯片可以通过降低运行时钟频率，关闭部分电路时钟来达到降低功耗的目的。

21.1 外设时钟门控

外设时钟由系统高速时钟 MCLK 经过门控或分频而来；当外设不需要使用时可以通过配置 SYS_CLK_FEN 寄存器关闭相应的外设时钟。对于每一个外设的工作时钟，均有一个时钟门控，详见 6.3.8。外设时钟上电后默认是关闭的，使用相应外设模块之前需要由软件来开启。

21.2 外设时钟分频

部分外设有独立的时钟分频模块使得该模块可以工作在合适的较低的的时钟频率上。

其中 I2C 使用 SYS_CLK_DIV0 作为分频系数，UART 使用 SYS_CLK_DIV2 作为分频系数，详见 6.3.3 和 6.3.6。UART 的波特率在 UART 模块内部还有一个额外的分频器。

21.3 低功耗模式

表 21-1 低功耗模式汇总

模式	模式进入	模式退出	PLL/HSI	LSI
休眠 Sleep	WFI/WFE	任意中断 Debug 操作 外部复位 IWDG 复位	PLL/HSI On，CPU 时钟 Off，NVIC/外设时钟 On	On
深度休眠 Deep Sleep	SLEEPDEEP + WFI/WFE	IWDG 定时唤醒 IO 唤醒 Debug 操作 外部复位 IWDG 复位	PLL/HSI Off，CPU/外设时钟 Off	

21.4 Sleep Mode 休眠模式

休眠模式下，CPU 时钟被关闭，但 NVIC 模块仍继续工作，所有的外设模块以及 IO 正常工作。

休眠模式对电路供电没有影响，所有寄存器状态和存储器数据在休眠过程中保持正常供电。

21.4.1 模式进入

休眠模式可以通过执行 WFI/WFE 指令进入。根据 CPU 内核 SLEEPONEXIT 位的设置情况，休眠模式的进入有两种不同方式。

Sleep-now:如果 SLEEPONEXIT 为 0，则 CPU 在执行 WFI/WFE 指令后立即进入休眠模式

Sleep-on-exit:如果设置 SLEEPONEXIT 为 1，CPU 在处理完所有中断后进入休眠模式

21.4.2 模式退出

如果使用 WFI 进入休眠，则任意中断可唤醒 CPU。

如果使用 WFE 进入休眠，则外设中断标志或 IO 唤醒事件可作为唤醒事件。当使用外设中断标志作为唤醒事件时，外设向 CPU 提起中断信号，但 NVIC 中并不使能对应中断，且需要设置 SEVONPEND 为 1。唤醒后外设中断标志以及 NVIC 中断 pending 位需要被软件清除。

使用此种方式进行休眠唤醒可以获得最短唤醒时间，因为不涉及中断的进入退出。

Debug 操作可以将芯片从休眠模式中唤醒。

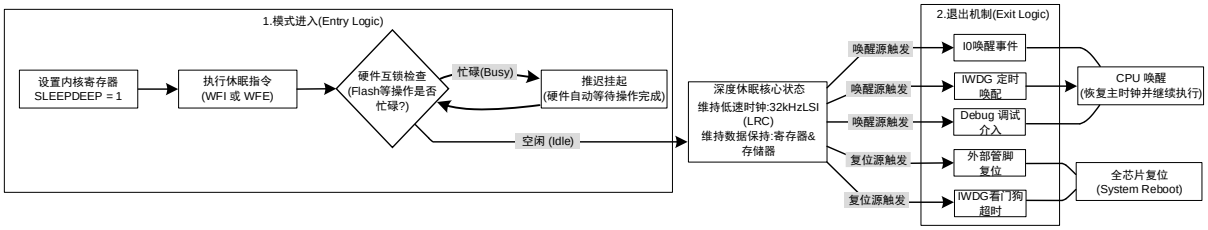


图 21-1 窗口看门狗计数及刷新机制深度休眠模式进入与退出流程

21.5 Deep Sleep Mode 深度休眠模式

深度休眠模式通常会关闭所有系统高速时钟，包括 PLL/HSI。进入深度休眠前，需要设置 SYS_AFE_REG1.BIT11 来关闭 PD_BGP；SYS_AFE_REG5.BIT6 关闭 PDN_PLL；SYS_AFE_REG1.BIT10 来关闭 PD_HRC。32kHz RC 时钟 LSI 仍正常工作。同时 LDO 会进入低功耗模式，BGP 模块被关闭。

相比休眠模式，深度休眠模式可以进一步降低功耗。

深度休眠模式对电路供电没有影响，所有寄存器状态和存储器数据在深度休眠模式中保持正常供电。

如果有外设需要使用高速时钟完成正在进行中的操作，例如 flash 的擦除写入，则深度休眠会推迟等待操作完成后再进入。

21.5.1 模式进入

设置 CPU 内核 System Control Register SLEEPDEEP 为 1，然后通过执行 WFI/WFE 指令进入深度休眠。

21.5.2 模式退出

IO 唤醒、CL 输出唤醒或 IWDG 定时唤醒信号可将芯片从深度休眠中唤醒。

外部复位或 IWDG 复位可复位全芯片，可以解除深度休眠状态。

Debug 操作可以将芯片从深度休眠模式中唤醒。

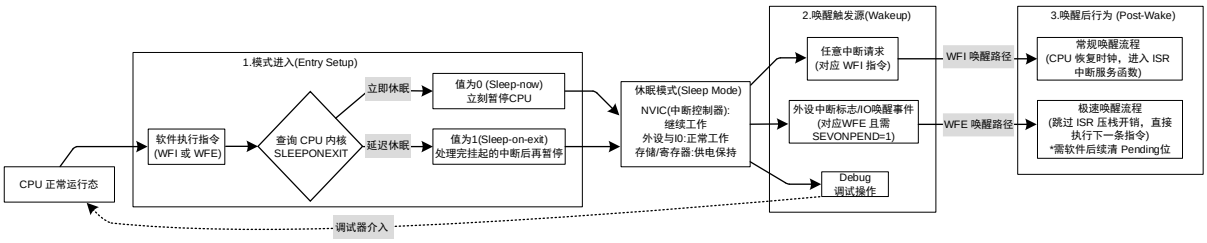


图 21-2 常规休眠模式进入与唤醒流程图

21.6 寄存器

21.6.1 地址分配

PMU 基地址为 0x40011720

表 21-2 功耗管理模块地址空间

名称	偏移	说明
AON_PWR_CFG	0x00	功耗管理配置寄存器
AON_EVT_RCD	0x04	事件记录寄存器
AON_IO_WAKE_POL	0x08	IO 唤醒极性寄存器
AON_IO_WAKE_EN	0x0C	IO 唤醒使能寄存器
AON_BKP_REG0	0x10	后备寄存器 0
AON_BKP_REG1	0x14	后备寄存器 1

21.6.2 AON_PWR_CFG 功耗管理配置寄存器

地址:0x4001_1720

复位值:0x0002

表 21-3 AON_PWR_CFG 功耗管理配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														IOWK_FLT	
														RW	
														1	

位置	位名称	说明
[31:2]		未使用
[1]	IOWK_FLT	IO 唤醒信号滤波使能，默认使能
[0]		未使用

软件可以选择对 IO 唤醒信号进行滤波或不滤波，如果启用片内滤波，则 IO 信号经过 120us 时间常数的滤波后，送入 PMU。使用片内 IO 信号滤波可以在一定的应用场景下代替板级滤波，但会

引入 120us 左右的唤醒延时。如果不启用片内 IO 唤醒信号滤波，则应用场景需要保证 IO 唤醒输入信号稳定无干扰，可以考虑使用板级滤波，从而避免芯片被误唤醒造成不必要的功耗浪费。

21.6.3 AON_EVT_RCD 事件记录寄存器

地址:0x4001_1724

复位值:0x0001

表 21-4 AON_EVT_RCD 事件记录寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		DEEPSLEEP	SLEEP			IWDG_WK	EVT_WK					IWDG_RST	KEY_RST_RCD		POR_RST_RCD
		RO	RO			RO	RO					RO	RO		RO
		0	0			0	0					0	0		1

位置	位名称	说明
[31:14]		未使用
[13]	DEEPSLEEP	深度休眠记录，高表示发生过
[12]	SLEEP	休眠记录，高表示发生过
[11:10]		未使用
[9]	IWDG_WK	IWDG 定时唤醒记录，高表示 Deep Sleep 休眠被 IWDG 定时唤醒
[8]	EVT_WK	IO 唤醒或 CLU 唤醒记录，高表示 Deep Sleep 休眠被 AON_IO_WAKE_EN 中对应的使能信号唤醒
[7:4]		未使用
[3]	IWDG_RST	独立看门狗复位发生记录，高表示发生过
[2]	KEY_RST_RCD	按键复位发生记录，高表示发生过
[1]		未使用
[0]	POR_RST_RCD	POR 复位发生记录，高表示发生过

向 AON_EVT_RCD 寄存器写入 0xCA40，清除全部事件记录。由于 EVT_RCD 工作于 LSI 时钟域，由软件写入密码到完成清除需要 32us。

21.6.4 AON_IO_WAKE_POL IO 唤醒极性寄存器

地址:0x4001_1728

复位值:0x0

表 21-5 AON_IO_WAKE_POL IO 唤醒源极性配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								P2_0_POL	P2_4_POL	P2_7_POL	P0_14_POL	P0_13_POL	P0_12_POL	P0_2_POL	P0_0_POL
								RW	RW	RW	RW	RW	RW	RW	RW
								0	0	0	0	0	0	0	0

位置	位名称	说明
[31:8]		未使用
[7]	P2_0_POL	P2[0]外部唤醒极性
[6]	P2_4_POL	P2[4]外部唤醒极性
[5]	P2_7_POL	P2[7]外部唤醒极性
[4]	P0_14_POL	P0[14]外部唤醒极性
[3]	P0_13_POL	P0[13]外部唤醒极性
[2]	P0_12_POL	P0[12]外部唤醒极性
[1]	P0_2_POL	P0[2]外部唤醒极性
[0]	P0_0_POL	P0[0]外部唤醒极性

由于 CLU 具备逻辑配置功能，CLU 信号只能使用高电平唤醒；

IO 信号可配置唤醒极性。

21.6.5 AON_IO_WAKE_EN IO 唤醒使能寄存器

地址:0x4001_172C

复位值:0x0

CLUOUTx 唤醒信号:默认极性为高电平；

IO 唤醒信号:默认极性为低电平；

表 21-6 AON_IO_WAKE_EN IO 唤醒源使能寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				CLUOUT3_EN	CLUOUT2_EN	CLUOUT1_EN	CLUOUT0_EN	P2_0_EN	P2_4_EN	P2_7_EN	P0_14_EN	P0_13_EN	P0_12_EN	P0_2_EN	P0_0_EN
				RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
				0	0	0	0	0	0	0	0	0	0	0	0

位置	位名称	说明
[31:12]		未使用
[11]	CLUOUT3_EN	CLUOUT3 作为唤醒使能
[10]	CLUOUT2_EN	CLUOUT2 作为唤醒使能
[9]	CLUOUT1_EN	CLUOUT1 作为唤醒使能
[8]	CLUOUT0_EN	CLUOUT0 作为唤醒使能
[7]	P2_0_EN	P2[0]外部唤醒使能
[6]	P2_4_EN	P2[4]外部唤醒使能
[5]	P2_7_EN	P2[7]外部唤醒使能
[4]	P0_14_EN	P0[14]外部唤醒使能
[3]	P0_13_EN	P0[13]外部唤醒使能
[2]	P0_12_EN	P0[12]外部唤醒使能

[1]	P0_2_EN	P0[2]外部唤醒使能
[0]	P0_0_EN	P0[0]外部唤醒使能

21.6.6 AON_BKP_REG0 后备寄存器 0

地址:0x4001_1730

复位值:0x0

表 21-7 AON_BKP_REG0 后备寄存器 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BKP_REG															
RW															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BKP_REG															
RW															
0															

位置	位名称	说明
[31:0]	BKP_REG	

此寄存器只被上电复位 POR 复位。

21.6.7 AON_BKP_REG1 后备寄存器 1

地址:0x4001_1734

复位值:0x0

表 21-8 AON_BKP_REG1 后备寄存器 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BKP_REG															
RW															
0															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BKP_REG															
RW															
0															

位置	位名称	说明
[31:0]	BKP_REG	

22 SIF 模块

22.1 简述

SIF 模块，适用于单线、单向通讯应用环境，例如车载仪表通讯。本章节描述了 SIF 的实现及使用方法。

22.2 主要特性

- 数据传输每次固定传输一个字节，使用不同占空比脉冲表示 0/1
- 单线通讯
- 单向通讯，仅输出
- 支持同步信号、结束信号开启/关闭可配
- 支持同步信号、结束信号长度可配
- 支持同步信号、结束信号电平可配
- 支持 MSB/LSB 可配
- 支持数据占空比可配:2:1 和 3:1 两种模式
- 支持 DMA 传输

22.3 功能描述

22.3.1 功能框图

本接口采用同步串行设计，实现 MCU 同外部设备之间的 SIF 传输。支持轮询和中断方式获得传输状态信息。本接口的主要功能模块如下图所示:

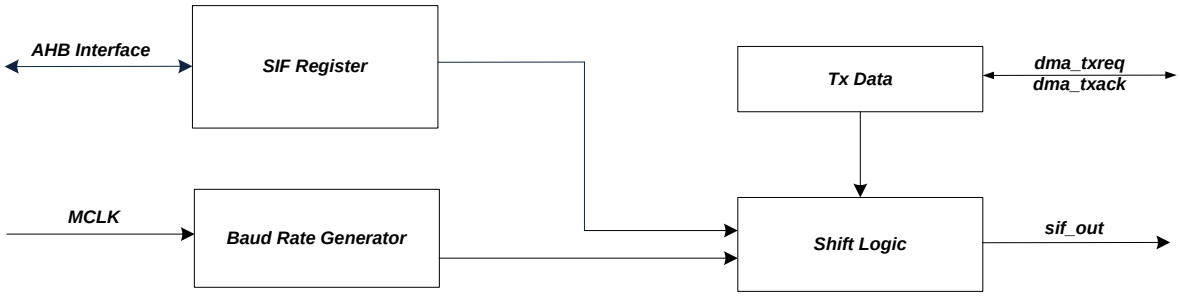


图 22-1 SIF 模块结构框图

SIF Register 模块，SIF 模块的相关寄存器。

Baud Rate Generator 模块，Tosc 时基产生电路。

Tx Data 模块，发送数据缓冲区。

Shift Logic 模块，数据发送模块。

22.3.2 功能说明

22.3.2.1 SIF 格式说明

SIF 通讯协议，分成几个部分:同步（SYNC），数据传输，结束（Done）和默认电平。

同步（SYNC）:一帧传输的开始波形，某些应用需要同步标记，某些不需要。

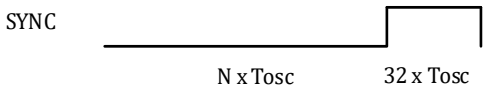


图 22-2 SIF 模块同步（SYNC）波形

输出传输:传输 0 和传输 1，两种状态。

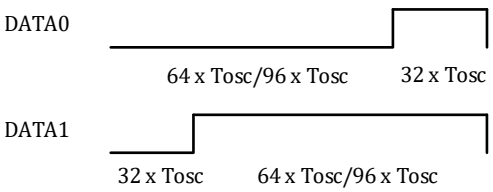


图 22-3 SIF 模块数据（DATA）波形

结束（Done）:一帧传输的结束波形，某些应用需要结束标记，某些不需要。结束信号没有翻转波形，按照应用需求，输出高/低电平。

图 22-4 SIF 发送 0x13 字节波形示例

22.3.2.2 Tosc 时基

Tosc 时基模块，产生基本时间计数单元。Tosc 时基的时钟来自系统时钟分频（分频后最高 3M），Tosc 最小时基为 333ns（去掉小数），最大时基约为 1.364ms（333ns*4096）。通过配置 SIF.TOSCL/H 寄存器实现。

22.3.2.3 同步时间配置

同步（SYNC）信号时间的配置，同 SIF.TSTH1 寄存器相关。同步（SYNC）信号的默认电平在 SIF.CFG 寄存器中配置。

同步信号，默认为低电平的话，低电平时间最小为 1023*Tosc，高电平固定为 32*Tosc。

同步信号，默认为高电平的话，高电平时间最大为 1023*Tosc，低电平固定为 32*Tosc。

22.3.2.4 结束时间配置

结束（Done）信号时间的配置，同 SIF.TDTH1 寄存器相关。结束（Done）信号的默认电平在 SIF.CFG 寄存器中配置。结束信号，默认电平可配，步长为 1ms，从 1ms~16ms 可选。结束时间是当前输出传输完毕后，到下一个数据发送的间隔时间。

22.3.2.5 DMA 传输

SIF 模块支持 DMA 传输。SIF 模块接收的数据宽度为一个字节（8-bit），因此，DMA 一轮搬移一个字节到 SIF 模块。传输轮数在 DMA 模块控制，一次 SIF 通讯包，由 N 个字节组成，则在 DMA 轮数寄存器总配置 N 即可。

22.4 寄存器

22.4.1 地址分配

SIF 模块寄存器的基地址是 0x4001_1500，模块寄存器列表如下。

表 22-1 SIF 模块控制寄存器列表

名称	偏移	说明
SIF0_CFG	0x00	SIF 配置寄存器
SIF0_TOSC	0x04	SIF TOSC 时基寄存器
SIF0_TSTH1	0x08	SIF 同步信号时间寄存器
SIF0_TDTH1	0x0C	SIF 结束信号时间寄存器
SIF0_IRQ	0x10	SIF 中断寄存器
SIF0_WDATA	0x14	SIF 传输数据寄存器

22.4.2 SIF0_CFG 配置寄存器

地址:0x4001_1500

复位值:0x0

表 22-2 地址寄存器 SIF0_CFG

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								DONE	SYNC	SYNC_PULSE	DONE_VLD	SYNC_VLD	RATIO	ENDIAN	EN
								RW	RW	RW	RW	RW	RW	RW	RW
								0	0	0	0	0	0	0	0

位置	位名称	说明
[31:8]		未使用
[7]	DONE	SIF 模块数据传输，完成信号默认电平 1:默认高电平 0:默认低电平
[6]	SYNC	SIF 模块数据传输，同步信号默认电平 1:默认高电平 0:默认低电平
[5]	SYNC_PULSE	SIF 模块数据传输，同步信号是否产生脉冲信号 1:同步信号有脉冲信号 0:同步信号无脉冲信号
[4]	DONE_VLD	SIF 模块数据传输，结束信号控制位 1:有结束信号 0:无结束信号
[3]	SYNC_VLD	SIF 模块数据传输，同步信号控制位 1:有同步信号 0:无同步信号
[2]	RATIO	SIF 模块数据占空比控制位 1:3:1 0:2:1
[1]	ENDIAN	SIF 模块数据大小头控制位 1:MSB 0:LSB
[0]	EN	SIF 模块使能位 1:SIF 模块使能 0:SIF 模块关闭

22.4.3 SIF0_TOSC 时基寄存器

地址:0x4001_1504

复位值:0x0

表 22-3 SIF0_TOSCL SIF 时基低字节寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

	TOSC
	RW
	0

位置	位名称	说明
[31:12]		未使用
[11:0]	TOSC	SIF 模块时基设置 时基= 2^{TOSC}×(系统时钟周期*32)

22.4.4 SIF0_TSTH1 同步时间寄存器

地址:0x4001_1508

复位值:0x0

表 22-4 同步时间寄存器 SIF0_TSTH1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						TSTH									
						RW									
						0									

位置	位名称	说明
[31:10]		未使用
[9:0]	TSTH	SIF 模块同步信号周期 Time = 2^{TSTH1}×Tosc

22.4.5 SIF0_TDTH1 结束时间寄存器

地址:0x4001_150C

复位值:0x0

表 22-5 结束时间寄存器 SIF0_TDTH1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

	TDTH
	RW
	0

位置	位名称	说明
[31:4]		未使用
[3:0]	TDTH	SIF 模块结束信号周期 Time = 2^{TDTH1}×Tosc

22.4.6 SIF0_IRQ 中断寄存器

地址:0x4001_1510

复位值:0x0

表 22-6 中断寄存器 SIF0_IRQ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											IRQ_IF			DMA_EN	IRQ_EN
											RW			RW	RW
											0			0	0

位置	位名称	说明
[31:8]		未使用
[7:5]		未使用
[4]	IRQ_IF	SIF 模块中断标志位，写 1 清零。 1:有 SIF 中断标志位 0:无 SIF 中断标志位
[3:2]		未使用
[1]	DMA_EN	SIF 模块 DMA 使能控制位 1:使能 0:关闭
[0]	IRQ_EN	SIF 模块中断使能控制位 1:使能中断 0:关闭中断

22.4.7 SIF0_WDATA 数据寄存器

地址:0x4001_1514

复位值:0x0

表 22-7 数据寄存器 SIF0_WDATA

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								WDATA							
								RW							
								0							

位置	位名称	说明
[31:8]		未使用
[7:0]	WDATA	SIF 模块数据寄存器

23 CL0 可配置逻辑

23.1 概述

可配置逻辑单元（Configurable Logic Unit 缩写为 CLU），提供了无需 CPU 干预操作的用户可配置的数字逻辑运算功能。可配置逻辑（CL）模块由四个独立的可配置逻辑单元（CLU）组成，支持用户可编程的异步和同步逻辑运算。CL 由于其灵活的逻辑功能，可以应用于多种数字功能实现，如替换系统胶合逻辑，生成特殊波形，或是同步系统事件的触发等。

23.2 主要特性

CL0 主要特性如下:

- 包含四个 CLU，具有 IO pin 与内部逻辑连接
- 每个 CLU 支持 256 中不同的组合逻辑功能（与、或、异或、多路复用等），还包含一个用于同步操作的时钟控制 D 触发器
- 每个 CLU 可以分别用于同步或者异步逻辑
- CLU 可以级联组合实现更复杂的逻辑功能
- 可以配合 SPI、I2C 或者 TIMER 与 MCPWM 进行操作
- 可以用于同步或者触发多个片上资源(ADC, UTIMTER 等)
- 异步逻辑输出可以用于唤醒操作

23.3 功能描述

23.3.1 功能框图

如图 13-1 所示，可配置逻辑 CL0 主要包括 4 个独立的可配置逻辑单元 CLU。每个 CLU 都可以独立配置为用户自定义的异步或同步数字逻辑功能，而无需 CPU 干预。许多内部和外部信号都可以作为各个 CLU 的输入，CLU 的输出也可以连接到 IO 输出或者直接连接到选中的外设输入。

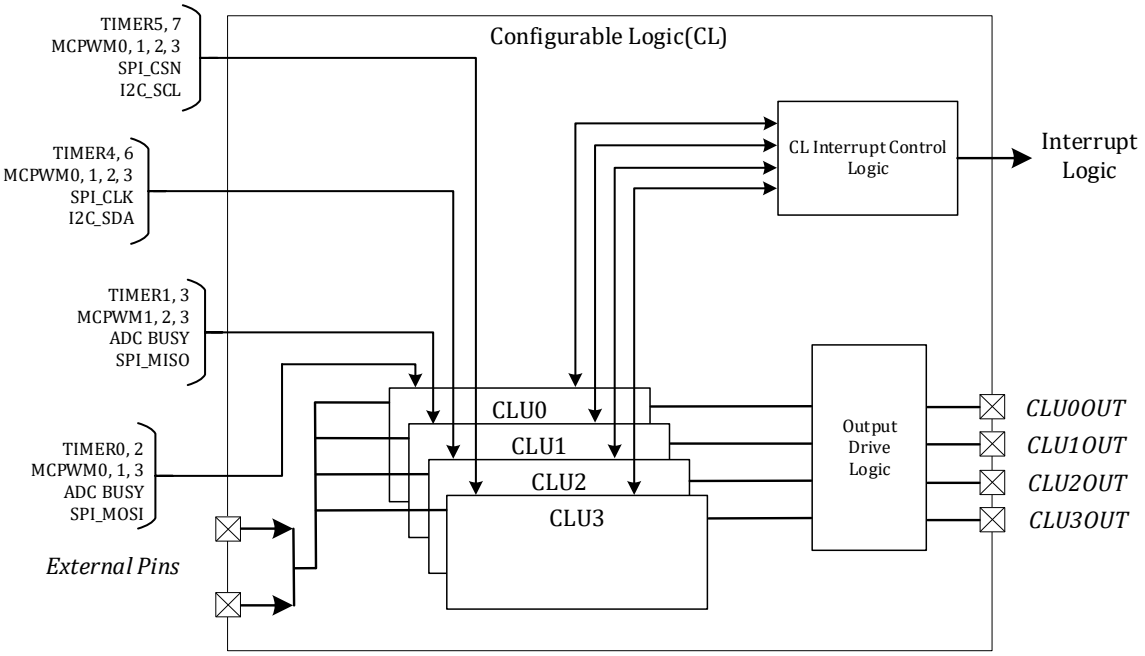


图 23-1 CL 模块顶层功能框图

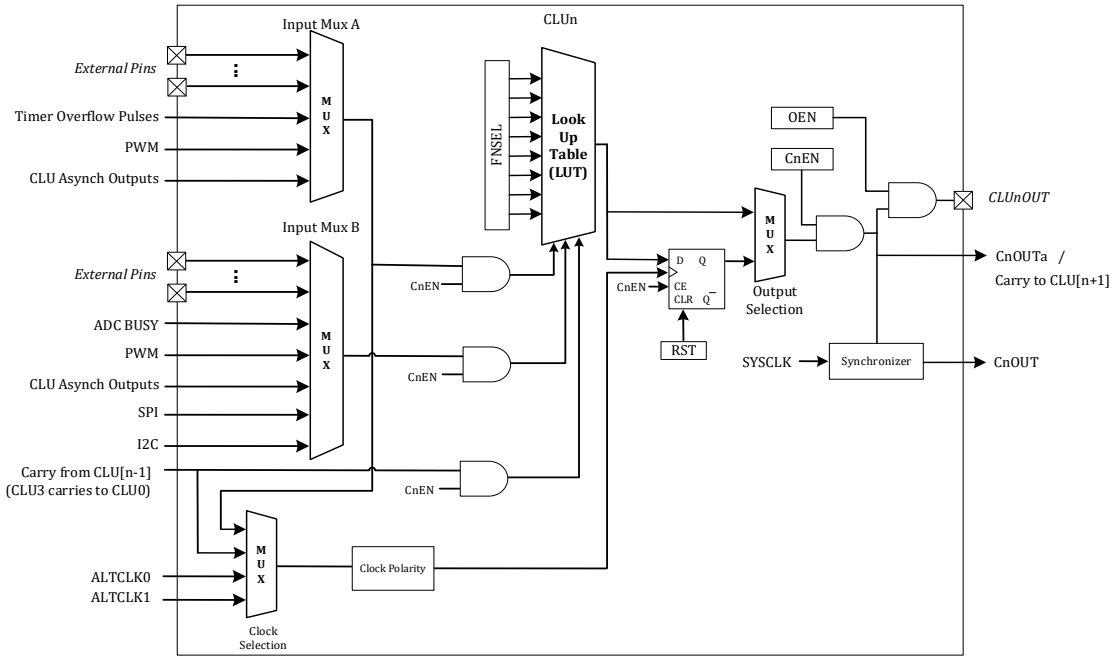


图 23-2 独立 CLU 模块功能框图

通过前述及 CL 模块的功能框图，可见 CL 的作用是，在无 CPU 干预下，若干内部和外部信号，可输入到各 CLU，通过“LUT（查找表）”的方法，得到自己想要的逻辑值结果，并输出到 IO 端口或直接用于外围设备的输入。

23.3.2 功能描述

23.3.2.1 配置流程

在使能独立 CLU 之前，应该先进行功能配置，输入复用选取和输出功能配置。CLU 初始化可以参考一下步骤:

1. 选择 C0_MX0 中到 LUT 的 A 与 B 输入

2. 配置 CL0_FN0 选择 LUT 功能
3. 配置 CLU 的 CL0_CF0 配置寄存器
4. 如果选择 CLU 的 D 触发器输出（OUTPSEL=1），则提前配置 RST=1 复位 D 触发的输出到 0
5. 配置 CL0_IE0 使能需要的中断信号。上升沿和下降沿中断分别通过 CnFIE 和 CnRIE 位使能
6. 配置 CL0_EN0 的 CnEN 使能对应的 CLUn，可以同时使能多个 CLU
7. 如果需要输出到 IO 端口，则使能 CL0_CF0 的对应 CnOEN 位

23.3.2.2 输入多路复选器

每个 CLU 都有两个主要的逻辑输入（A 与 B）和一个进位输入（C）。A 与 B 输入通过寄存器 CL0_MX0 的 CnMXA 和 CnMXB 进行选择，可以选择各内部和外部信号中的一个作为输入。当另一个 CLU 的输出被选为输入时，使用的是该 CLU 的异步输出，级联可以实现更复杂的逻辑功能。

Notes:当采用 TIMER 溢出作为输入时，一次时钟溢出事件产生为一个系统时钟周期的高电平，其余时间为低电平。

进位输入 C 是前级 CLU 的异步输出。例如，CLU1 的进位输入 C 是 CLU0 的异步输出，CLU0 的进位输入 C 是 CLU3 的异步输出。

表 23-1 CLUnA 输入选择

CLUnMX.MXA	CLU0A	CLU1A	CLU2A	CLU3A
0000	CLU0OUT	CLU0OUT	CLU0OUT	CLU0OUT
0001	CLU1OUT	CLU1OUT	CLU1OUT	CLU1OUT
0010	CLU2OUT	CLU2OUT	CLU2OUT	CLU2OUT
0011	CLU3OUT	CLU3OUT	CLU3OUT	CLU3OUT
0100	TIMER0 ch0 ovfl	TIMER0 ch1 ovfl	TIMER2 ch0 ovfl	TIMER2 ch1 ovfl
0101	TIMER1 ch0 ovfl	TIMER1 ch1 ovfl		
0110	PWM0	PWM2	PWM0	PWM1
0111	PWM1	PWM3	PWM2	PWM3
1000	P0.0	P0.0	P2.8	P2.8
1001	P0.3	P0.2	P1.13	P2.7
1010	P0.5	P0.5	P1.15	P1.15
1011	P0.7	P0.6	P1.10	P2.0
1100	P2.12	P2.12	P2.1	P2.1
1101	P0.12	P0.11	P2.4	P2.3
1110	P0.14	P0.14	P2.6	P2.6
1111	P1.0	P0.15	P2.14	P2.13

表 23-2 CLUnB 输入选择

CLUnMX.MXB	CLU0B	CLU1B	CLU2B	CLU3B
0000	CLU0OUT	CLU0OUT	CLU0OUT	CLU0OUT
0001	CLU1OUT	CLU1OUT	CLU1OUT	CLU1OUT
0010	CLU2OUT	CLU2OUT	CLU2OUT	CLU2OUT
0011	CLU3OUT	CLU3OUT	CLU3OUT	CLU3OUT
0100	ADBUSY0	ADBUSY0	PWM1	PWM0
0101	CMP0_OUT	CMP1_OUT	PWM3	PWM2

0110	PWM3	PWM1	I2CSDA	I2CSCL
0111	SPIMOSI	SPIMISO	SPICLK	SPICSN
1000	P0.2	P0.3	P3.9	P1.13
1001	P0.4	P0.4	P1.14	P1.14
1010	P0.6	P0.7	P2.0	P1.10
1011	P2.11	P2.11	P1.11	P1.11
1100	P0.11	P0.12	P2.3	P2.4
1101	P0.13	P0.13	P2.5	P2.5
1110	P0.15	P1.0	P2.13	P2.14
1111	P2.7	P2.7	P2.15	P2.15

注:

1、 CLU0OUT、CLU1OUT、CLU2OUT、CLU3OUT 分别代表 CLU 的 4 个输出端口;

2、 ADBUSY0 代表 ADC start 信号;

3、 PWM0、PWM1、PWM2、PWM3 分别代表四个 PWM 模块的 TADC 事件触发信号（触发 ADC 采样）;

4、 CMP0_OUT、CMP1_OUT 分别代表比较器 CMP0 和 CMP1 的输出信号;

5、 SPIMOSI、SPIMISO、SPICLK、SPICSN 分别代表 SPI 模块的 MOSI、MISO、CLK、CS 端口;

6、 I2CSDA、I2CSCL 分别代表 I2C 模块的数据信号 SDA 和时钟信号 SCL;

7、 TIMER0 ch0 ovfl、TIMER0 ch1 ovfl、TIMER1 ch0 ovfl、TIMER1 ch1 ovfl、TIMER2 ch0 ovfl、TIMER2 ch1 ovfl 代表 utimer 触发 ADC 采样事件（utimer 比较事件或者 utimer 的捕获事件）。

23.3.2.3 输出配置

每个 CLU 都有同步和异步输出，同步输出可以在任意时间通过寄存器 CLOUT0 输出，CLU 输出通过 CLUNCF 的 OUTSEL 控制是直接从 LUT 输出，还是从 DFF 输出。当 CLU 关闭时（CnEN 中的 CLEN0 等于 0），所有输出都维持在 0。

DFF 时钟通过 CLUnCF 的 CLKSEL 选择，共有四种来源。DFF 时钟可通过 bit CLKINV 进行翻转。每个 CLU 有下列四种 DFF 时钟选择:

1. CARRY_IN:前级的 CLU 的进位输出 C，第一个 CLU 使用最后一个 CLU 的进位;
2. MXA_INPUT:CLU 的 A 输入，通过寄存器 MXA 选择;
3. ALTCLK0:TIMER0/1 的比较或者捕获事件
4. ALTCLK1:TIMER0/1 的比较或者捕获事件

表 23-3 CLU 时钟/外部信号的时序

参数	符号	测试条件	Min	Typ	Max	Unit
传输延时	t_{DLY}	单个 CLU，连接到外部 pin	-	-	50	ns
		单个 CLU，内部连接	-	4	6	ns
时钟频率	f_{CLK}	1、2 或 3 个 CLU 级联	-	-	96	MHz
		4 个 CLU 级联	-	-	48	MHz

23.3.2.4 LUT 配置

每个 CLU 的逻辑功能由 LUT 配置决定，可以通过配置 CL0_FN0 的 CnFNSEL 来进行选取。CnFNSEL 的每位都被映射到 8 个多路选择器的输入的一种组合，也就是 LUT 的输出由 A，B 与 C 输入的组合选择。

表 23-4 LUT 真值表

A 输入	B 输入	C 输入	LUT 输出
0	0	0	FNSEL.0
0	0	1	FNSEL.1
0	1	0	FNSEL.2
0	1	1	FNSEL.3
1	0	0	FNSEL.4
1	0	1	FNSEL.5
1	1	0	FNSEL.6
1	1	1	FNSEL.7

参考上表所示的真值表，使用 LUT 可以实现三输入的所有逻辑功能。例如，实现与逻辑（A AND B），真值表的输出在 A 与 B 都为 1 时才为 1，也就是只有 FNSEL.7 与 FNSEL.6 为 1，所以 FNSEL 应该被写入 11000000b，也就是 0xC0.

23.4 寄存器

23.4.1 地址分配

CL0 在芯片中的基地址是 0x40011800，寄存器列表如下:

表 23-5 CL0 模块寄存器地址分配

名称	偏移	描述
CL0_EN0	0x00	CL0 使能寄存器
CL0_IE0	0x04	CL0 中断使能寄存器
CL0_IF0	0x08	CL0 中断标志寄存器
CL0_OUT0	0x0C	CL0 输出寄存器
CL0_MX0	0x10	CL0 输入多路复选寄存器
CL0_FN0	0x14	CL0 功能选择寄存器
CL0_CF0	0x18	CL0 配置寄存器

23.4.2 CL0_EN0 CL0 使能寄存器

地址: 0x40011800

复位值:0x0

表 23-6 CL0_EN0 CL0 使能寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												C3EN	C2EN	C1EN	C0EN

	RW	RW	RW	RW
	0	0	0	0

位置	位名称	说明
[31:4]		未使用
[3]	C3EN	CLU3 使能。默认关闭。 0: 关闭 1: 使能
[2]	C2EN	CLU2 使能。默认关闭。 0: 关闭 1: 使能
[1]	C1EN	CLU1 使能。默认关闭。 0: 关闭 1: 使能
[0]	C0EN	CLU0 使能。默认关闭。 0: 关闭 1: 使能

23.4.3 CL0_IE0 CL0 中断使能寄存器

地址: 0x40011804

复位值:0x0

表 23-7 CL0_IE0 CL0 中断使能寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								C3RIE	C3FIE	C2RIE	C2FIE	C1RIE	C1FIE	C0RIE	C0FIE
								RW	RW	RW	RW	RW	RW	RW	RW
								0	0	0	0	0	0	0	0

位置	位名称	说明
[31:8]		未使用
[7]	C3RIE	CLU3 上升沿触发中断使能。默认关闭。 0: 关闭 1: 使能
[6]	C3FIE	CLU3 下降沿触发中断使能。默认关闭。 0: 关闭 1: 使能
[5]	C2RIE	CLU2 上升沿触发中断使能。默认关闭。 0: 关闭 1: 使能
[4]	C2FIE	CLU2 下降沿触发中断使能。默认关闭。 0: 关闭

		1: 使能
[3]	C1RIE	CLU1 上升沿触发中断使能。默认关闭。 0: 关闭 1: 使能
[2]	C1FIE	CLU1 下降沿触发中断使能。默认关闭。 0: 关闭 1: 使能
[1]	C0RIE	CLU0 上升沿触发中断使能。默认关闭。 0: 关闭 1: 使能
[0]	C0FIE	CLU0 下降沿触发中断使能。默认关闭。 0: 关闭 1: 使能

23.4.4 CL0_IF0 CL0 中断标志寄存器

地址: 0x40011808

复位值:0x0

表 23-8 CL0_IF0 CL0 中断标志寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								C3RIF	C3FIF	C2RIF	C2FIF	C1RIF	C1FIF	C0RIF	C0FIF
								RW	RW	RW	RW	RW	RW	RW	RW
								0	0	0	0	0	0	0	0

位置	位名称	说明
[31:8]		未使用
[7]	C3RIF	CLU3 上升沿中断标志位。中断标志高有效，写 1 清零。
[6]	C3FIF	CLU3 下降沿中断标志位。中断标志高有效，写 1 清零。
[5]	C2RIF	CLU2 上升沿中断标志位。中断标志高有效，写 1 清零。
[4]	C2FIF	CLU2 下降沿中断标志位。中断标志高有效，写 1 清零。
[3]	C1RIF	CLU1 上升沿中断标志位。中断标志高有效，写 1 清零。
[2]	C1FIF	CLU1 下降沿中断标志位。中断标志高有效，写 1 清零。
[1]	C0RIF	CLU0 上升沿中断标志位。中断标志高有效，写 1 清零。
[0]	C0FIF	CLU0 下降沿中断标志位。中断标志高有效，写 1 清零。

23.4.5 CL0_OUT0 CL0 输出寄存器

地址: 0x4001180C

复位值:0x0

表 23-9 CL0_OUT0 CL0 输出寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												C3OUT	C2OUT	C1OUT	C0OUT
												R	R	R	R
												0	0	0	0

位置	位名称	说明
[31:4]		未使用
[3]	C3OUT	CLU3 输出状态，与系统时钟同步。
[2]	C2OUT	CLU2 输出状态，与系统时钟同步。
[1]	C1OUT	CLU1 输出状态，与系统时钟同步。
[0]	C0OUT	CLU0 输出状态，与系统时钟同步。

23.4.6 CL0_MX0 CL0 输入多路复选寄存器

地址: 0x40011810

复位值:0x0

表 23-10 CL0_MX0 CL0 输入多路复选寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
C3MXA				C3MXB				C2MXA				C2MXB			
RW				RW				RW				RW			
0x0				0x0				0x0				0x0			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
C1MXA				C1MXB				C0MXA				C0MXB			
RW				RW				RW				RW			
0x0				0x0				0x0				0x0			

位置	位名称	说明
[31:28]	C3MXA	CLU3 A 输入多路复用选择
[27:24]	C3MXB	CLU3 B 输入多路复用选择
[23:20]	C2MXA	CLU2 A 输入多路复用选择
[19:16]	C2MXB	CLU2 B 输入多路复用选择
[15:12]	C1MXA	CLU1 A 输入多路复用选择
[11:8]	C1MXB	CLU1 B 输入多路复用选择
[7:4]	C0MXA	CLU0 A 输入多路复用选择
[3:0]	C0MXB	CLU0 B 输入多路复用选择

23.4.7 CL0_FN0 CL0 功能选择寄存器

地址: 0x40011814

复位值:0x0

表 23-11 CL0_FN0 CL0 功能选择寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
C3FN								C2FN							
RW								RW							
0x00								0x00							

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
C1FN								C0FN							
RW								RW							
0x00								0x00							

位置	位名称	说明
[31:24]	C3FN	CLU3 查找表功能选择。
[23:16]	C2FN	CLU2 查找表功能选择。
[15:8]	C1FN	CLU1 查找表功能选择。
[7:0]	C0FN	CLU0 查找表功能选择。

23.4.8 CL0_CF0 CL0 配置寄存器

地址: 0x40011818

复位值:0x0

表 23-12 CL0_CF0 CL0 配置寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
C3OUTSEL	C3OEN			C3RST	C3CLKINV	C3CLKSEL		C2OUTSEL	C2OEN			C2RST	C2CLKINV	C2CLKSEL	
RW	RW			RW	RW	RW		RW	RW			RW	RW	RW	
0	0			0	0	0x0		0	0			0	0	0x0	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
C1OUTSEL	C1OEN			C1RST	C1CLKINV	C1CLKSEL		C0OUTSEL	C0OEN			C0RST	C0CLKINV	C0CLKSEL	
RW	RW			RW	RW	RW		RW	RW			RW	RW	RW	
0	0			0	0	0x0		0	0			0	0	0x0	

位置	位名称	说明
[31]	C3OUTSEL	CLU3 输出选取

		0: D 触发器输出 1: LUT 输出
[30]	C3OEN	CLU3 输出使能。默认关闭。 0: 关闭 1: 使能
[29:28]		未使用
[27]	C3RST	CLU3 D 触发器复位。该位写 1 复位。读取恒为 0。
[26]	C3CLKINV	CLU3 D 触发器时钟电平反向。 0: 关闭 1: 使能
[25:24]	C3CLKSEL	CLU3 D 触发器时钟选择。 0x0: 进位输入 0x1: MXA 输入 0x2: TIMER1 比较/捕获事件 0 0x3: TIMER0 比较/捕获事件 0
[23]	C2OUTSEL	CLU2 输出选取 0: D 触发器输出 1: LUT 输出
[22]	C2OEN	CLU2 输出使能。默认关闭。 0: 关闭 1: 使能
[21:20]		未使用
[19]	C2RST	CLU2 D 触发器复位。该位写 1 复位。读取恒为 0。
[18]	C2CLKINV	CLU2 D 触发器时钟电平反向。 0: 关闭 1: 使能
[17:16]	C2CLKSEL	CLU2 D 触发器时钟选择 。 0x0: 进位输入 0x1: MXA 输入 0x2: TIMER0 比较/捕获事件 1 0x3: TIMER1 比较/捕获事件 1
[15]	C1OUTSEL	CLU1 输出选取 0: D 触发器输出 1: LUT 输出
[14]	C1OEN	CLU1 输出使能。默认关闭。 0: 关闭 1: 使能
[13:12]		未使用
[11]	C1RST	CLU1 D 触发器复位。该位写 1 复位。读取恒为 0。
[10]	C1CLKINV	CLU1 D 触发器时钟电平反向。 0: 关闭 1: 使能
[9:8]	C1CLKSEL	CLU1 D 触发器时钟选择 。 0x0: 进位输入 0x1: MXA 输入

		0x2: TIMER0 比较/捕获事件 0 0x3: TIMER1 比较/捕获事件 0
[7]	C0OUTSEL	CLU0 输出选取 0: D 触发器输出 1: LUT 输出
[6]	C0OEN	CLU0 输出使能。默认关闭。 0: 关闭 1: 使能
[5:4]		未使用
[3]	C0RST	CLU0 D 触发器复位。该位写 1 复位。读取恒为 0。
[2]	C0CLKINV	CLU0 D 触发器时钟电平反向。 0: 关闭 1: 使能
[1:0]	C0CLKSEL	CLU0 D 触发器时钟选择 。 0x0: 进位输入 0x1: MXA 输入 0x2: TIMER1 比较/捕获事件 1 0x3: TIMER0 比较/捕获事件 1

24 EEPROM 控制器

24.1 概述

芯片中集成了 EEPROM 控制器，将 EEPROM 数据区域映射到地址空间，软件直接读写地址空间，由控制器转换为 I2C 通讯读写操作，预留了 32KB 的地址空间。

1) 地址范围是 0x40040000 至 0x40047FFF。
2) 仅支持对 EEPROM 进行单字节的读写操作，不支持 page write 以及 page read。
3) 通过配置相应寄存器可选择数据地址长度为 8bit 或者 16bit
4) 支持 I2C 通讯速率可配置
5) 支持 EEPROM 设备地址可配置
6) 支持 SCL/SDA 管脚互换
7) 进行 EEPROM 读写时，可灵活选择软件是否等待读写的 I2C 传输结束
8) 支持通过 DMA 搬运 EEPROM 中的数据

24.2 功能描述

典型的 EEPROM 的设备地址如图 24-1 所示。

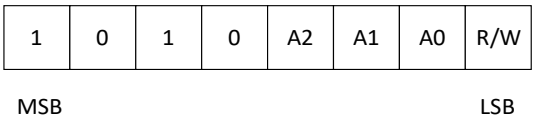


图 24 - 1 EEPROM 设备地址

典型的 EEPROM 设备地址高四位固定为 1010 作为控制码，低三位 A2/A1/A0 是设备地址引脚。但是本设计中用户可自行配置 EEPROM 高 7 位。并且控制器将根据当前的软件操作判断出此时进行的是读操作还是写操作，然后将读写控制信号 R/W 插入到设备地址的末尾

24.2.1 单字节写

8bit 数据地址单字节写操作的流程如图 24-2 所示。

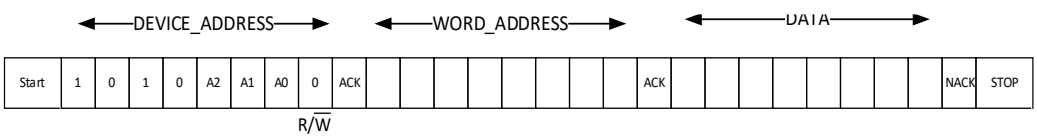


图 24 - 2 8bit 数据地址单字节写操作

16bit 数据地址单字节写操作的流程如图 24-3 所示。

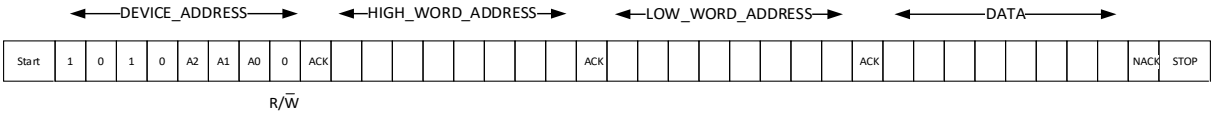


图 24 - 3 16bit 数据地址单字节写操作

在初始化的时候软件端先在配置寄存器中配置好设备地址的高 7 位，数据地址长度，I2C 时钟分频系数以及是否启用管脚互换功能。当软件端往目的地址写数据时，EEPROM 控制器会按照设备地址、数据地址、有效数据的顺序依次进行 I2C 的写操作。写数据地址时，如果数据地址长度是 16bit，会先写高 8bit 的地址，随后再写入低 8 位的地址。

24.2.2 单字节读

8bit 数据地址单字节读操作的流程如图 24-4 所示.

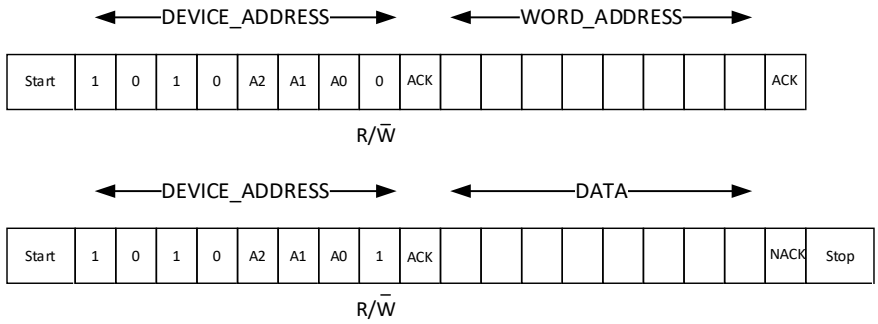


图 24 - 4 8bit 数据地址单字节读操作

8bit 数据地址单字节读操作的流程如图 24-5 所示

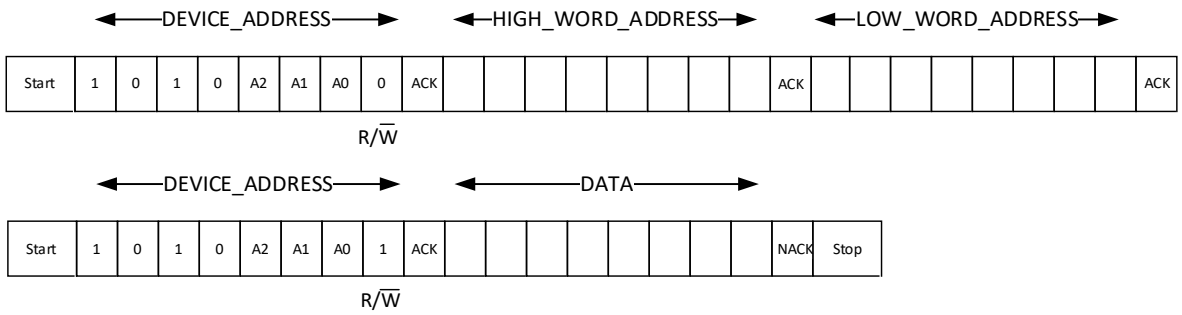


图 24 - 5 16bit 数据地址单字节读操作

在初始化的时候软件端先在配置寄存器中配置好设备地址的高 7 位，数据地址长度，I2C 时钟分频系数以及是否启用管脚切换功能。控制器在进行读操作的时候会先产生一次 start 信号，随后发送设备地址，此时发送的 R/W 值为 0。然后发送数据地址，同时控制器判断出当前进行的是读操作，并产生第二次 start 信号，随后第二次发送设备地址，此时发送的 R/W 值为 1，之后控制器得到对应地址的数据。写数据地址时，如果数据地址长度是 16bit，会先写高 8bit 的地址，随后再写入低 8 位的地址。

24.2.3 管脚互换

EEPROM 控制器可实现 SCL 和 SDA 的管脚功能切换，通过置位配置寄存器中的 Switch 位，可可以让 SCL 时钟引脚输出 I2C 数据，而 SDA 数据引脚则输出 I2C 时钟

24.2.4 软件等待

EEPROM 写操作包含 I2C 通讯时间和 EEPROM 存储数据写入时间。I2C 写操作的通讯时间通常与 I2C 通讯时钟速率有关，100KHz/400KHz/1MHz/1.2MHz 通常分别为 320us/80us/32us/27us，EPPROM 存储体写入时间通常为 5ms。

EEPROM 读操作仅包含 I2C 通讯时间。I2C 读操作的通讯时间通常与 I2C 通讯时钟速率有关，100KHz/400KHz/1MHz/1.2MHz 通常分别为 420us/110us/42us/35us

对 EEPROM 进行写操作，当完成 I2C 输之后，EEPROM 还需要一定的时间将数据存入 EEPROM 存储体，这段时间称为写周期时间，写周期时间内，若有 I2C 操作发生，EEPROM 对 I2C 操作会回复 NACK，导致 EEPROM_CFG.RCV_NACK 被置高。写周期时间请参考数据手册。

读写操作的等待时间与 EEPROM_CFG.RDY_RLS 配置有关。

1、软件等待 I2C 传输完成（RDY_RLS =0）

这个模式下，软件直接读取 EEPROM 地址空间取得数据

1）写操作

首次写操作，地址和数据写入 EEPROM 控制器后，软件可以进行其他操作。即软件触发产生 I2C 访问 EEPROM 操作后，软件无需等待。但数据实际写入 EEPROM 存储体需要更长时间。如果软件在第一次写操作的 I2C 传输没有完成时，接着对 EEPROM 存储的地址空间进行读写，则会使得软件进入等待，期间软件无法进行其他操作。待当前第一次 I2C 传输完成之后，EEPROM 控制器会自动发起第二次读写操作 I2C 传输。但是由于第二次的读写操作发生在写周期内，读无效，读取的数据为 0；写无效；同时，EEPROM_CFG.RCV_NACK 被置高。

2）读操作

发起读操作之后，I2C 通讯期间，软件会进行等待。当数据被读取后，软件结束等待，此时才可以进行其他操作。若在写周期时间内，软件进行了 EEPROM 的读操作，RCV_NACK 将被硬件置 1，那么此时读操作无效，读取的结果为 0。

因此可以在发起读写操作之后，判断 EEPROM_CFG.RCV_NACK 是否为高，若不为高，则读写操作有效，若为高，则读写操作无效，用户可以继续发起相同的写操作，直到 EEPROM_CFG.RCV_NACK 不为高。或者用户需要等待写周期时间结束之后再起发起写操作即可

用户可以通过进行读操作并根据 EEPROM_CFG.RCV_NACK 是否为高，来确认 EEPROM 内部的写周期是否完成。

2、软件不等待读写操作完成（RDY_RLS =1）

在这个模式下，对 EEPROM 的任何读写操作都不会造成软件的等待，软件在发起 EEPROM 读写操作之后可以立即进行其他操作，无需等待 EEPROM 中 I2C 传输操作的完成。这个模式下，读取 EEPROM 的数据保存在寄存器 EEPROM_RDATA 中，需要通过读取 EEPROM_RDATA 寄存器得到此次读取的数据。

1）写操作

发起写操作之后，软件不会进行等待，此时软件可以进行其他操作。但此时写操作并未完成。在这个模式下若 I2C 传输没有完成，EEPROM_CFG.BUSY 信号会被拉高，在 EEPROM_CFG.BUSY 信号为高期间，软件的读写操作将不会被响应。当 EEPROM_CFG.BUSY 为低时，表示当前没有 I2C 传输进行，但是对于写操作而言，此时可能还需要一定的时间将数据存入 EEPROM，这段时间称为写周期时间。若在写周期时间内，软件进行了 EEPROM 的读写操作，读操作无效，直接读取 EEPROM 地址空间得到的数据为 0，由于此时的读操作无效，所以寄存器 EEPROM_RDATA 中的数据不会更新，仍然为前一次读操作的结果值；写无效。同时 EEPROM_CFG.RCV_NACK 将被硬件置 1。

因此进行写操作之前需要先判断 EEPROM_CFG.BUSY 信号是否为高，为高则不能发起写操作。若不为高，则可以发起写操作，随后再判断 EEPROM_CFG.RCV_NACK 是否为高。若为高则写操作无效，需要过一段时间后，再次对相同地址发起上述相同的写操作。若不为高，则当前写操作有效。

2）读操作

发起读操作之后，软件不会进行等待，此时软件可以对其他外设进行操作。但此时读操作并未完成，在这个模式下若 I2C 传输没有完成，EEPROM_CFG.BUSY 信号会被拉高。在 EEPROM_CFG.BUSY 信号为高期间，软件的读写操作将不会被响应。当 EEPROM_CFG.BUSY 不为高时，只能此时表示没有进行 I2C 传输，并不表明数据被完全写入 EEPROM 存储体或者数据已经从 EEPROM 存储体中被读出。若 I2C 传输已完成，但是在写周期时间内，软件进行了 EEPROM 的读操作，EEPROM_CFG.RCV_NACK 将被硬件置 1，此时读操作无效，直接读取 EEPROM 地址空间得到的数据为 0。由于此时的读操作无效，所以寄存器 EEPROM_RDATA 中的数据不会更新，仍然为前一次读操作的结果值。

若读操作没有发生在写周期时间内，且 EEPROM_CFG.BUSY 不为高，那么当前的读操作是有效的，可以读取寄存器 EEPROM_RDATA 获得此次读操作的结果值。

24.2.5 DMA 搬运

软件使用 DMA 搬运 EEPROM 存储体中的数据，相当于 DMA 对 EEPROM 发起读操作，先进行 I2C 传输，传输完成之后获得数据，再将数据搬运至目的地址。因此使用 DMA 搬运 EEPROM 存储体中的数据的时候，不可以使能 EEPROM_CFG.RDY_RLS，否则会导致 I2C 传输还未完成时，DMA 就将错误的数据搬运至目的地址中。

24.3 寄存器

24.3.1 地址分配

EEPROM 控制器的基地址是 0x40040000，地址 0x40040000-0x40047FFF 为 EEPROM 数据的映射地址，预留了 32KB 的地址空间。在 EEPROM_CFG.RDY_RLS=1 时，对 EEPROM 进行读取.得到的结果被保留在寄存器 EEPROM_RDATA 中。

表 24 - 1EEPROM 控制器寄存器地址分配

名称	偏移	描述
EEPROM_CFG	0x8000	EEPROM 控制器配置寄存器
EEPROM_RDATA	0x8004	EEPROM 数据寄存器

24.3.2 EEPROM_CFG EEPROM 控制器配置寄存器

地址: 0x40048000

复位值:0x0

表 24 - 2 配置寄存器

位置	名称	说明
[31:18]	Reserved	保留
[17]	BUSY	I2C 传输繁忙信号，这个信号只有在使能 RDY_RLS 信号时，才会有效。不使能 RDY_RLS 时，BUSY 一直为 0。 1:表明此时正在进行 I2C 传输 0:表明此时没有进行 I2C 传输
[16]	RDY_RLS	软件等待选择信号 1:进行 eeprom 读写时不会造成软件等待，可以对其他外设进行操作。 0:进行 eeprom 读写时会造成软件等待，无法对其他外设进行操作。 用户可以通过将 RDY_RLS 置 1 与否来选择当进行 EEPROM 读写时是否可以对其他外设进行操作。
[15:12]	STATE	I2C 传输状态 0:IDLE 状态。I2C 处于空闲状态，没有进行传输。 1:START1 状态。产生 I2C 传输的 start 信号。 2:SEND_D_ADDR 状态。发送设备地址。 3:ACK1 状态。EEPROM 颗粒对设备地址回复应答信号。 4:SEND_B_ADDR_H 状态。发送数据地址的高 8 位。 5:ACK2 状态。EEPROM 颗粒对接收到的数据地址高 8 位回复应答信号 6:SEND_B_ADDR_L 状态。发送数据地址的低 8 位。 7:ACK3 状态。EEPROM 颗粒对接收到的数据地址低 8 位回复应答信号 8:WR_DATA 状态。往目的数据地址写入数据。 9:ACK4 状态。EEPROM 颗粒对写入的数据回复应答信号。 10:START2 状态。读操作下产生第二次 start 信号。 11:SEND_RD_ADDR 状态。读操作下第二次发送设备地址。 12:ACK5 状态。EEPROM 颗粒对第二次接收到的设备地址回复应答信号。 13:RD_DATA 状态。读取 EEPROM 颗粒对应数据地址的数据。 14:NACK 状态。EEPROM 控制器对读取的数据回复 NACK。 15:STOP 状态。I2C 传输结束。 当出现 I2C 传输卡住的情况，如未接受到正确的应答信号，I2C 的传输会卡住，此时可以复位通过将 SYS_SFT_RST 的 EEPROM_SFT_RST 置位来复位 EEPROM 模块，以达到复位 I2C 传输状态的目的，复位后 I2C 状态机处于 IDLE 状态。随后将 SYS_SFT_RST 的 EEPROM_SFT_RST 清零释放 EEPROM 模块，重新配置 EEPROM_CFG 寄存器，启动新一轮的 I2C 传输。

[11]	RCV_NACK	接收到 NACK 信号 1:接收到 NACK 信号 0:没有接收到 NACK 信号 当接收到 NACK 信号时，I2C 传输的状态机会复位，并且当前的读写操作无效。需要再次发起读写操作。如果对 EEPROM 进行读操作时，接收到了 NACK，则表明此次的读操作是无效的，并且读取到结果为 0
[10]	SWITCH	管脚功能切换 0:SCL 输出 I2C 时钟,SDA 输出 I2C 数据 1:SCL 输出 I2C 数据，SDA 输出 I2C 时钟
[9]	ADDR_LENTH	数据地址长度选择信号 0:数据地址长度为 8 位 1:数据地址长度位 16 位
[8:2]	DEVICE_ADDR	设备地址的高 7 位，R/W 位由控制器自动生成。
[1:0]	CLK_DIV	I2C SCL 时钟频率选择，I2C 时钟通常不超过 1MHz 速率，具体请参考 DATASHEET 00:100KHz 01:400KHz 10:1MHz 11:1.2MHz

24.3.3 EEPROM_RDATA EEPROM 数据寄存器

地址: 0x40048004

复位值:0x0

位置	名称	说明
[31:8]	Reserved	保留
[7:0]	RDATA	RDT_RLS 为 1 时，软件直接读取 EEPROM 地址空间，得到的数据保留在 EEPROM_RDATA 寄存器中。若 RDY_RLS 为 0，软件直接读取 EEPROM 地址空间便可取得数据，不用再读取 EEPROM_RDATA 寄存器。

25 版本历史

表 25-1 文档版本历史

时间	版本号	说明
2026.08.31	1.47	时钟模块添加“5V 供电”说明
2026.08.05	1.46	修订 SYS_AFE_INFO 芯片版本信息寄存器第 0-7 字节说明
2026.07.07	1.45	UART 和 DMA 模块添加相关说明
2026.07.01	1.44	IWDG、PMU、CAN 模块添加架构图
2026.06.22	1.43	修订 OPA 模块时分复用描述
2026.06.02	1.42	修订 OPA 框图
2026.06.01	1.41	添加中断向量地址
2026.03.04	1.40	DMA 寄存器小标题加上前缀 0
2026.03.03	1.39	修订 SYS、SPI、ADC、UTIMER、MCPWM、UART、IWDG 模块各寄存器的小标题
2026.02.28	1.38	修订 SYS、ADC、UART、SPI 模块各寄存器的复位值
2026.02.26	1.37	修订 PWM AUEN 寄存器的复位值
2026.02.26	1.36	修订模块各寄存器标题的文字间隙
2026.02.10	1.35	GPIO 模块补充说明：x = 0,1,2,3
2026.02.02	1.34	PWM 模块补充流程图说明
2026.02.01	1.33	修订各模块框图
2026.01.16	1.32	修订 SYS_AFE_REG0 运放反馈电阻
2026.01.13	1.31	定时器计数周期改为(TH+1)/clk_freq
2026.01.12	1.30	修订 PLL_FREQ 101、110 的时钟频率
2025.12.25	1.29	完成 DMA 请求使能寄存器表格
2025.12.22	1.28	修订低速时钟误差范围
2025.12.22	1.27	将 CMP0_IP1 改为 CMP0_IP1/CMP1_IP4
2025.12.22	1.26	IIC 改为 I2C，修订其余笔误
2025.12.22	1.25	只保留 QEP0_SFT_RST 这一位 QEP
2025.12.22	1.24	12.2.3.4 ADC0_0xE:DAC 输出改为 ADC0_0xE:DAC0 输出
2025.12.17	1.23	SYS_AFE_REG4 第 12 字节模拟配置使能
2025.11.27	1.22	DAC 模块添加说明：DAC0 通过硬件自动校准输出，而 DAC1 需软件读取校准参数并按公式计算后手动设置。
2025.11.12	1.21	运放模块添加反电动势说明
2025.11.10	1.20	Timer0、1、2 控制寄存器添加说明
2025.11.10	1.19	EEPROM 读写操作添加说明
2025.10.23	1.18	VTOR 寄存器描述添加说明读回时会右移 7 位
2025.10.23	1.17	修订寄存器地址分配说明
2025.10.23	1.16	去除 TIMER3 的描述
2025.10.22	1.15	修订模式配置寄存器 ADC0_CFG 和 ADC1_CFG
2025.10.21	1.14	修订休眠模式设置进入
2025.10.21	1.13	OPA 改为 4 路
2025.10.20	1.12	SYS_AFE_REG0 模拟配置寄存器 0 的第 12 字节处改为 0:选择 VBGP
2025.10.17	1.11	非易失性存储体改为两个型号

2025.10.09	1.10	删除 BGP 说明
2025.09.25	1.09	20.2.4-20.2.7 寄存器表格分行
2025.08.07	1.08	DAC 模块增加输出误差曲线说明
2025.08.06	1.07	ADC 外部基准源部分增加说明
2025.08.06	1.06	修订掉电阈值
2025.08.06	1.05	去掉 PLL_LOCK 这个信号的描述
2025.08.05	1.04	PLL 上电默认关闭改为默认开启
2025.08.05	1.03	电源模块增加说明
2025.08.05	1.02	DAC0_GAIN 的最大输出电压改为 4.76V
2025.08.05	1.01	说明 LDO15 的上电电压和下电电压
2024.11.22	1.00	正式发布版本
2024.07.26	0.86	修改手册中各模块寄存器格式
2024.07.06	0.85	修改 I2C_MSCR.BUSY 位的描述
2024.06.27	0.84	修改 UTIMER 章节中笔误部分以及部分插图，以及 I2C_ADDR 寄存器
2024.06.24	0.83	补充 UART 章节中 UART2 模块的寄存器地址信息
2024.06.12	0.82	修改 MCPWM 章节的笔误以及寄存器缩写错误部分
2024.06.11	0.81	修改 CRC 模块寄存器章节各寄存器的复位值
2024.05.29	0.80	修改 I2C 模块中收发流程图
2024.05.24	0.70	EEPROM 增加了选择软件是否等待的功能
2024.04.18	0.60	拆分了 CMP0/1 的中断 /将 timer 模块的编码器的输入和滤波系数独立出来 /增加 EEPROM 控制器模块
2024.03.18	0.55	更新 PMU 模块中 AON_IO_WAKE_POL 寄存器/更新 I2C 和 SPI 模块说明
2024.02.18	0.53	更新 FLASH 寄存器地址
2023.09.01	0.52	更新 DMA 章节
2023.08.22	0.50	更新 ADC/UTIMER/MCPWM/DSP 章节
2023.08.02	0.40	更新 SYS_NMI_TH，增加 SYS_IF，修改 CLU 中和 GPIO P3 有关的连接
2022.03.24	0.10	初始版本，包含测试相关说明的内部版本